



Кафедра вычислительной техники

Наименование дисциплины

Технология проектирования устройств и систем

В.А. Алехин

Анализ и проектирование электронных устройств и систем
в среде OrCAD 17.2

Практические занятия

Для магистров

По направлению подготовки
«Информатика и вычислительная техника»

09.04.01.68

Москва, 2019

Практические занятия по дисциплине «Технологии проектирования устройств и систем вычислительной техники средствами САПР»

Оглавление

Тематика практических занятий (ЛР)	4
Практическое занятие №1.	5
Создание проектов и схем. Ввод символов и компонентов.	5
Моделирование на постоянном токе.....	5
1.1. Создание первого проекта.....	5
1.2. Создаем первую схему из символов.....	11
1.3. Моделирование первой схемы.....	15
1.4. Расчетное задание №1.1.....	21
1.5. Компьютерное моделирование задания №1.1.....	22
1.6. Параметрический анализ мощности при изменении значения резистора	25
1.7. Использование курсоров	30
1.8. Развертка двух параметров	31
1.9. Выходные характеристики биполярного транзистора	32
1.10. Контрольные вопросы	38
Практическое занятие №2	39
Моделирование схем на переменном токе. Частотная и параметрическая развёртка	39
2.1. Расчётное задание	39
2.1.1. Компьютерное моделирование по заданию 2.1	39
2.1.2. Схема моделирования.....	41
2.1.3. Использование двух курсоров	43
2.2. Активный заграждающий фильтр	45
2.2.1. Моделирование активного заграждающего фильтра	47
2.2.2. Добавление и изменение графиков	50
2.3. Многовариантный анализ активного фильтра	54
2.3.1. Изменение величины резисторов	54
2.3.2. Изменение установки потенциометра обратной связи.	59
2.4. Контрольные вопросы	63
Практическое занятие №3	64
Моделирование переходных процессов.	64

3.1. Моделирование переходных процессов	64
3.2. Профиль моделирования переходных процессов.....	64
3.3. Планирование	67
3.4. Контрольные точки.....	68
3.5. Формирования временных зависимостей стимула напряжения с использованием текстовых файлов.....	72
3.5.1. Кусочно-линейные стимулы с однократным повторением.....	72
3.5.2. Текстовые стимулы с повторением.....	73
3.6. Контрольные вопросы	76
Практическое занятие №4	77
Моделирование статистических процессов. Метод Монте-Карло.....	77
Анализ худших случаев.....	77
4.1. Принципы метода Монте-Карло.....	77
4.3. Исследование влияния точности двух видов компонентов.....	82
4.4. Повторное использование значений случайных параметров.....	84
4.5. Создание гистограмм.....	85
4.6. Контрольные вопросы	87
Практическое занятие №5. Анализ наихудшего случая	87
5.1. Функции сравнения для наихудшего случая.....	87
5.2. Анализ смещения частоты режекции в заграждающем фильтре.....	88
5.3. Оптимизация схемы по результатам анализа худшего случая.....	93
5.4. Контрольные вопросы	95
Практическое занятие №6	96
Моделирование цифровых устройств.....	96
6.1. Цифровое моделирование	96
6.2. Модели цифровых устройств.....	96
6.2.1. Функциональное поведение.....	97
16.2. Цифровые цепи.....	99
6.2.1. Моделирование цифрового счетчика.....	100
6.2.2. Профиль цифрового моделирования.....	102
6.2.3. Отображение цифровых сигналов.....	103
6.3. Контрольные вопросы	104
Практические занятие №7. Смешанное моделирование.....	106

7.1. Исследование аналогового компаратора с цифровым выходом.....	106
7.2. Исследование цифро-аналогового преобразователя	108
7.3. Контрольные вопросы	111
Практическое занятие №8	112
Создание иерархических блоков и проектов.....	112
Создание иерархических проектов.....	112
8.1. Создание иерархического проекта	112
8.1.2. Создание плоского проекта полусумматора HalfAdd	113
8.1.3. Иерархические порты и off-page разъемы.....	114
8.1.4. Создание иерархического проекта Full Adder.....	116
8.1.5. Восходящий метод	117
8.1.6. Создание схемы полного сумматора.....	117
8.1.7. Добавление в проект аналоговых компонентов.....	122
8.1.8. Создание и сохранение компонентов для новых проектов	123
8.1.9. Нисходящий метод.....	125
8.2. Перемещение по иерархической конструкции	131
8.3. Моделирование полного сумматора	131
8.4. Контрольные вопросы	134

Практические занятия проводятся в соответствии с рабочей программой по утвержденному плану. На практических занятиях студенты изучают систему автоматизированного проектирования OrCAD 17.2 по учебному пособию:

Алехин В.А. OrCAD 17.2. Анализ и проектирование электронных устройств. – М.: Горячая линия – Телеком, 2019. – с. 330.

Фрагменты учебного пособия и практические задания по моделированию схем в электронном виде загружены в практические компьютеры. Студенты изучают теоретический материал и выполняют задания по моделированию.

Кроме того, каждый студент выполняет индивидуальное домашнее задание.

Тематика практических занятий (ЛР)

№ п/п	№ раздела дисциплины	Тематика практических работ	Трудоемкость (в часах)
1	3	Создание проектов и схем. Ввод символов и компонентов. Моделирование на постоянном токе..	4
2	4,5	Моделирование схем на переменном токе. Частотная и параметрическая развёртка.	4
3	6	Моделирование переходных процессов.	4
4	7	Моделирование статистических процессов. Метод Монте-Карло.	4
5	7	Анализ наихудшего случая.	4
6	8	Моделирование цифровых устройств.	4
7	8	Смешанное моделирование	4
8	9	Создание иерархических блоков и проектов.	4
<i>Всего в 2 семестре:</i>			32
Всего:			32

Практическое занятие №1.

Создание проектов и схем. Ввод символов и компонентов.

Моделирование на постоянном токе.

1.1. Создание первого проекта

Перед началом работы надо создать в компьютере папку, в которой будут храниться файлы проекта. В OrCAD применяют такие термины:

Проект (Project);

Разработка (Design);

Библиотека (Library);

Текстовые или VHDL файлы.

Файл проекта (расширение .OPJ) содержит указатель на один файл разработки (.DSN), а также библиотеки, VHDL файлы, выходные файлы отчетов, связанные с файлом разработки.

В файле разработки находится одна или несколько папок (schematic folders), содержащих по одному или несколько листов (schematic pages), а также кэш разработки, который подобно библиотеке, содержит копии всех элементов, использованных в разработке.

Итак, создаем папку для нашего первого проекта, например : C:\PR-1.

Запускаем программу Capture CIS Lite из меню Пуск или с рабочего стола, дважды щелкнув по ярлыку. После загрузки программы откроется стартовая страница (рис. 1.1).

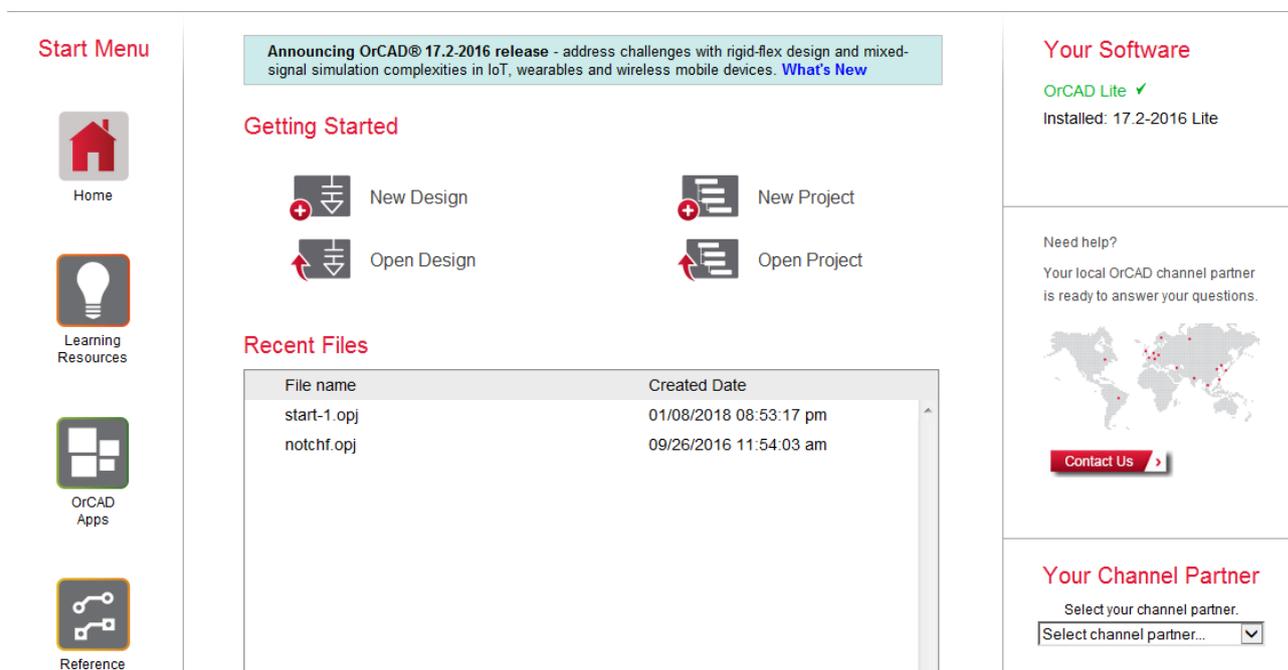


Рис. 1.1. Стартовая страница

Если у Вас уже есть готовые проекты, можно открыть любой из них, выбрав Open Project (для всего проекта) или Open Design (для разработки из проекта) и загрузив нужный файл из проводника.

Мы создаем первый проект и выбираем New Project. В окне New Project задаем имя проекта (например, PR-1), расположение в папке C:\PR-1 (хотя

совпадение имен необязательно). Выбираем программу моделирования PSpice Analog or Mixed A/D для моделирования аналоговых, цифровых и смешанных схем (рис. 1.2). Такой проект можно будет использовать для создания печатной платы разработки.

Нажав ОК, мы получаем предложение выбрать, на каком из существующих проектов будет базироваться новый.

Появляется окно, где нужно выбрать пункт меню Create based upon an existing project (создать проект на основе имеющихся шаблонов). В выпадающем списке выбираем один из 42 готовых для моделирования проектов, которые находятся в подкаталоге \tools\capture\templates\pspice каталога с установленной программой. Сюда можно добавить свой собственный проект, и при создании нового проекта его также можно будет выбрать в этом списке.

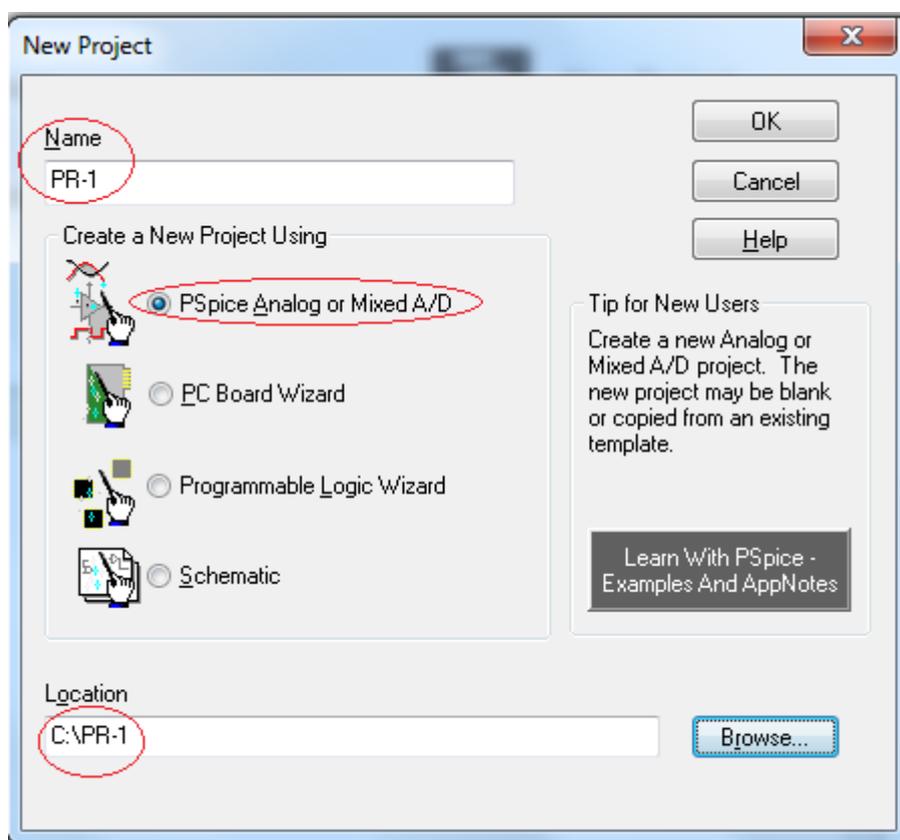


Рис. 1.2. Выбор типа проекта.

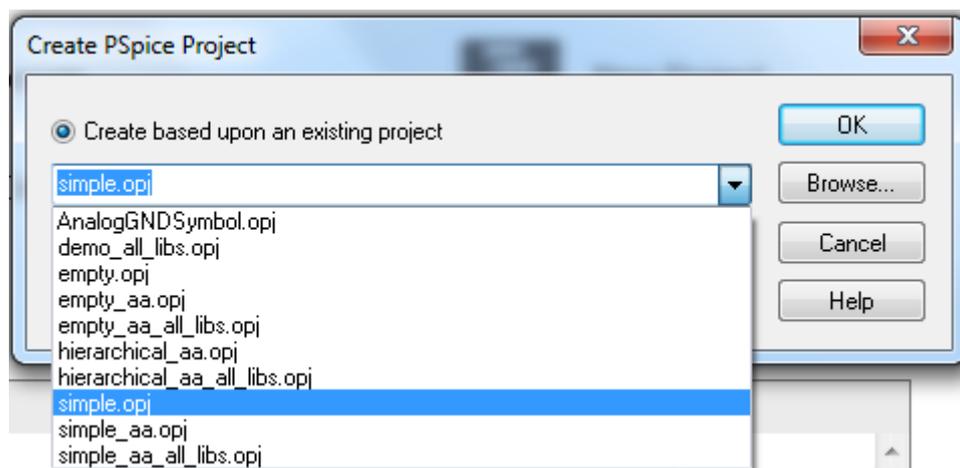


Рис. 1.3. Выбор базового проекта

По именам файлов проектов можно судить об их особенностях. Например, `simple.opj` или `empty.opj` – это простые проекты с одним схемным листом и подключенными базовыми библиотеками компонентов с PSpice-моделями. Шаблоны, начинающиеся со слова `hierarchical`, – это иерархические проекты с двумя подсхемами по одному листу в каждой (об этом мы будем говорить позже). Проекты типа `empty_aa`, `simple_aa`, `hierarchical_aa` и т.д. – это проекты с предустановленными библиотеками компонентов, пригодными для проведения дополнительных видов анализа (Advanced Analysis). К шаблонам с окончанием `all_libs` подключены все библиотеки выбранного типа.

Основные библиотеки, которые применяются чаще всего, – это `analog.olb` (базовые пассивные компоненты) и `source.olb` (источники питания и сигналов).

Наиболее часто используемый вариант для новых простых проектов `simple.opj`, который добавляет для проекта следующие пять библиотек по умолчанию (рис. 1.4).

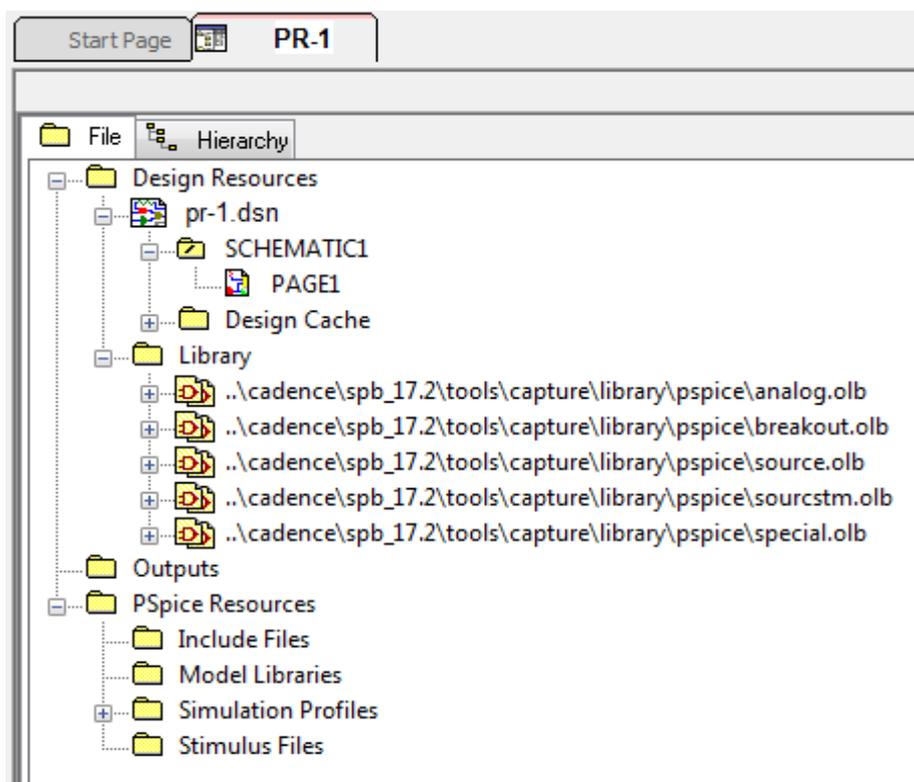


Рис. 1.4. Библиотеки шаблона simple.opj в окне менеджера проектов (МП)

Эти библиотеки содержат наиболее часто используемые элементы для PSpice проектов и рекомендуются для новых проектов. Существует также возможность создавать обновлённые версии существующего проекта, то есть создать новую версию 2, основанную на оригинальном проекте версии 1. Для этого в окне Create PSpice Project проекта (рис. 1.3), выберите функцию *Create based upon an existing project* и затем *Browse*, чтобы выбрать существующий проект. Эти действия будут копировать существующий проект и все связанные с ним файлы в новый проект. Это похоже на операцию File> Save As функции.

При выборе Create a blank project библиотеки Capture-PSpice не добавляются к проекту. Эти библиотеки могут быть добавлены позже.

При создании нового проекта создаётся, окно Менеджера проекта (МП) (Рис. 1.5), который показывает абсолютный путь к библиотекам. Помните, что это символы Редактора проектов, которые определяют графику для компонентов (рис. 1.6). Они не являются PSpice моделями библиотеки Capture, и не установленные по умолчанию, могут быть найдены и добавлены в проект позже.

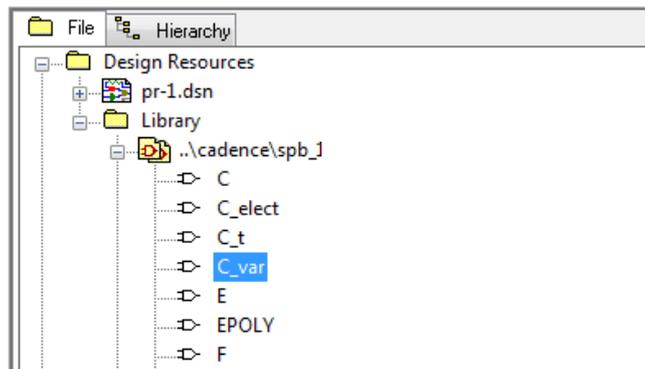


Рис. 1.5. Библиотека графики аналоговых элементов

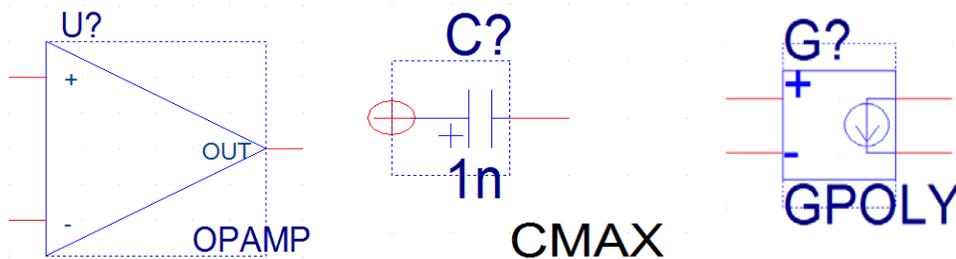


Рис. 1.6. Примеры графики элементов библиотеки

Для добавления новой библиотеки в проект надо выделить папку Library, в выпавшем меню нажать Add File, в каталоге библиотек выбрать нужный файл и нажать «Открыть».

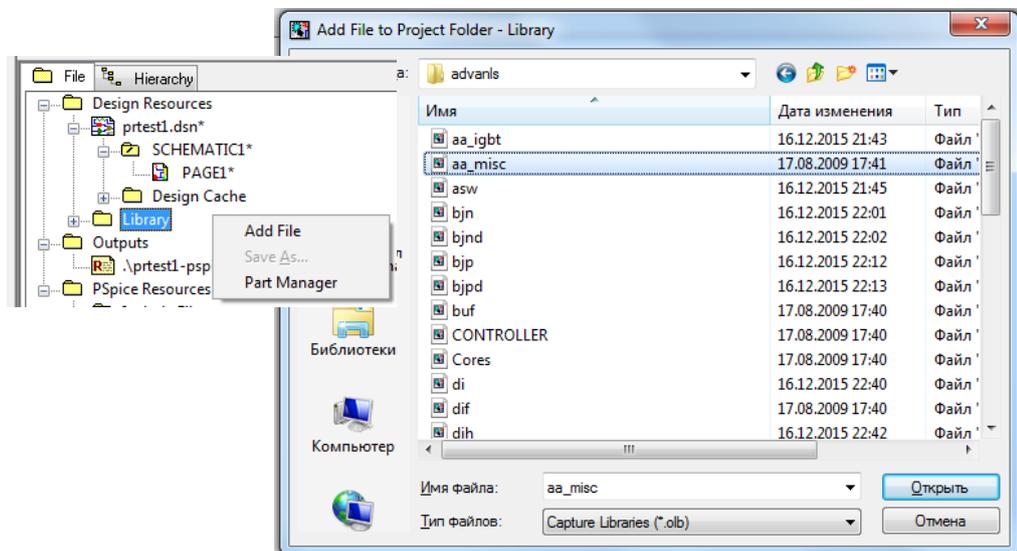


Рис. 1.6. Добавление файла в библиотеку

Если при создании проекта выбрать шаблон simple_aa_all_libs.orj, то в проект подключатся практически все библиотеки из каталога \tools\capture\library\pspice\... (рис. 1.13).

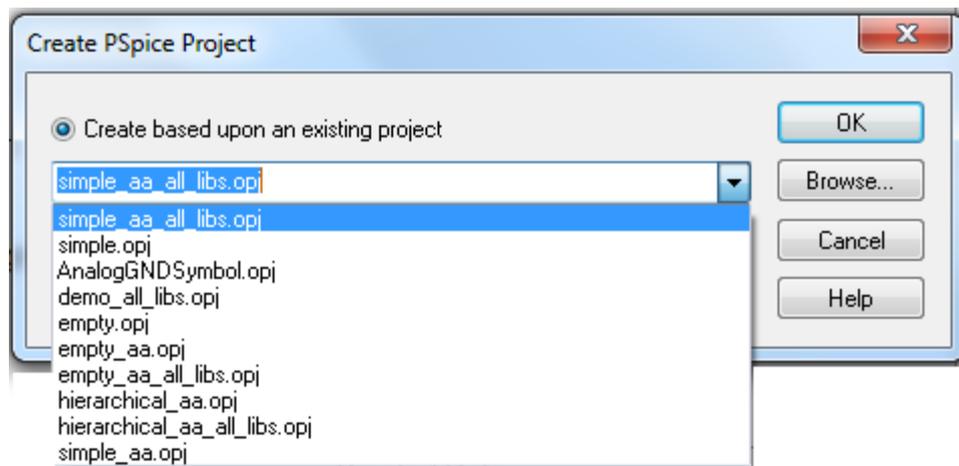


Рис. 1.13.

Фрагмент списка библиотек из папки \advans\ показан на рис. 1.14.

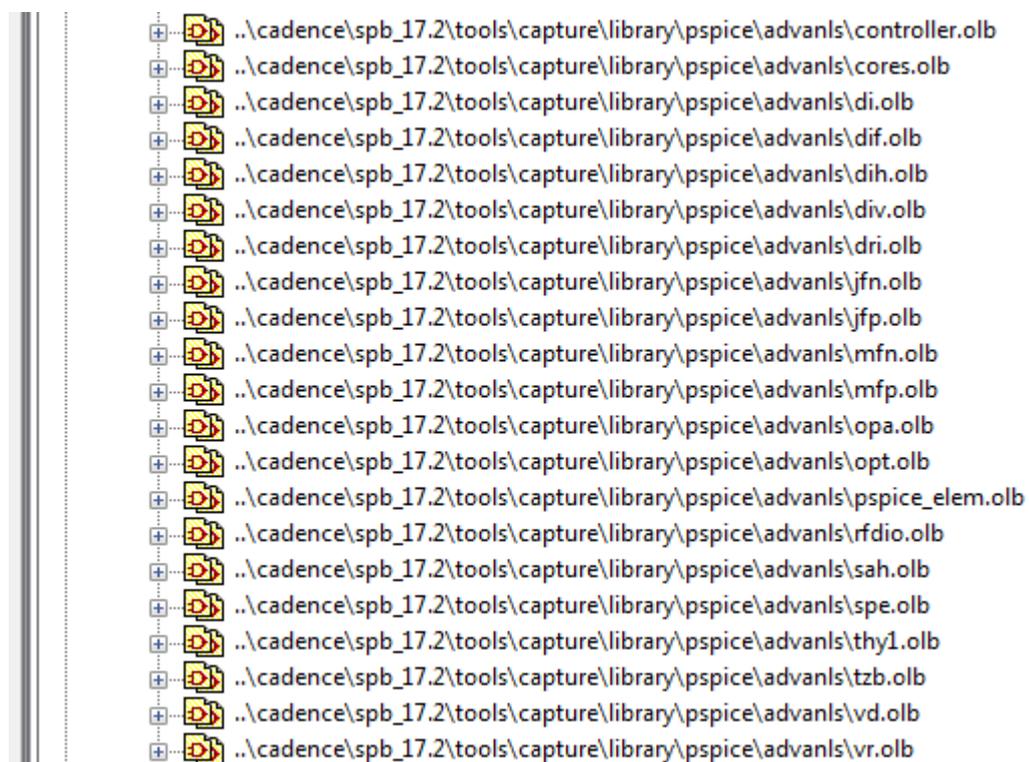


Рис. 1.14. Фрагмент списка библиотек

Кроме библиотек менеджер проекта содержит папку SCHEMATIC1, страницу схемы PAGE1, папки выходных файлов Outputs и PSpice Resources.

Если окно Менеджера проектов не отображается, выбираем Windows-<project name>org-file.\

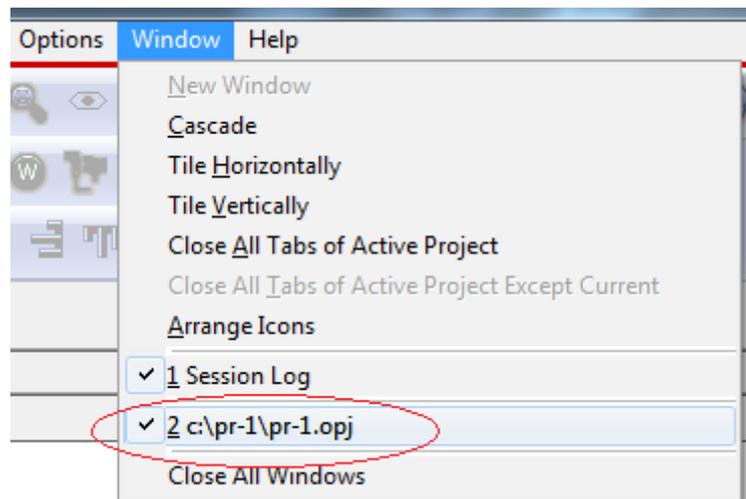


Рис.1.15. Открытие окна менеджера проекта

1.2. Создаем первую схему из символов

В проекте создаем первую схему из символов. Открываем первую страницу схемы.

Кнопка Place становится активной.

Познакомимся сначала с символами.

На вкладке Place выбираем PSpice Components-Digital-Gates-And (рис. 1.16) и помещаем модель в схему. Также поместим символ транзистора и конденсатора.

Обратите внимание на то, что на изображениях символов отсутствует промышленная маркировка серий логических элементов и транзисторов.

Составим простую схему из двух резисторов, источника напряжения и земли.

Выбираем источник постоянного напряжения из меню Place> PSpice Component>Sources>Voltage Sources>DC (Рис. 1.17).

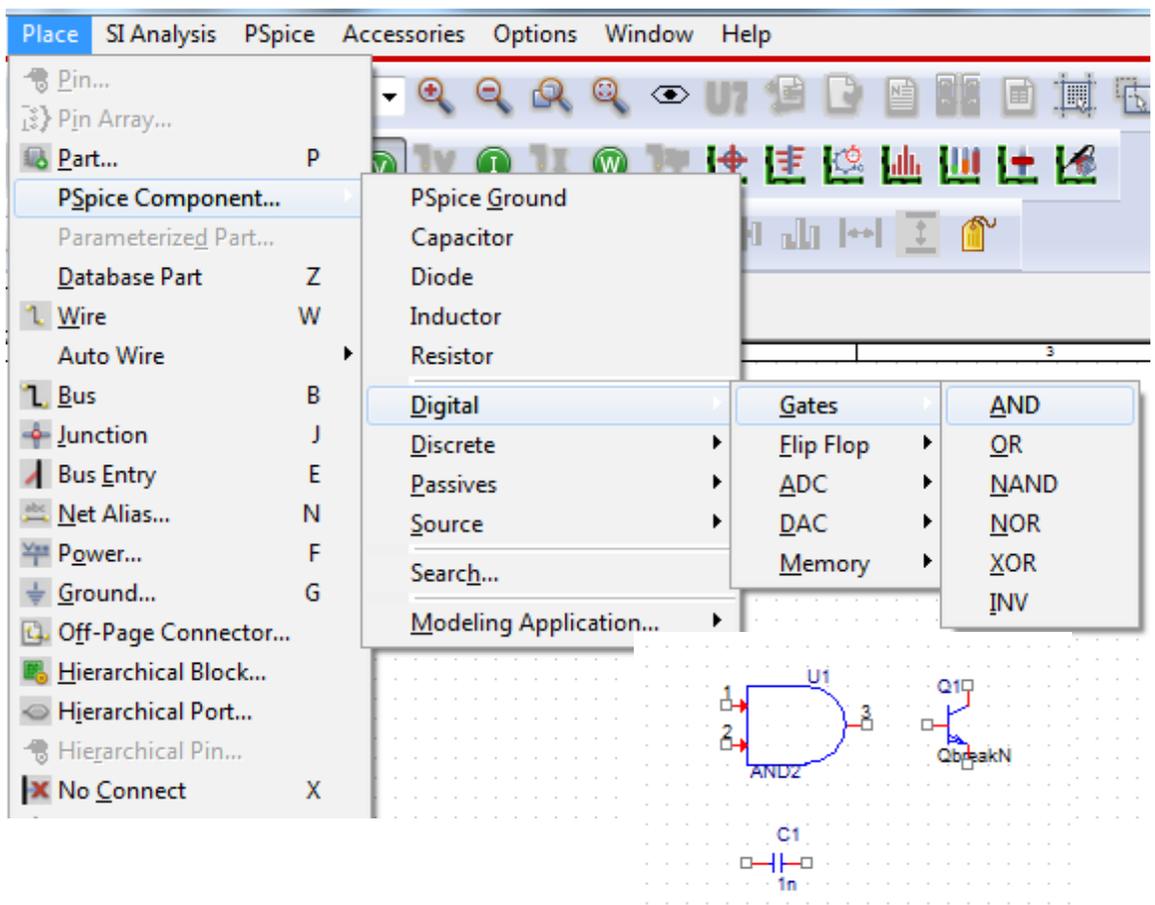


Рис. 1.16. Размещение символов в схеме

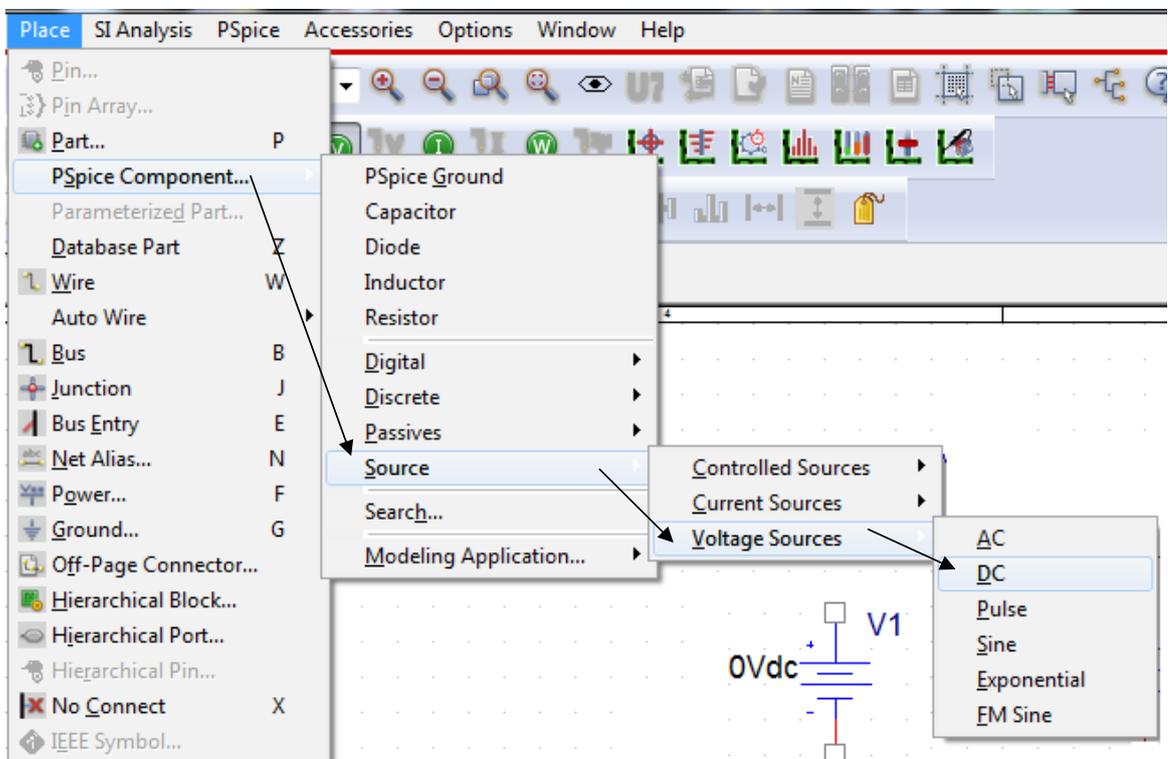


Рис. 1.17. Выбор источника напряжения и резисторов

В схеме обязательно должна быть «Земля» с нулевым потенциалом. Для PSpice моделирования необходимо установить землю со знаком «0» из библиотеки CAPSYM. Для этого в меню Place выбираем Ground и нужный символ земли (рис. 1.18)

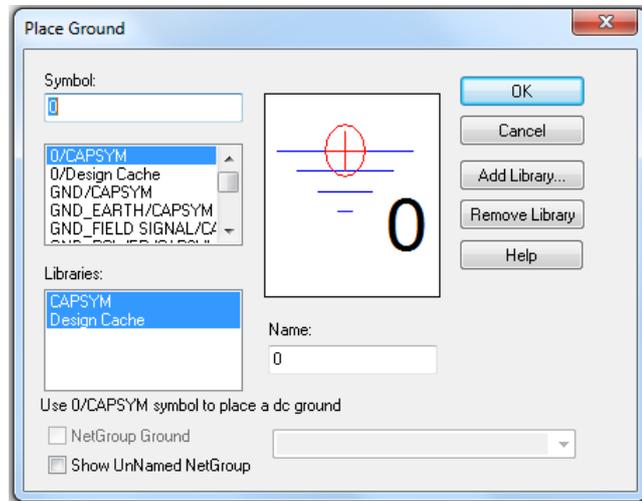


Рис. 1.18. Выбор символа земли

Далее выполняем Place>PSpice Component> Resistor и соединяем символы в схему. Для этого на правой панели инструментов выбираем значок Place wire  или нажимаем горячую клавишу «w». Для окончания соединения выбираем End Mode.

Получим схему (рис. 1.19)

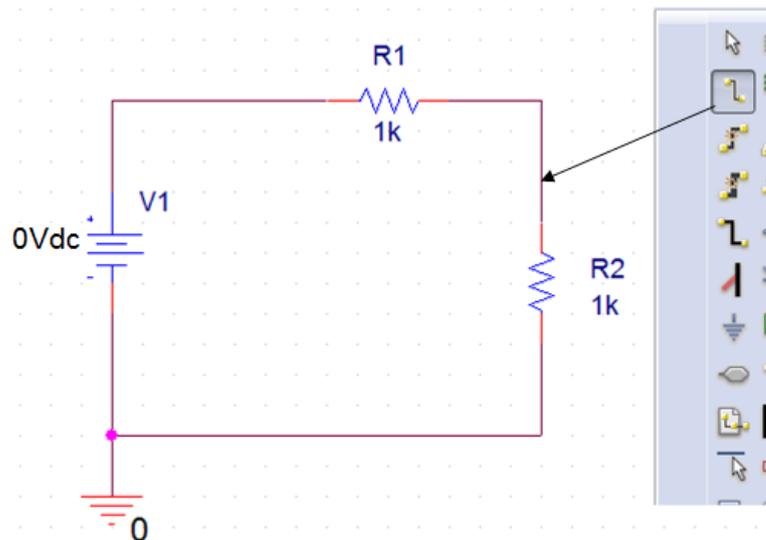


Рис. 1.19. Первая схема из символов

Лишние элементы можно удалить, выделив их указателем  и нажав delete.

Значение символа или компонента

Каждый символ или компонент должен иметь значение его величины, установленное в окне Properties (Свойства).

Примерами являются 1.2К, 10.0uF и 74ALS374. CIS поддерживает использование общих принятых обозначений (например, К и uF).

Важное замечание: в OrCAD в десятичных числах целая часть отделена точкой.

Запрос базы данных использует интеллектуальное преобразование единиц для интерпретации общих идентификаторов определения величин, поскольку записи в базах данных деталей часто имеют несогласованность (например, значение для 2.7К резистор может быть 2.7К, 2.700, 2.70К, 2.700К, 2700.0, 0,0027 М и т. Д.). Единицы измерения (например, F для фарадов или H для генри) игнорируются в переводе.

Идентификаторы величин, поддерживаемые в CIS, включают следующие:

Идентификатор	Десятичная приставка	Величина
f	фемто	10 ⁻¹⁵
p	пико	10 ⁻¹²
n	нано	10 ⁻⁹
u	микро	10 ⁻⁶
m	милли	10 ⁻³
K	кило	10 ³
M	мега	10 ⁶
G	гига	10 ⁹
T	тера	10 ¹²

В меню источника напряжения открываем Edit Properties и устанавливаем 10V (рис. 1.20).

В окнах Place Power и Place Ground (рис 1.18) есть набор библиотек источников и «заземлений», которые применяются для разных целей, в том числе есть символы цифровых уровней HI, LO и цифровой земли 0 V.

Напомним, символы помещены в меню Place, а компоненты размещены в Place> Part. Также отметим, что обе библиотеки компонентов и библиотеки Symbol имеют расширение .olb и являются частями схемного графического редактора.

Схемный редактор автоматически маркирует соединение каждого провода, также, как и номер узла, который по умолчанию не отображается на схеме. Однако, вы можете назначить свои собственные метки для проводников узлов, которые дадут обозначение узлу (например, вход или выход), и это полезно, когда вы хотите анализировать различные узлы в цепи. Эти метки известны как псевдонимы и размещаются на проводе. Выделив провод, а затем выбрав Place>Net alias (или выбрав иконку сетевого псевдонима abc) можно маркировать провод метками.

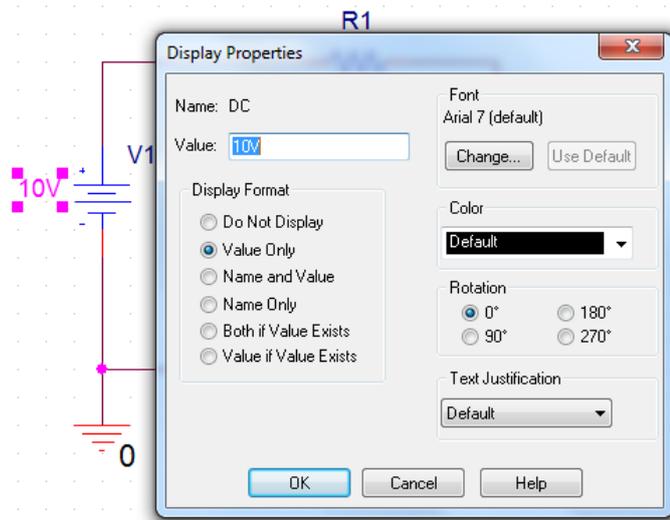


Рис. 1.20. Установка напряжения источника.

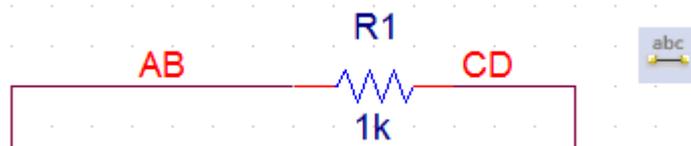


Рис. 1.21. Маркеровка проводников

Панели инструментов Capture содержат кнопки инструментов с пиктограммами, которые помогают ускорить работу со схемой (рис. 1.22) и дублируют команды меню Place.



Рис. 1.22. Некоторые инструменты панели

1.3. Моделирование первой схемы

OrCAD позволяет проводить самые разнообразные исследования электронных схем. Поэтому перед началом моделирования надо выбрать и установить желаемый новый профиль моделирования или отредактировать существующий.

Для этого в главном меню выполняем PSpice>New Simulation Profile, вводим имя профиля (например, PR-1) (рис. 1.23) и нажимаем Create .

На вкладке General отображено название профиля, проекта и размещение файлов.

На вкладке Analysis устанавливаем для цепи постоянного тока тип анализа Bias Point (рис. 1.24). Это анализ режима по постоянному току в точке смещения или, как говорят, в рабочей точке электронного компонента. Дополнительные опции использовать не будем.

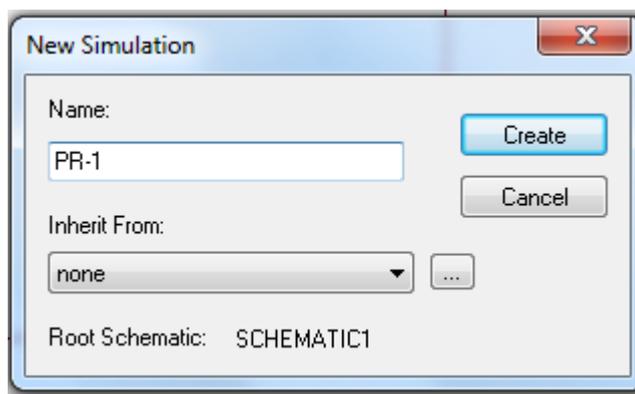


Рис. 1.23. Создание профиля моделирования

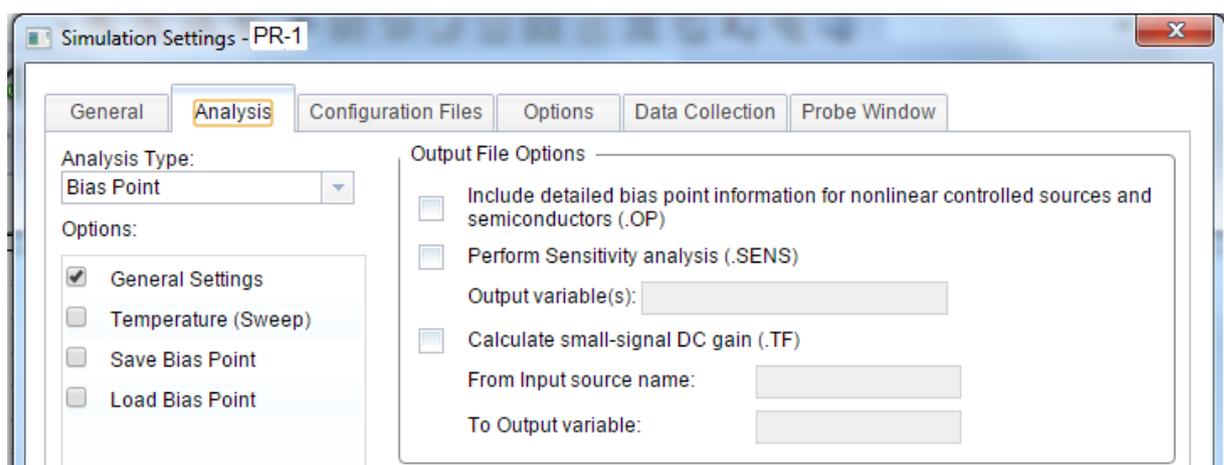


Рис. 1.24. Установка типа анализа

На вкладке Configuration Files выбираем Library и находим в каталоге C:\Cadence\SPB_17.2\pspice\library\nomd.lib (рис. 1.25).

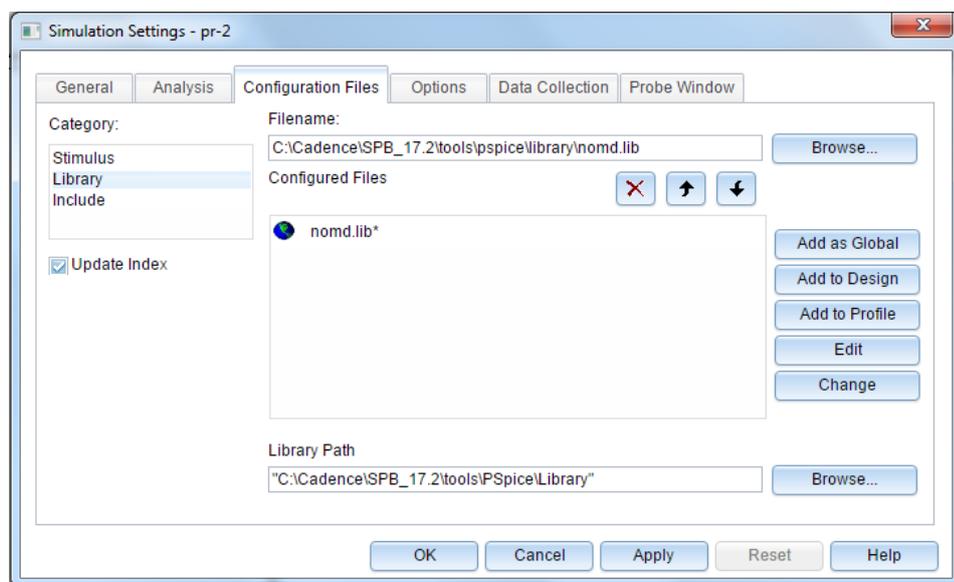


Рис. 1.25. Установка файлов конфигурации

Открываем эту библиотеку. Этот файл «основной библиотеки» вызывает другие библиотеки, поставляемые Cadence вместе с установкой. Это библиотека индексов, в которой собраны все библиотеки Cadence PSpice.

Эти кассетные библиотеки PSpice будут использоваться в симуляции, поэтому файл надо добавить глобально.

На вкладке Options установим Analog Simulation (Рис. 1.26).

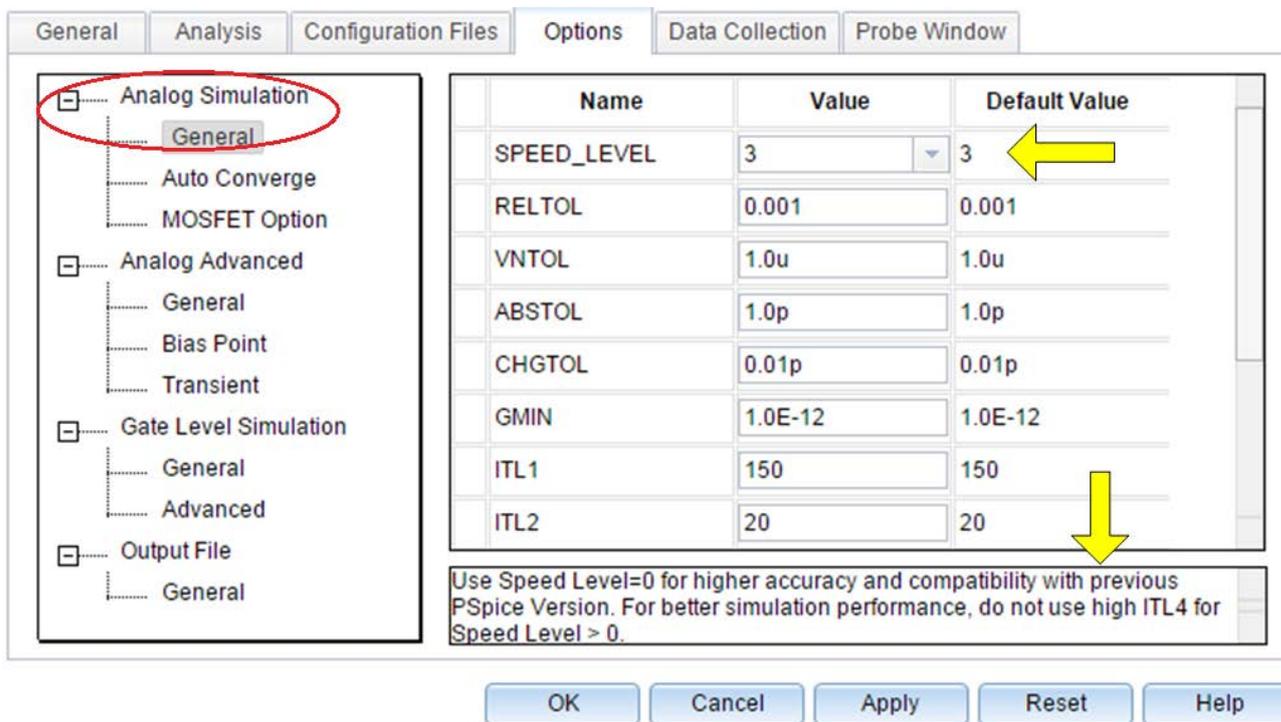


Рис. 1.26. Установка опций

Вкладка Options содержит установки параметров моделирования. Выделив конкретный параметр, можно прочитать его назначение и рекомендуемые величины. Так, например,:

SPEED_LEVEL – скорость моделирования;

RELTOL - относительный допуск напряжения и тока;

VNTOL - допуск напряжения, описывает наилучшую точность напряжений в симуляция;

ABSTOL - токовый допуск, описывает наилучшую точность токов в симуляция;

CHGTOL - допуск заряда, описывает лучшую точность зарядов;

GMIN - указывает минимальную проводимость, используемую для любой ветви;

ITL – предельное количество итераций для разных режимов моделирования.

На вкладке Data Collection выберем напряжение, ток и мощность (рис. 1.27).

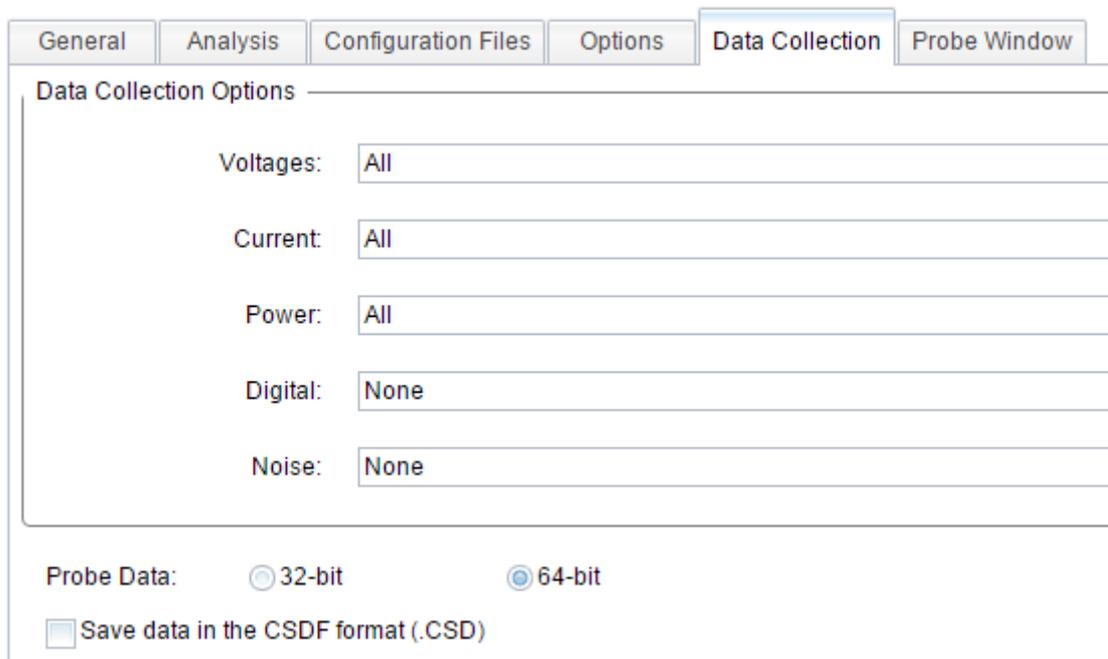


Рис. 1.27.

На вкладке Probe Windows установим открытие окна после выполнения моделирования.

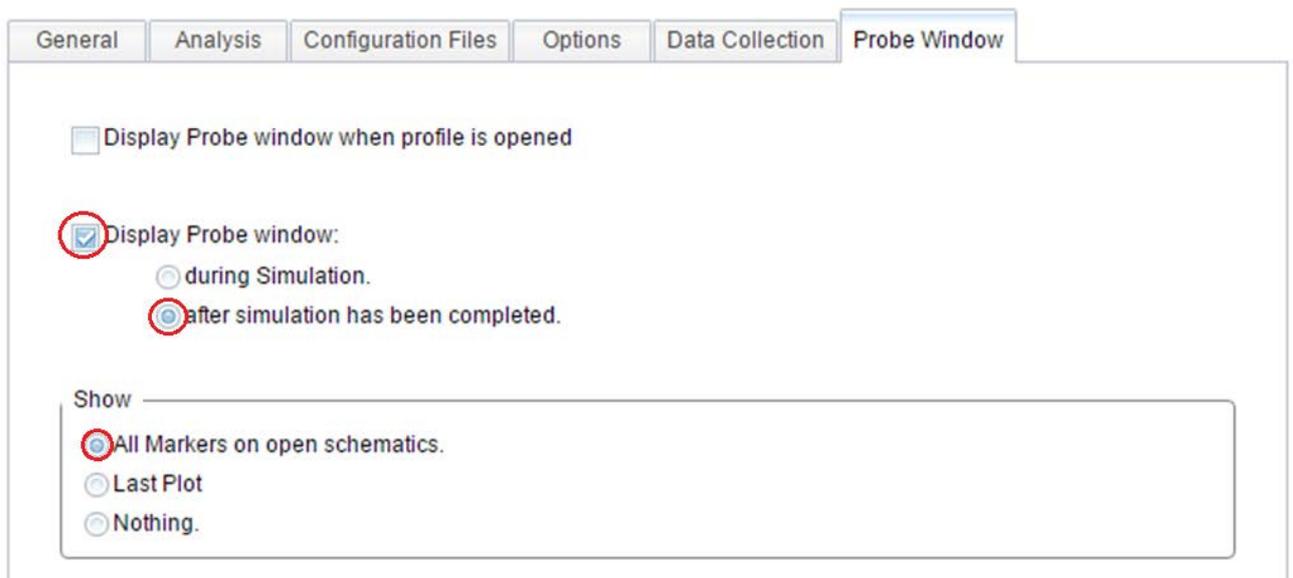


Рис. 1.28. Установка окна Probe

Нажимаем Apply>ОК.

После этого в менеджере проектов появляется введенный нами профиль Schematic-PR-1. Там же могут быть профили, загруженные по умолчанию или ранее. Чтобы выбрать нужный профиль, выделяем его и выбираем Make active (рис. 1.29).

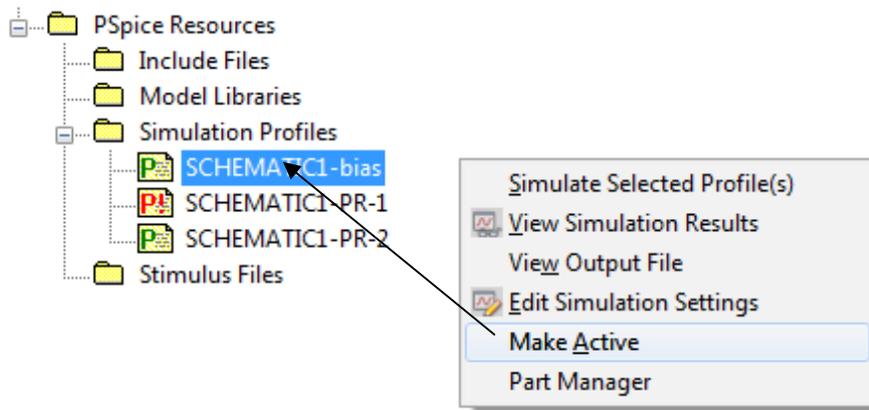


Рис. 1.29. Выбор активного профиля

После этого возвращаемся на страницу разработки, выполняем сохранение и нажимаем RUN. После окончания моделирования включаем измерительные приборы и наблюдаем результаты (рис. 1.30).

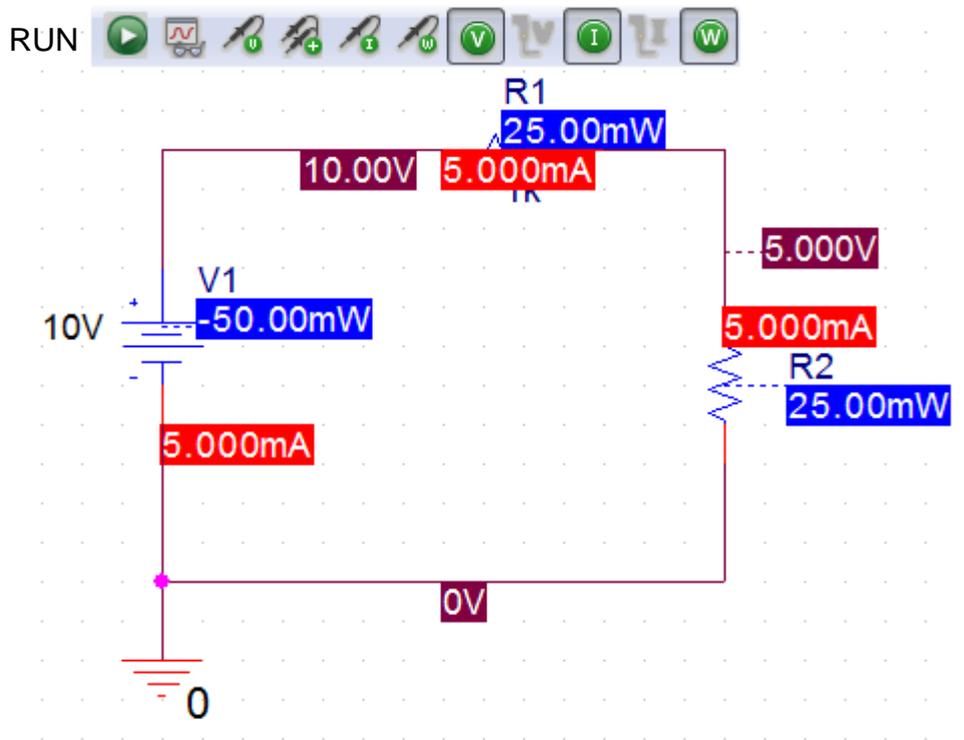


Рис. 1.30. Результаты моделирования

В окне Probe в меню View>Output File можно посмотреть печатный отчет о результатах (рис. 1.31). Так как мы моделировали стационарный режим постоянного тока в окне Probe никакие графики не отображаются.

```

*****
NODE   VOLTAGE   NODE   VOLTAGE   NODE   VOLTAGE   NODE   VOLTAGE
( AB)  10.0000 ( CD)   5.0000

VOLTAGE SOURCE CURRENTS
NAME          CURRENT
V_V1         -5.000E-03
TOTAL POWER DISSIPATION  5.00E-02 WATTS

JOB CONCLUDED
***** 01/23/18 13:08:56 ***** PSpice Lite (March 2016) ***** ID# 10813 *****
** Profile: "SCHEMATIC1-PR-2" [ C:\PR-2\PR-2-PSpiceFiles\SCHEMATIC1\PR-2.sim ]

***** JOB STATISTICS SUMMARY
*****

```

Рис. 1.31. Выходной файл результатов моделирования

В менеджере проекта файл Outputs содержит данные о компонентах схемы и условиях работы (рис. 1.32)

```

1: * source PR-2
2: R_R1          AB CD  1k TC=0,0
3: R_R2          0 CD  1k TC=0,0
4: V_V1          AB 0 10V
5:

```

Рис. 1.32. Выходной файл менеджера проектов

Итак, первая схема смоделирована. Чтобы узнать, какие ещё схемы мы сможем исследовать выбираем в главном меню File>Open>Demo Designs и в таблице видим, какие компоненты можно моделировать в Capture, в PSpice и других программах.

Name	Capture	CIS	PSpice	PSpiceAA	Allegro	Lite	Info
8-bit Analog to Digital converter	Y	N	Y	N	N	Y	?
8-bit BCD counter using Actel devices	Y	N	N	N	N	Y	?
8-bit BCD counter using Altera devices	Y	N	N	N	N	Y	?
8-bit BCD counter using Xilinx devices	Y	N	N	N	N	Y	?
8-bit Digital to Analog converter	Y	N	Y	N	N	Y	?
80C51 Board Schematic	Y	N	N	N	N	Y	?
AC Analysis of RC circuit	Y	N	Y	N	N	Y	?
ADC parameterizing circuit	Y	N	Y	N	N	Y	?
Amplitude and Balanced Modulation	Y	N	Y	N	N	Y	?

Рис. 1.33. Таблица схем Demo

Каждую схему можно изучить подробнее, посмотреть теорию, расчеты и результаты моделирования (рис. 1.34)

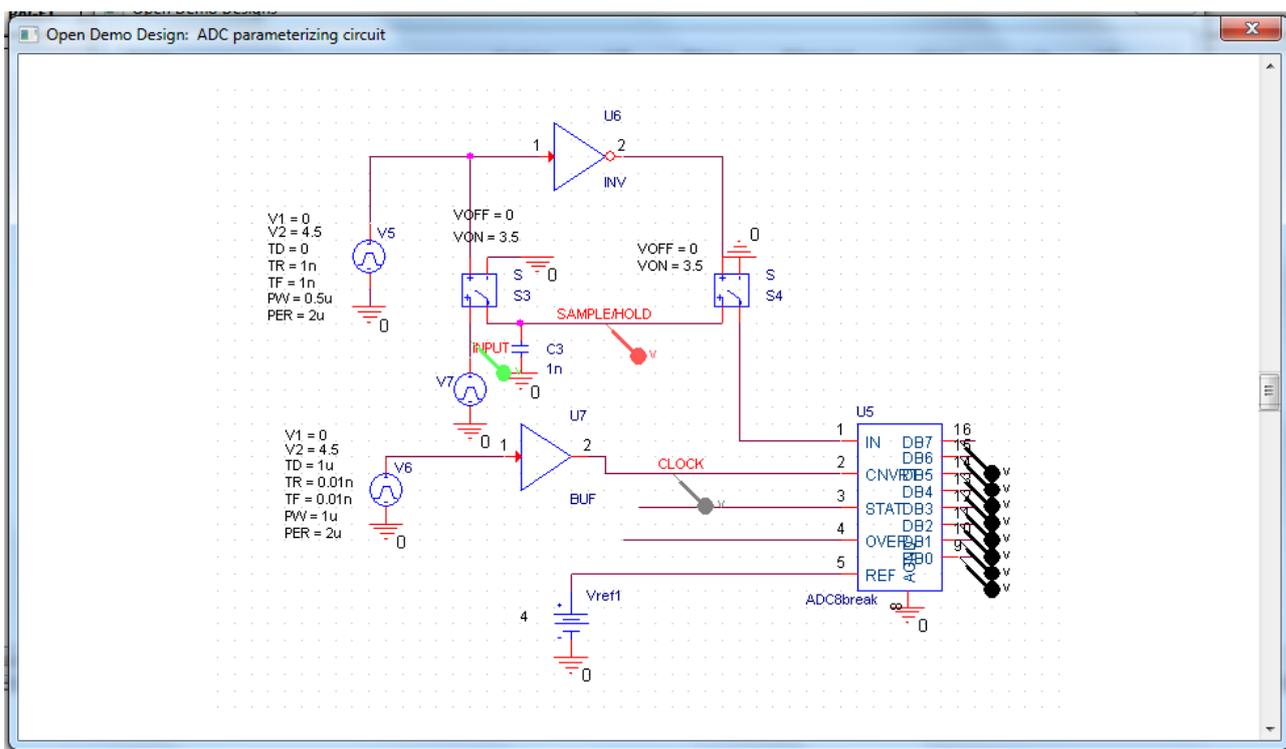


Рис. 1.34. Пример схемы аналого-цифрового преобразователя

1.4. Расчетное задание №1.1.

Схема электрической цепи изображена на рис. 2.3. Найти токи во всех ветвях и напряжения U_{bd} и U_{cd} .

Рекомендации:

1. Замените источник тока на источник напряжения.
2. Параллельно включенные сопротивления R_3 и R_4 замените эквивалентным.
3. В полученной одноконтурной цепи по второму закону Кирхгофа рассчитайте ток I_2 .
4. Вычислите напряжения U_{cd} и U_{bd} по закону Ома.
5. Вычислите токи I_3 и I_4 по закону Ома.
6. По первому закону Кирхгофа вычислите ток I_1 .
7. Запишите численные ответы для токов и напряжений.

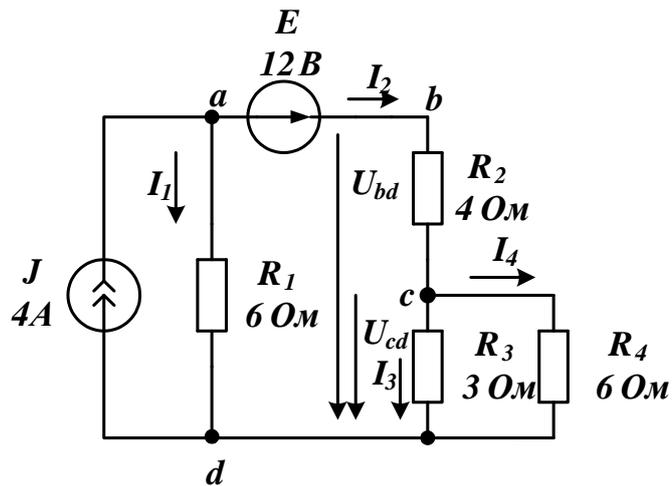


Рис. 1.35. Схема к заданию №1

1.5. Компьютерное моделирование задания №1.1

Создайте новый проект PR-2, пользуясь указаниями из §1.8. Источники постоянного тока и напряжения установите из каталога Place > PSpice Components.

Резисторы будем выбирать как компоненты, выполнив Place > Part.

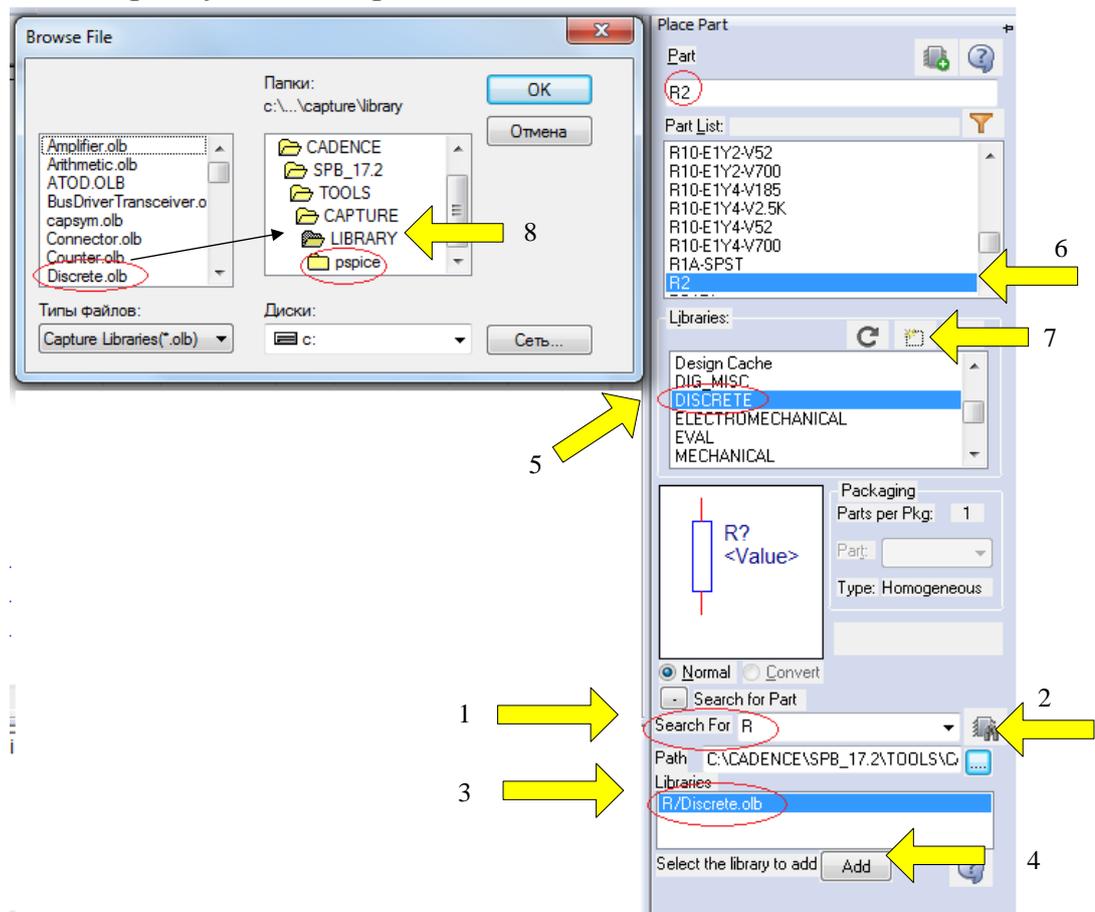


Рис. 1.36. Поиск компонента на панели Place Part

OrCAD Capture CIS имеет очень много библиотек и поиск нужного компонента часто проходит достаточно трудно.

Поиск резистора можно выполнить в следующем образом (рис. 1.36):

1. В окне Search For вводим R .
2. Нажимаем «Поиск».
3. В окне Libraries появляется название библиотеки Discrete.olb, в которой есть этот компонент.
4. Нажимаем Add
5. Библиотека добавлена в список просмотра.
6. Находим в списке компонентов этой библиотеки резистор R2.
7. Добавляем библиотеку Discrete.olb в проект.
8. Открывается каталог всех библиотек.

Мы, к сожалению, видим, что библиотека Discrete.olb находится в папке LIBRARY из каталога CAPTURE и расположена выше папки библиотек rpsice.

Может оказаться так, что компонент R2 не имеет модели PSpice и моделирование с ним в PSpice невозможно.

Поэтому целесообразно сначала поискать нужные для схемы компоненты именно в библиотеке rpsice.

Для этого:

1. Нажимаем Add Library.
2. В каталоге rpsice выбираем analog
3. Выделяем ANALOG в окне просмотра библиотек и выделяем R в списке компонентов.
4. В каталоге библиотек нажимаем «Открыть» и добавляем библиотеку analog в проект.
5. Нажимаем Place Part и помещаем резистор в окно схемного редактора (рис. 1.37).

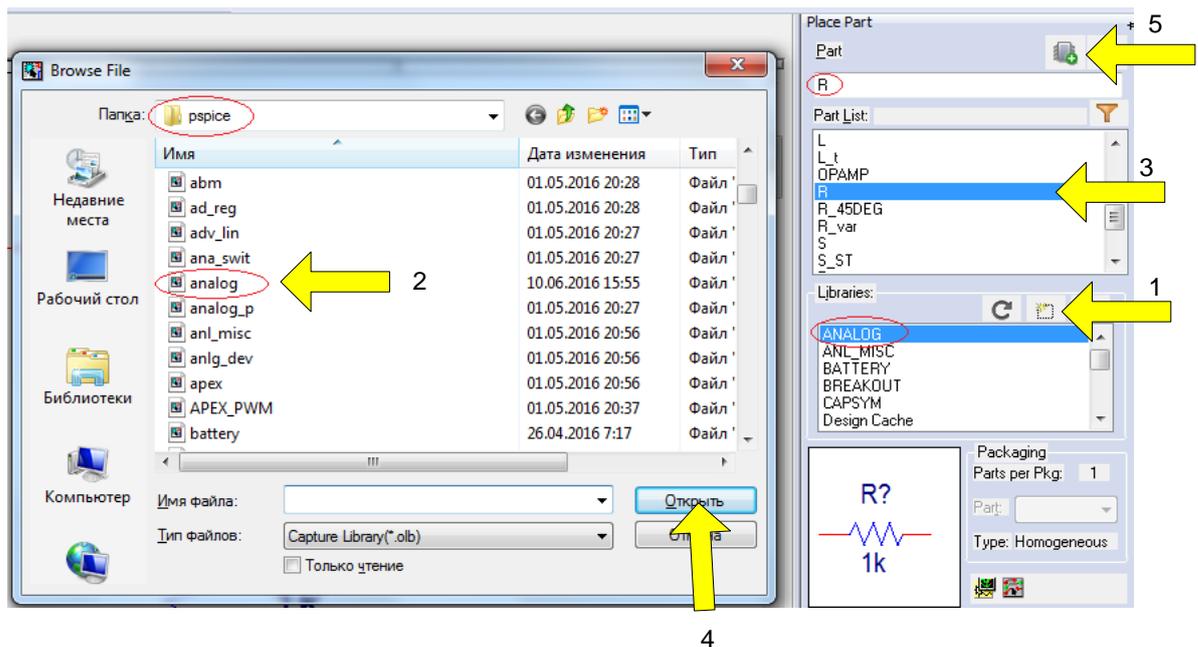


Рис. 1.37. Выбор резистора из каталога PSpice

Источники постоянного тока и постоянного напряжения выберите из каталога Place > PSpice Components > Sources.

Выберите из библиотеки Capsym «Землю с нулем», разместите компоненты в соответствии со схемой, проводите соединения.

Установите номиналы резисторов и источников, используя меню Edit Properties. Должна получиться схема (рис. 1.38)

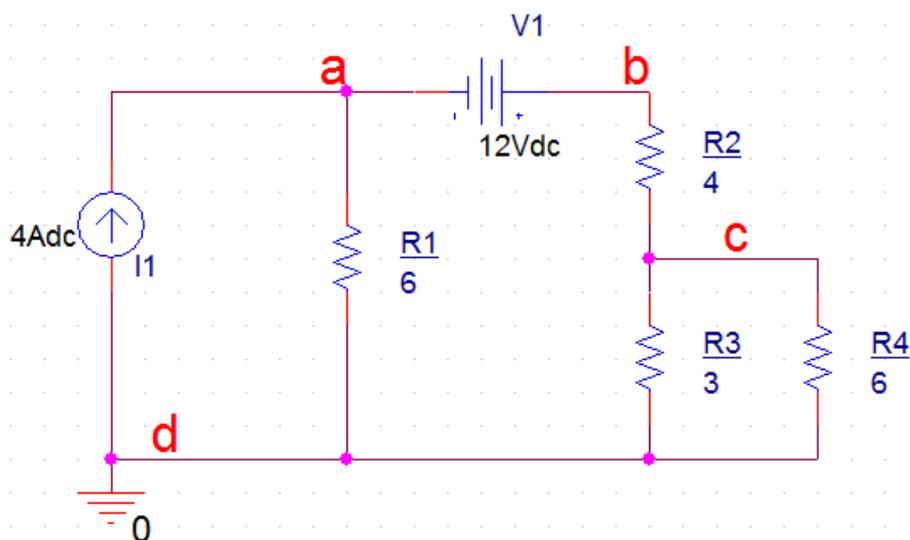


Рис. 1.38. Схема разветвлённой цепи постоянного тока

Используя указания из §1.12, установите профиль моделирования для постоянного тока Bias Point и выполните нужные настройки профиля.

После этого сохраните файл проекта и выполните Run PSpice. На рис. 1.39 показаны ожидаемые результаты моделирования.

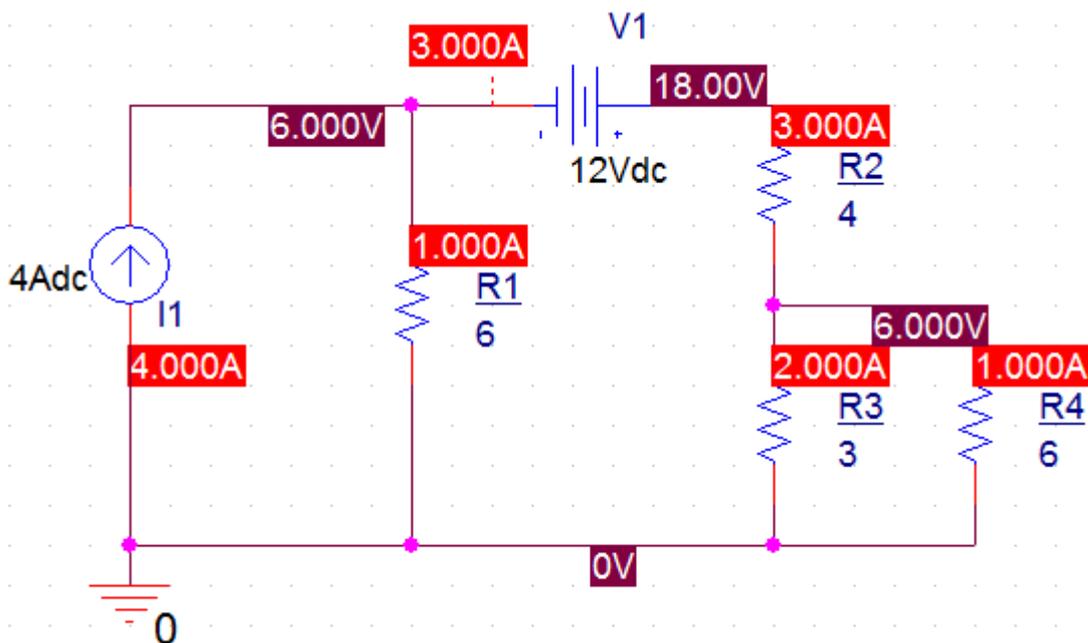


Рис. 1.39. Результаты моделирования схемы

Проверьте соответствие моделирования и результатов расчета.

На рис. 1.40. показан фрагмент выходного файла из окна Probe.

```
*****
NODE      VOLTAGE      NODE      VOLTAGE      NODE      VOLTAGE      NODE      VOLTAGE
(N03623)   6.0000 (N03630)  18.0000 (N03634)   6.0000

VOLTAGE SOURCE CURRENTS
NAME      CURRENT
V_V1     -3.000E+00
TOTAL POWER DISSIPATION  3.60E+01 WATTS

JOB CONCLUDED
**** 02/05/18 11:53:36 ***** PSpice Lite (March 2016) ***** ID# 10813 ****
** Profile: "SCHEMATIC1-PR-2" [ c:\pr-2\pr-2-pspicefiles\schematic1\pr-2.sim ]
**** JOB STATISTICS SUMMARY
*****
```

Рис. 1.40. Фрагмент выходного файла

1.6. Параметрический анализ мощности при изменении значения резистора

1. Выделяем на схеме значение резистора R2 и в редакторе свойств заменяем это значение на {RES} в фигурных скобках (рис. 1.41).
2. Выполняем Place>Part и Add Library. В каталоге библиотек rpsice выделяем special и нажимаем «Открыть».
3. В меню библиотеки SPECIAL выбираем PARAM (рис. 1.42).

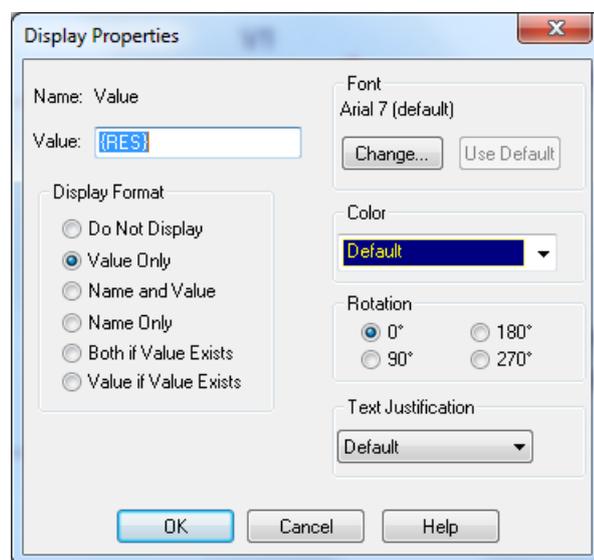


Рис. 1.41. Установка переменной {RES}

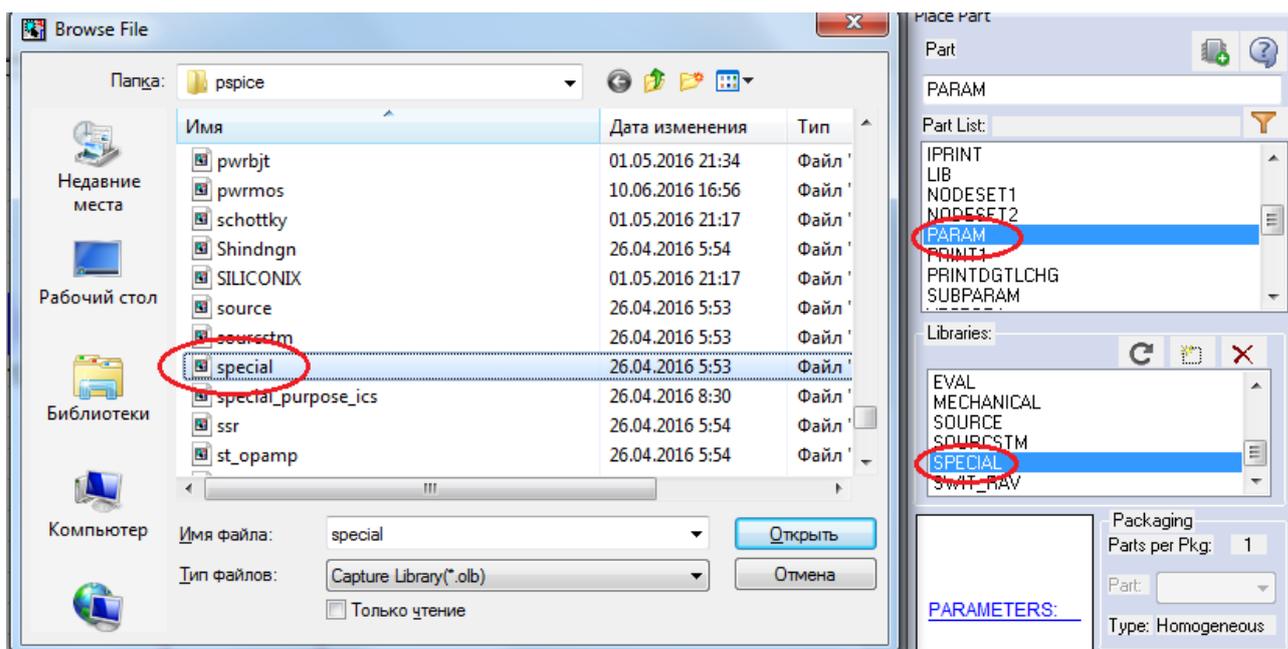


Рис. 1.42. Добавление библиотеки Special

3. Нажимаем Place Part и добавляем компонент PARAM в схему (рис. 1.43).

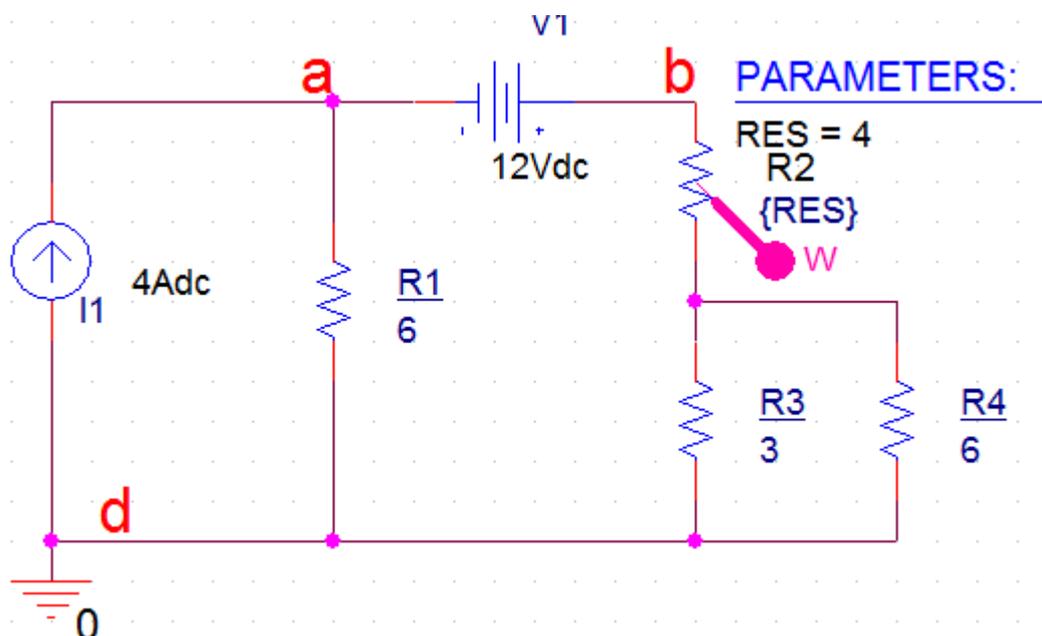


Рис. 1.43. Ввод в схему компонента PARAM

4. Дважды щёлкнем на PARAM и в редакторе свойств выбираем New Properties. В новом окне свойств вводим RES без фигурных скобок и номинальное значение резистора 4. Кнопкой Pivot можно поменять в таблице свойств столбцы на строки, если понадобится (рис. 1.44).

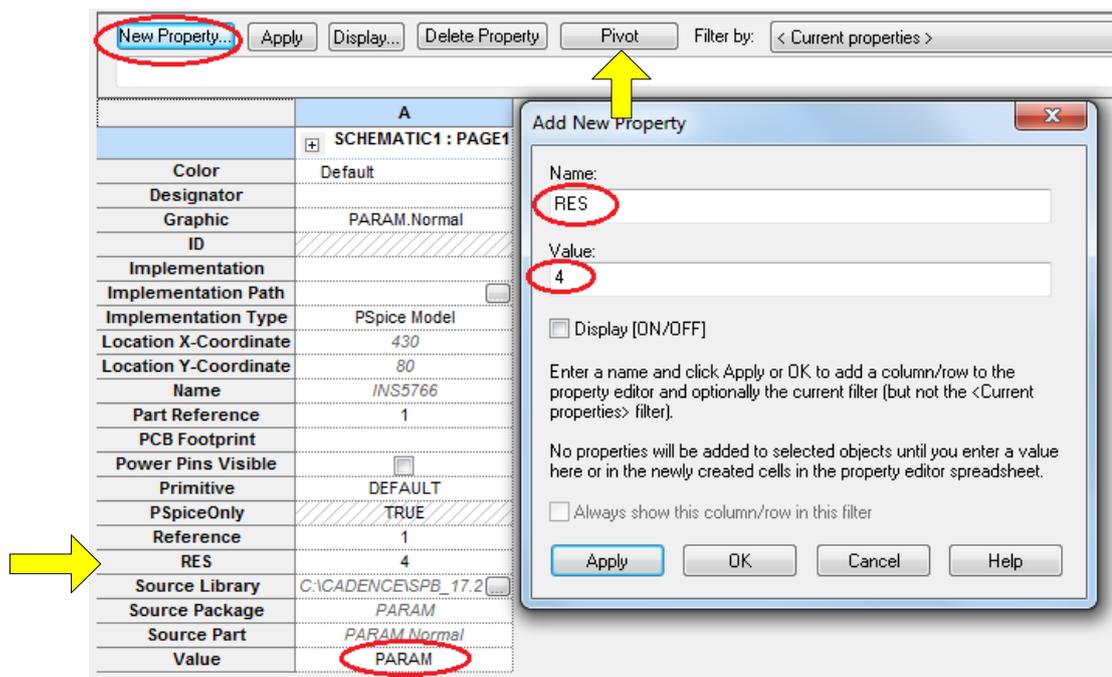


Рис. 1.44. Установка новых свойств резистора RES

5. Выделяем строку RES, правой кнопкой мыши открываем меню и выбираем Display. Проверяем правильность установок (рис. 1.45). Нажимаем OK.

6. В главном меню нажимаем Apply, чтобы сохранить установки и закрываем редактор свойств.

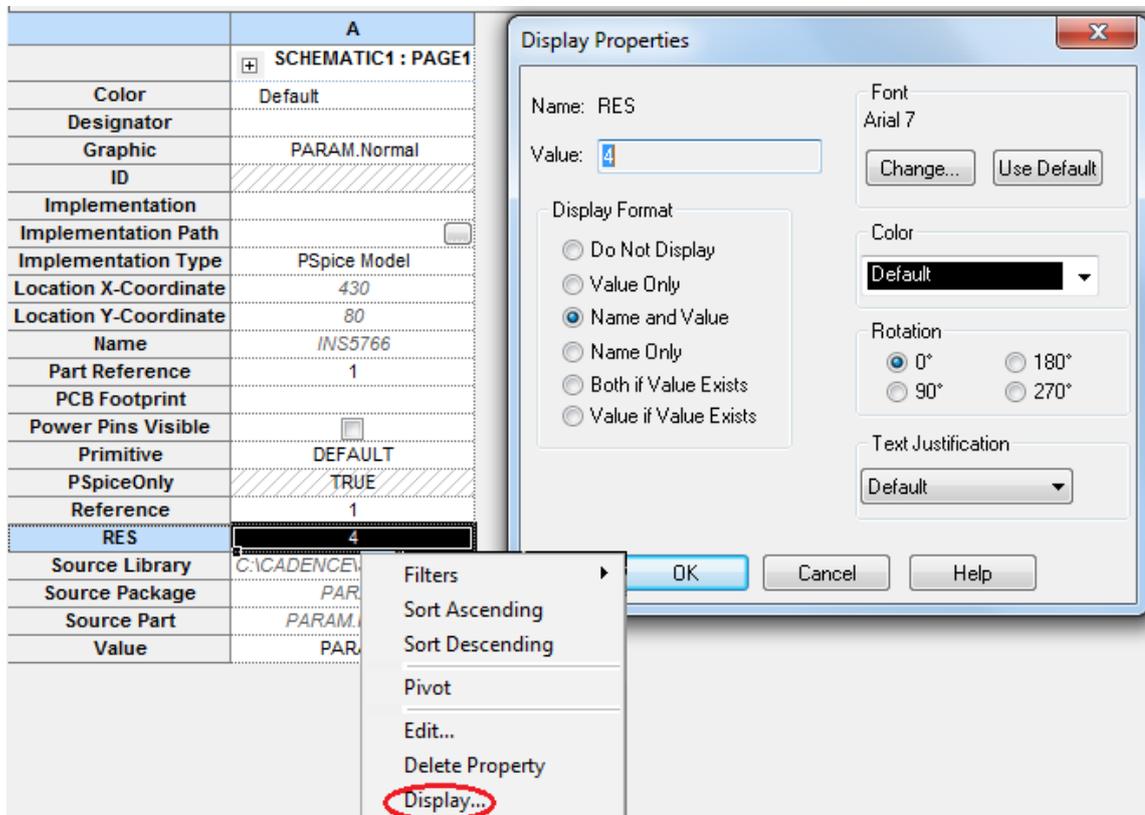


Рис. 1.45. Проверка установок

Добавляем в схему маркер для измерения мощности в резисторе R2. При правильных установках схема будет иметь вид, показанный на рис. 1.43.

7. Устанавливаем профиль моделирования PARAM1. Выбираем DC Sweep, Primary Sweep, Global parameter = RES, развертка линейная. Устанавливаем начальное и конечное значение параметра, инкремент (рис. 1.46).

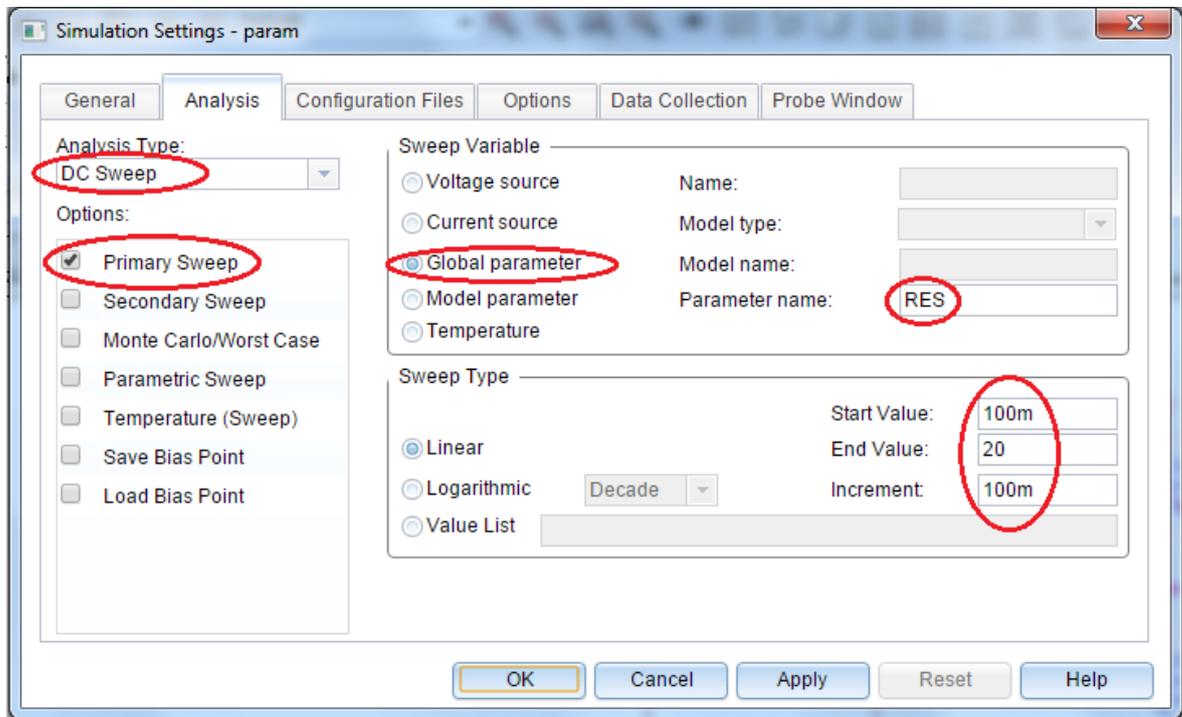


Рис. 1.46. Установка профиля моделирования с развёрткой 8. Выполняем моделирование и получаем график мощности (рис. 1.47).

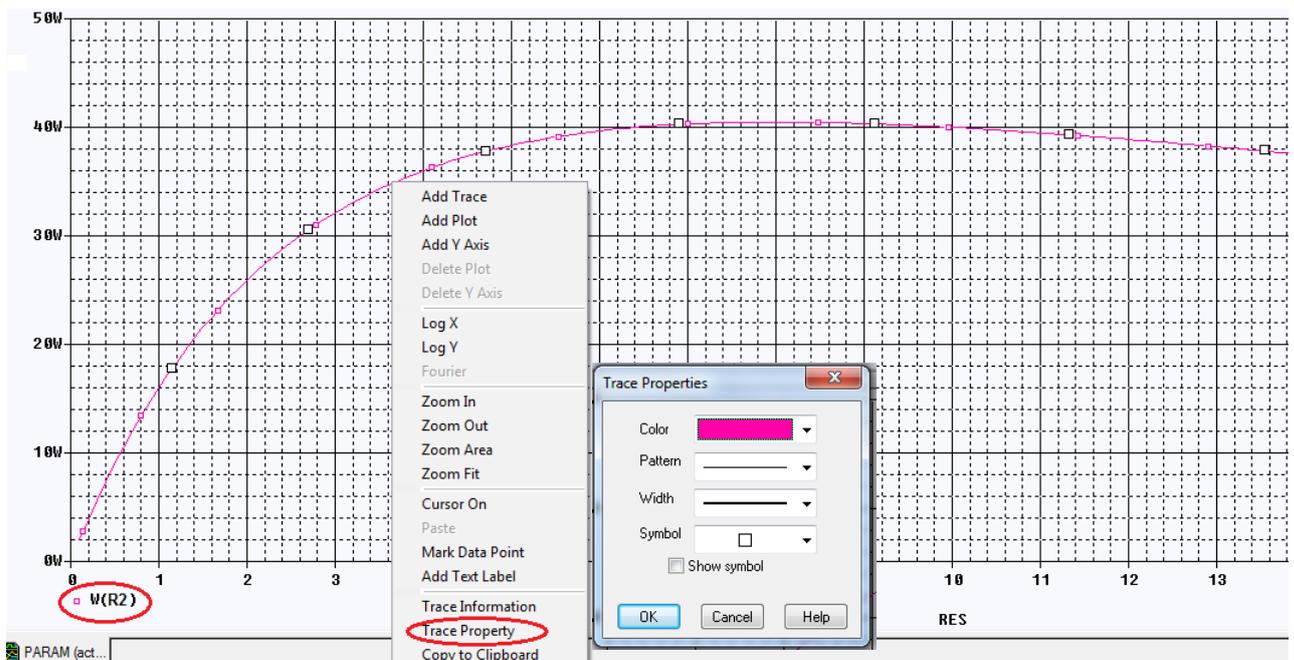


Рис. 1.47. График мощности при изменении R2

Выделив график, можно открыть выпадающее меню и сделать дополнительные установки. Можно изменить цвет, пунктир, толщину линии, задать символы. Мы выбрали Trace Properties и установили малиновый цвет и толщину графика.

Начиная с версии 16.3, вы можете выполнить основные установки окна Probe, изменить цвета курсоров и их толщину, цвета заднего и переднего плана, а также оси и линии сетки, цвет фона и зонда. Для этого в окне Probe выберите Tools> Options как показано на рисунке 1.48.

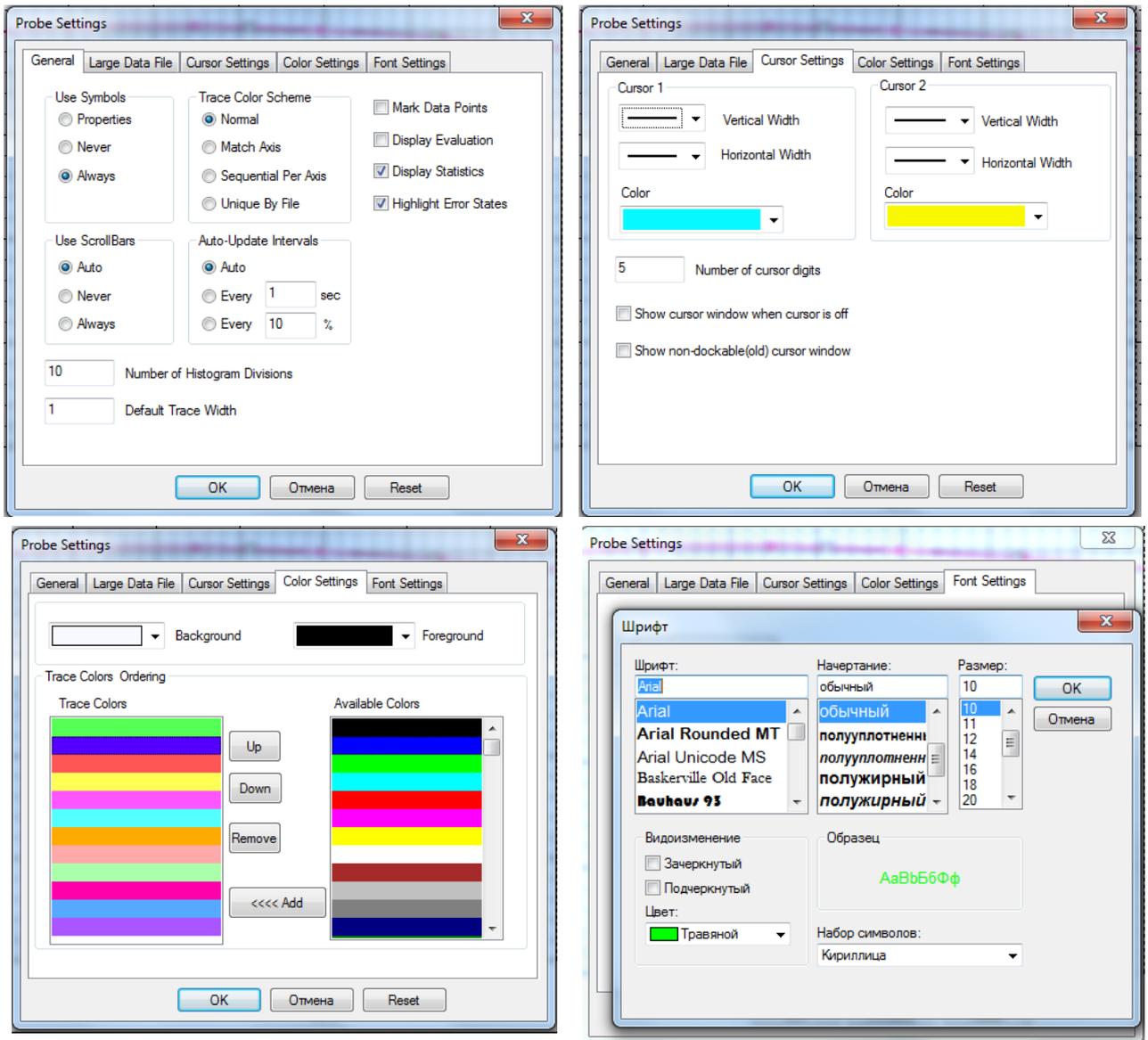


Рис. 1.48. Установка различных параметров окна Probe

1.7. Использование курсоров

Выбираем Trace-Cursor-Display и в меню курсоров выбираем Cursor Pic или Cursor Max. Курсор автоматически установиться на максимуме графика (рис. 1.49).

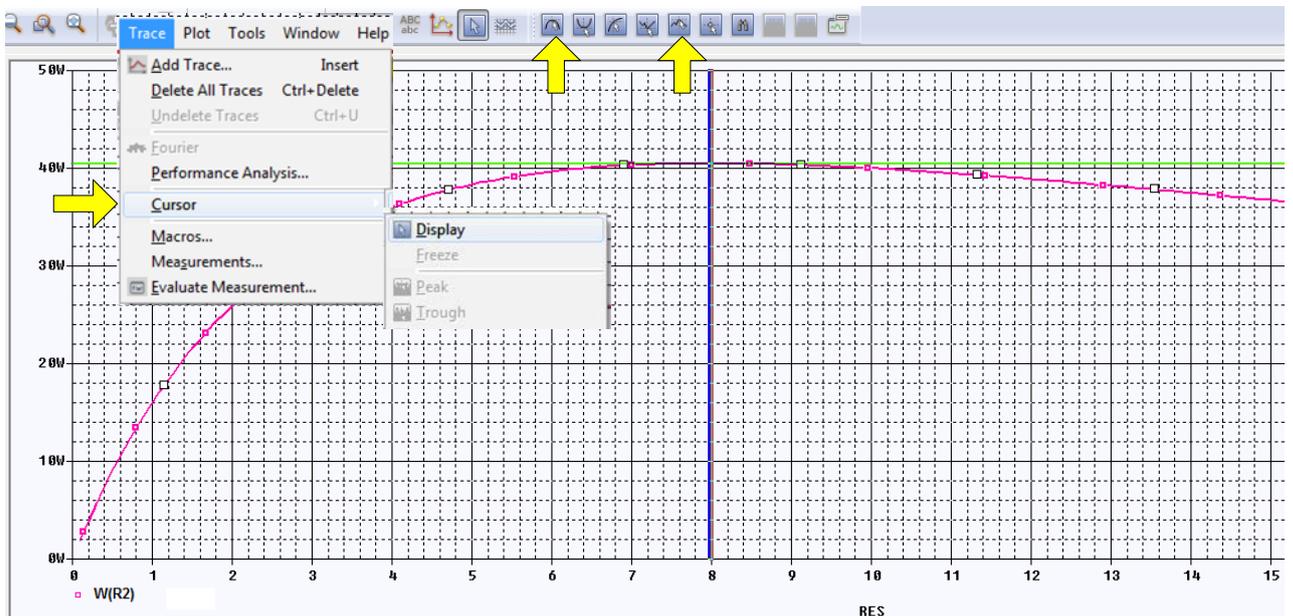


Рис. 1.49. Поиск максимума курсорами

Численная информация о положении курсоров находится в нижнем правом окне Probe. Мы видим, что максимальная мощность 40,500 Вт достигается при значении $R_2=8$ Ом, что соответствует сопротивлению эквивалентного генератора.

Trace Name	Y1	Y2	Y1 - Y2	Y1(Cursor1) - Y2(Cursor2)	438.903u			
X Values	8.0000	7.9726	27.397m	Y1 - Y1(Cursor1)	Y2 - Y2(Cursor2)	Max Y	Min Y	Avg Y
W(R5)	40.500	40.500	438.903u	0.000	0.000	40.500	40.500	40.500

Рис. 1.50. Числовые данные курсоров

Ранее мы нашли напряжение холостого хода $U_{cbxx} = E_{эkv} = 36 В$. Расчет максимальной мощности дает:

$$P_{max} = \frac{E_{эkv}^2}{4R_{эkv}} = \frac{36^2}{4 \cdot 8} = 40,5 В.$$

Выбрав значок указателя, можно произвольно перемещать курсор (рис. 1.51).

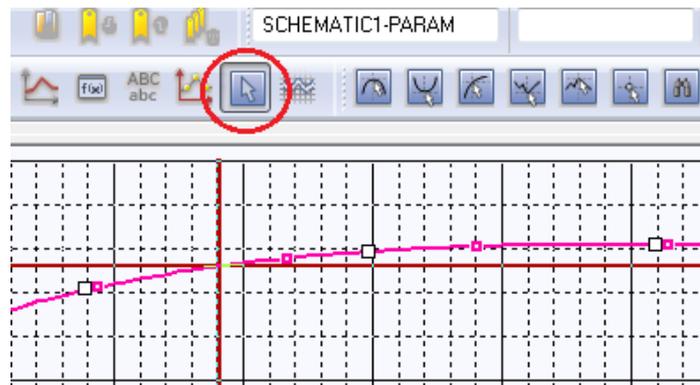


Рис. 1.51. Перемещение курсора

1.8. Развертка двух параметров

Получим графики мощности при изменении R2 для нескольких значений напряжения V1. Для этого в профиле моделирования введем вторую развертку Secondary Sweep для источника напряжения V1 и установим диапазон изменения напряжения от 8 до 16 В с шагом 2 В (рис. 1.52).

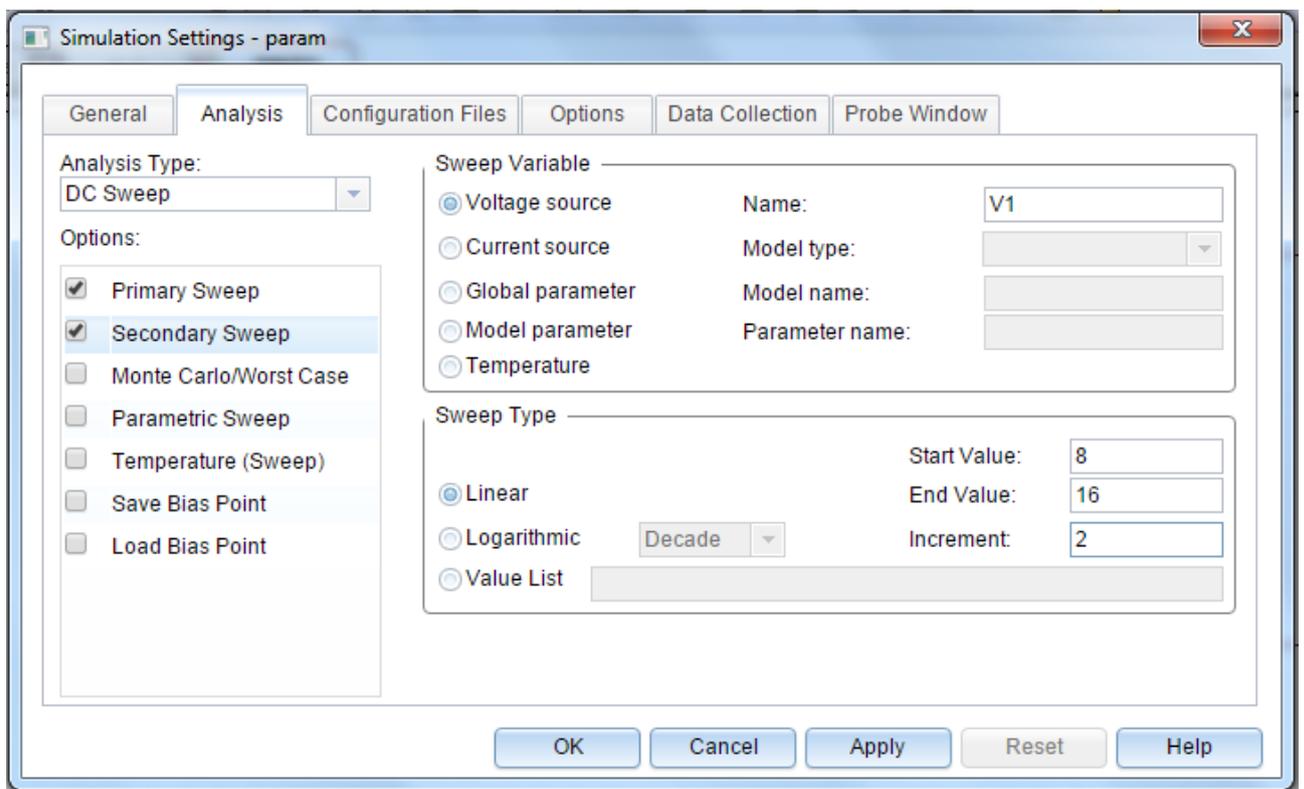


Рис. 1.52. Установка двух разверток

Выполняем моделирование и получаем семейство графиков мощности для всех напряжений (рис. 1.53).

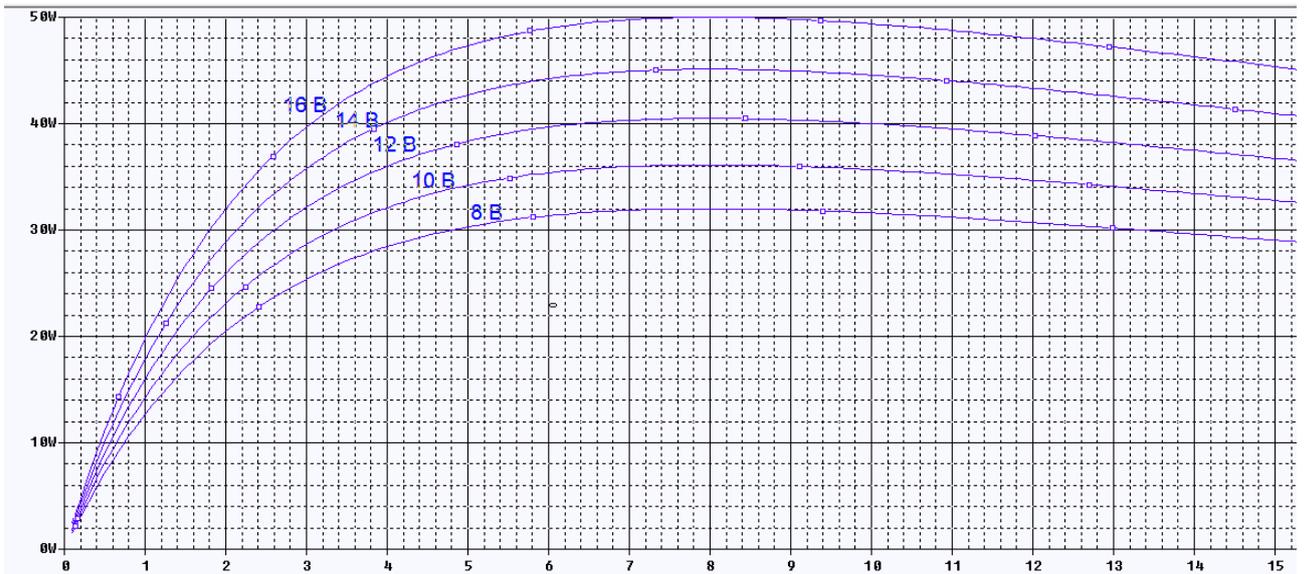


Рис. 1.53. Семейство графиков мощности

Для разметки графиков выбираем Plot>Label>Text , устанавливаем нужный шрифт, вводим текст (рис. 1.54) и размечаем графики.

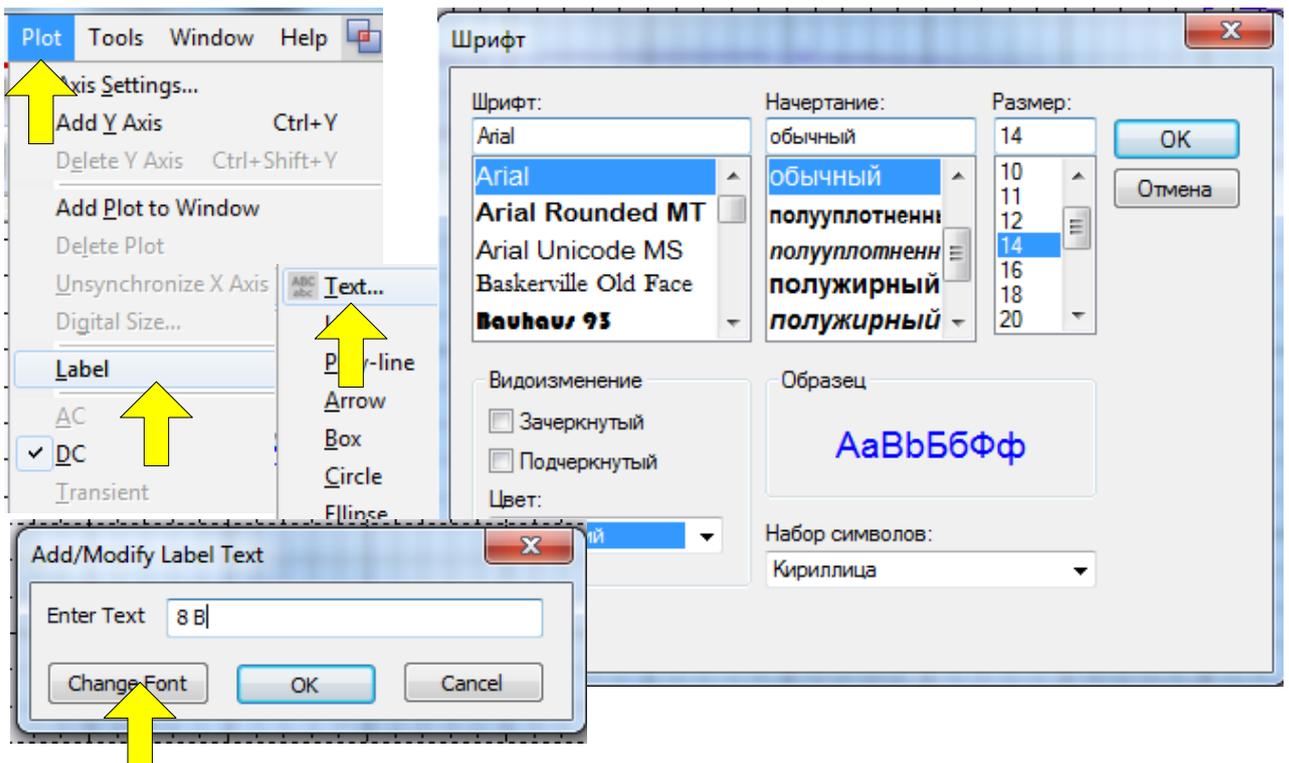


Рис. 1.54. Разметка графиков

1.9. Выходные характеристики биполярного транзистора

Создадим проект PR-3 для получения выходных характеристик биполярного транзистора в схеме включения с общим эмиттером. Как и ранее выбираем тип проекта PSpice Analog or Mixed A/D и базовый проект simple.opj.

Затем поступаем так:

1. Из библиотеки Pspice>advans>bjn (рис. 1.55) выбираем транзистор n-p-n транзистор 2N2102 и помещаем на рабочее поле.

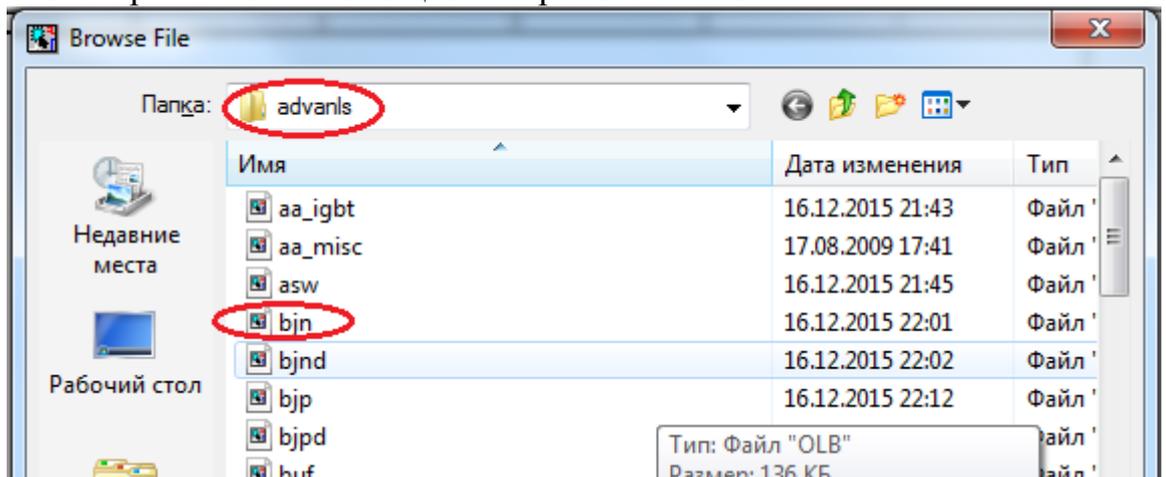


Рис. 1.55. Открытие библиотеки биполярных транзисторов

2. В менеджере проекта добавляем в библиотеки файл bjn (Рис. 2.29).

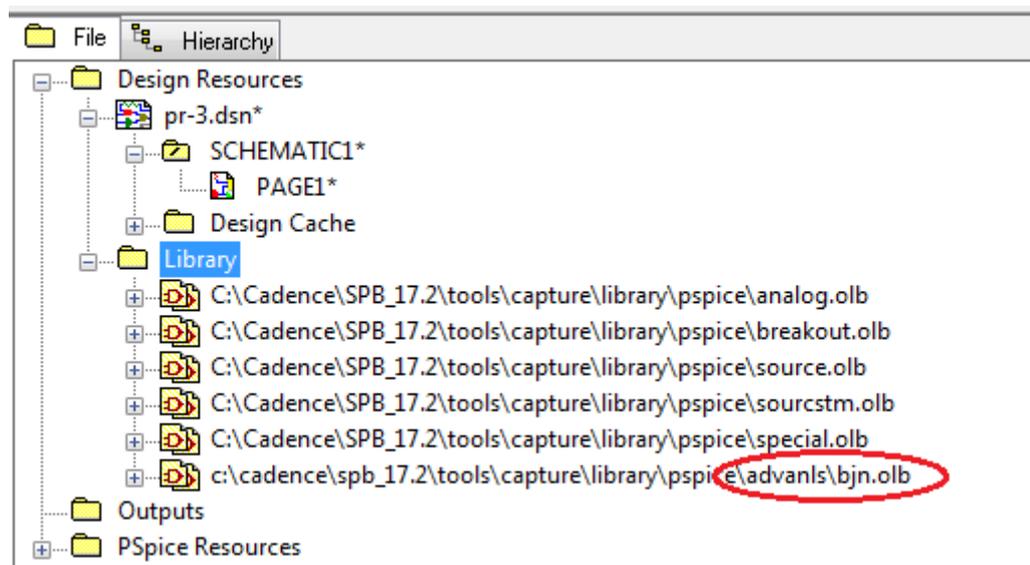


Рис. 1.55. Добавление библиотеки биполярных транзисторов в проект

3. Собираем схему (рис. 1.56) и устанавливаем маркер тока. Для этого в схеме надо сделать **pin** (короткий вывод) на коллекторе. Маркер надо соединить с выводом коллектора транзистора.

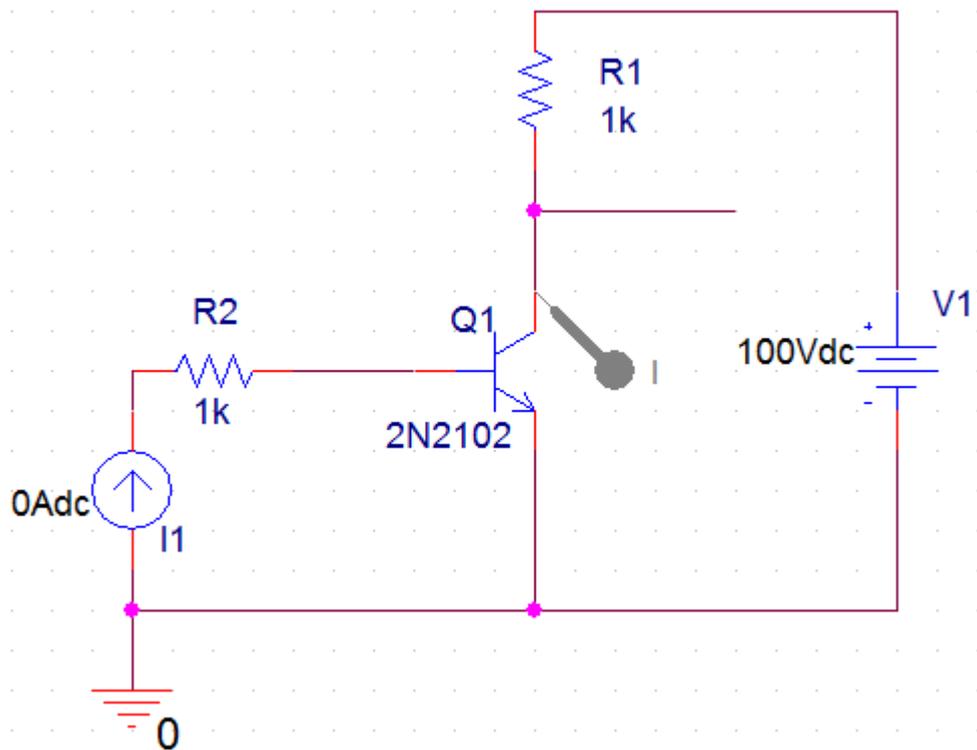


Рис. 1.56. Схема измерения вольтамперных характеристик
 4. Создаем профиль моделирования VAX1. Устанавливаем первичную развёртку по напряжению на коллекторе V1 от 0 до 100 В с шагом 1В (рис. 1.57).

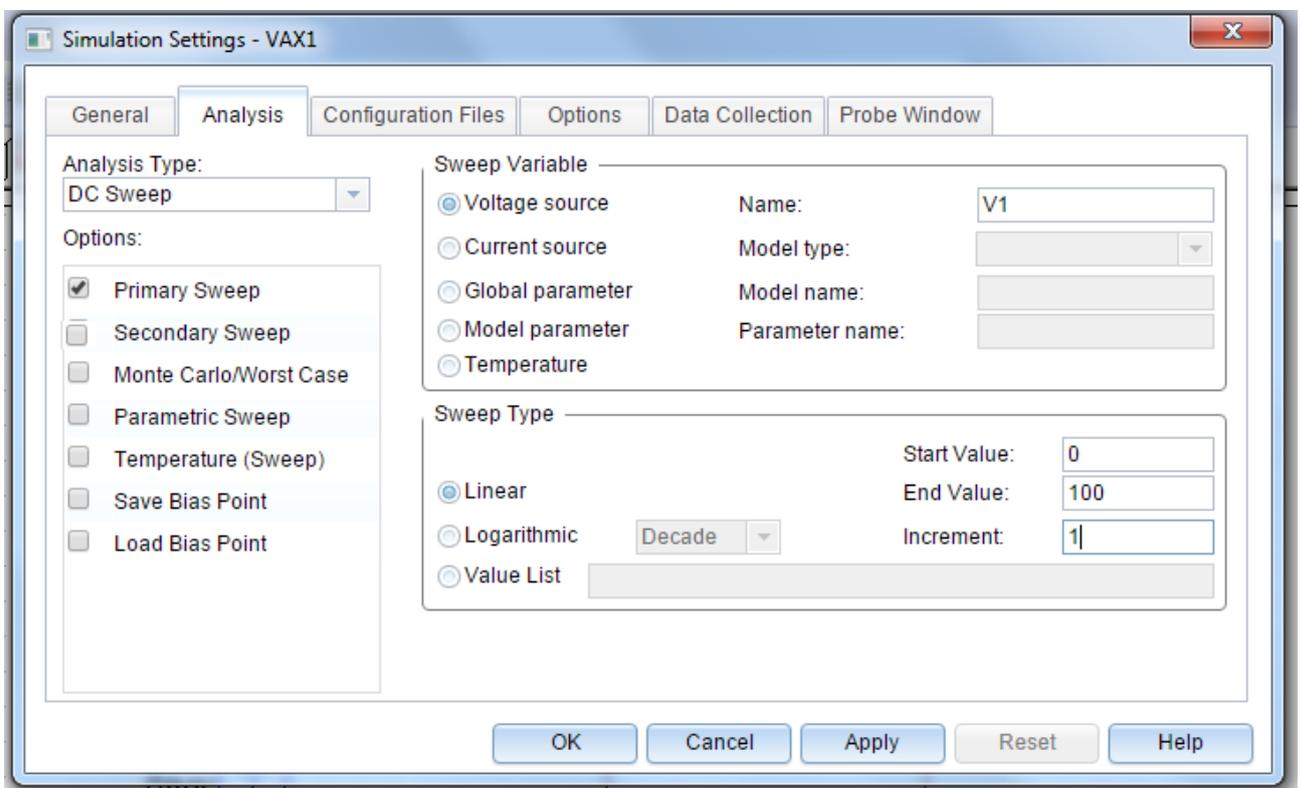


Рис. 1.57. Установка первичной развёртки по напряжению коллектора

5. Устанавливаем вторичную развертку по току базы I_1 от 50 мкА до 200 мкА с шагом 50 мкА и устанавливаем в менеджере проектов активный профиль моделирования VAX1 (рис. 1.58).

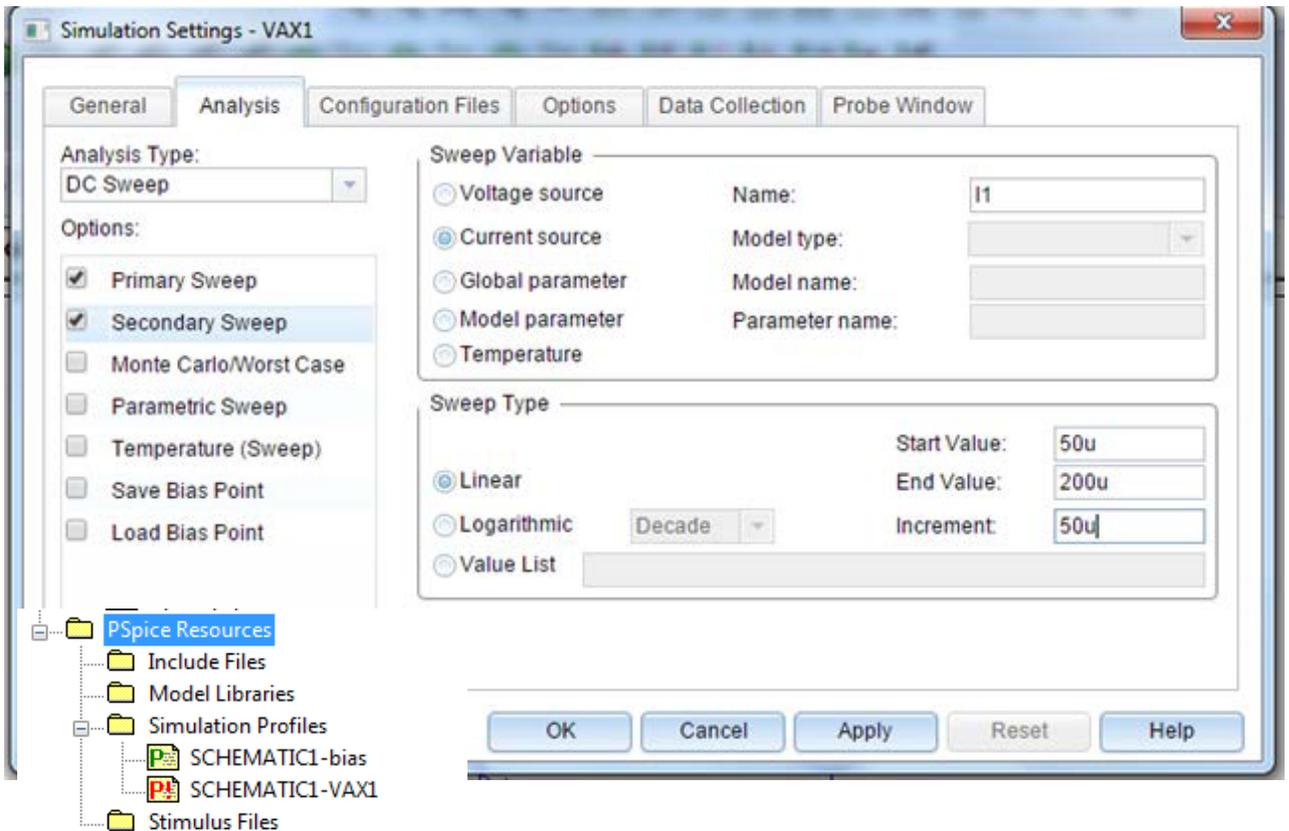


Рис. 1.58. Установка вторичной развертки по току базы

6. Сохраняем проект и включаем Run и в окне результатов получаем графики выходных характеристик и размечаем их (рис. 1.59).

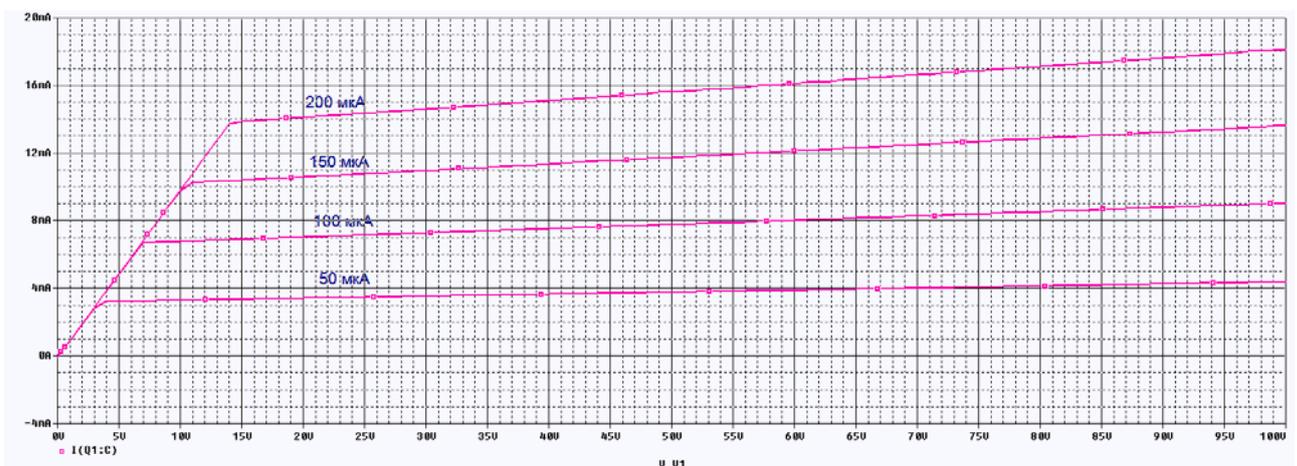


Рис. 1.59. Графики выходных характеристик

7. Выполняем установку осей.

Выбираем Plot > Axis Settings > XAxis, **изменяем Data Range на User Defined** и вводим диапазон от 0 до 30 V. Нажимаем ОК и видим изменения (рис. 1.60).

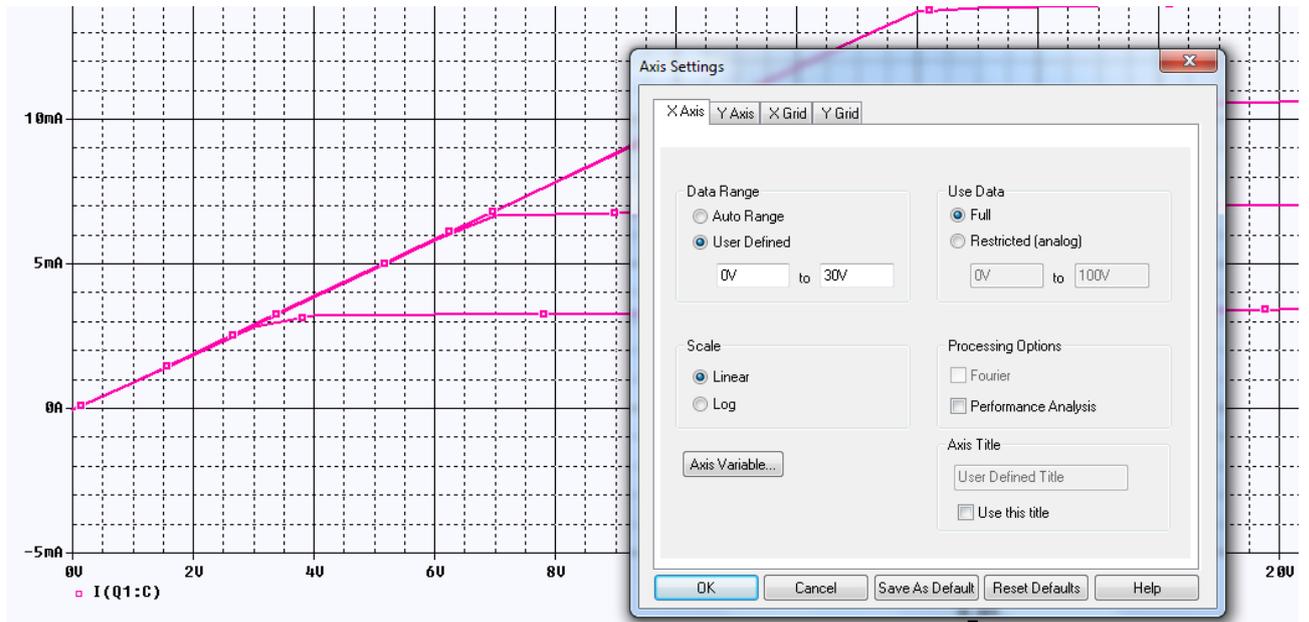


Рис. 1.60. Установка осей

Выбираем Plot > Axis Settings > YGrid отключаем Automatic и устанавливаем Major Spacing на 10m. Нажимаем ОК и видим изменения (рис. 1.61).

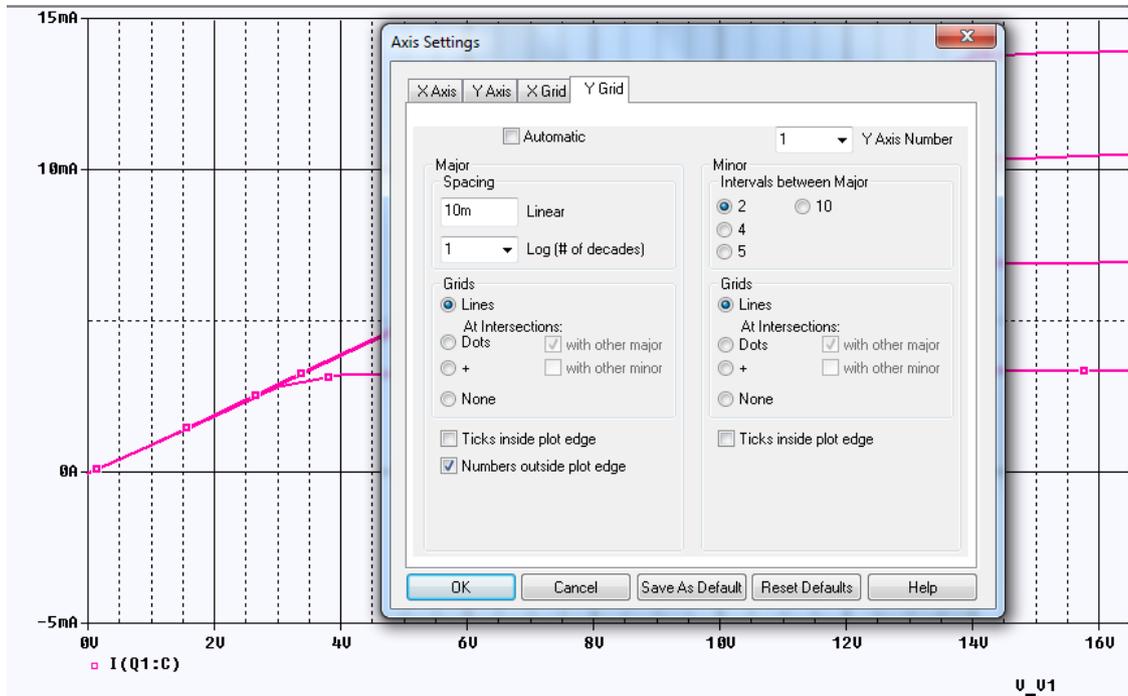


Рис. 1.62. Изменение расстояния между осями по Y

Выбираем Plot > Axis Settings > XGrid и устанавливаем как Major, так и Minor Grids на None. Нажимаем ОК и видим изменения (рис. 1.63).

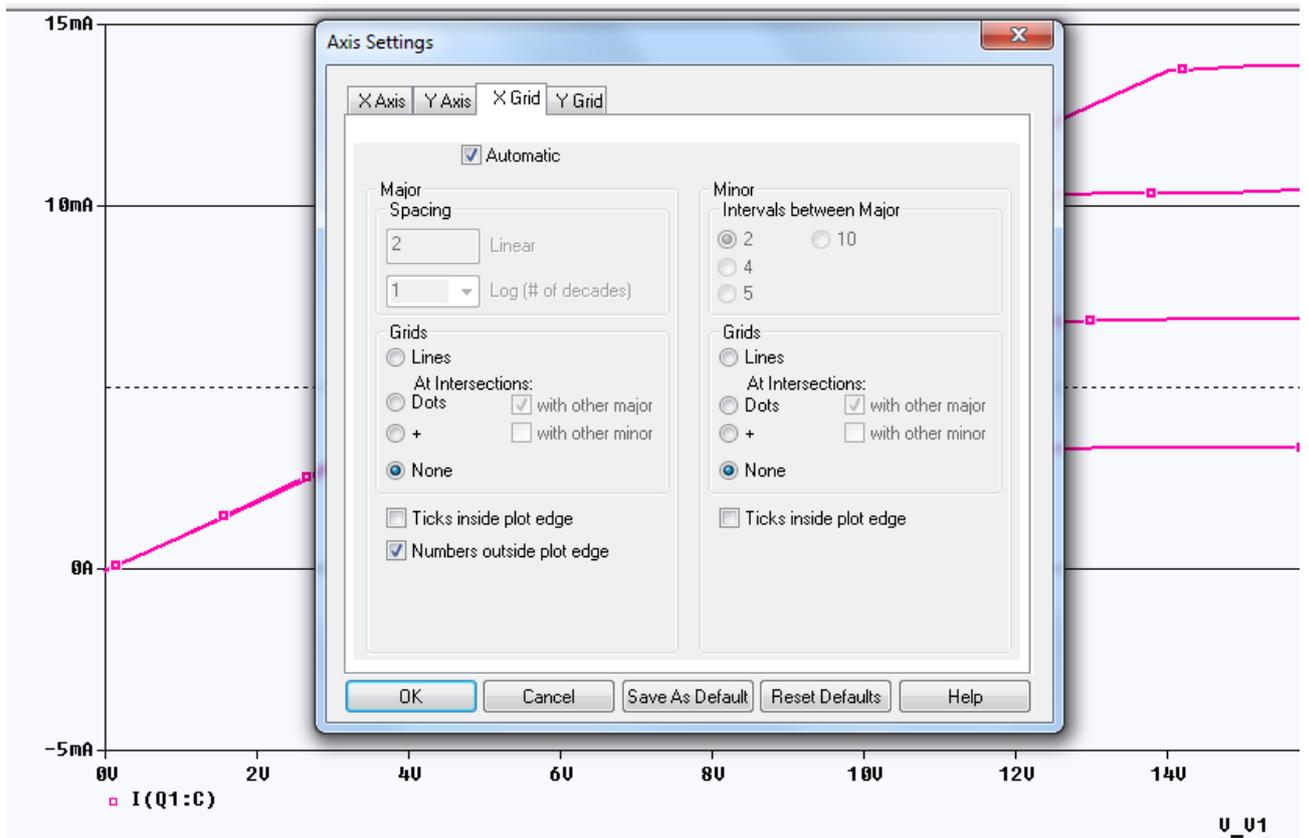


Рис. 1.63. Отключение сеток по X

Выбираем Plot > Axis Settings > YGrid и устанавливаем как Major, так и Minor Grids на None. Нажимаем ОК and видим (рис. 1.64) .

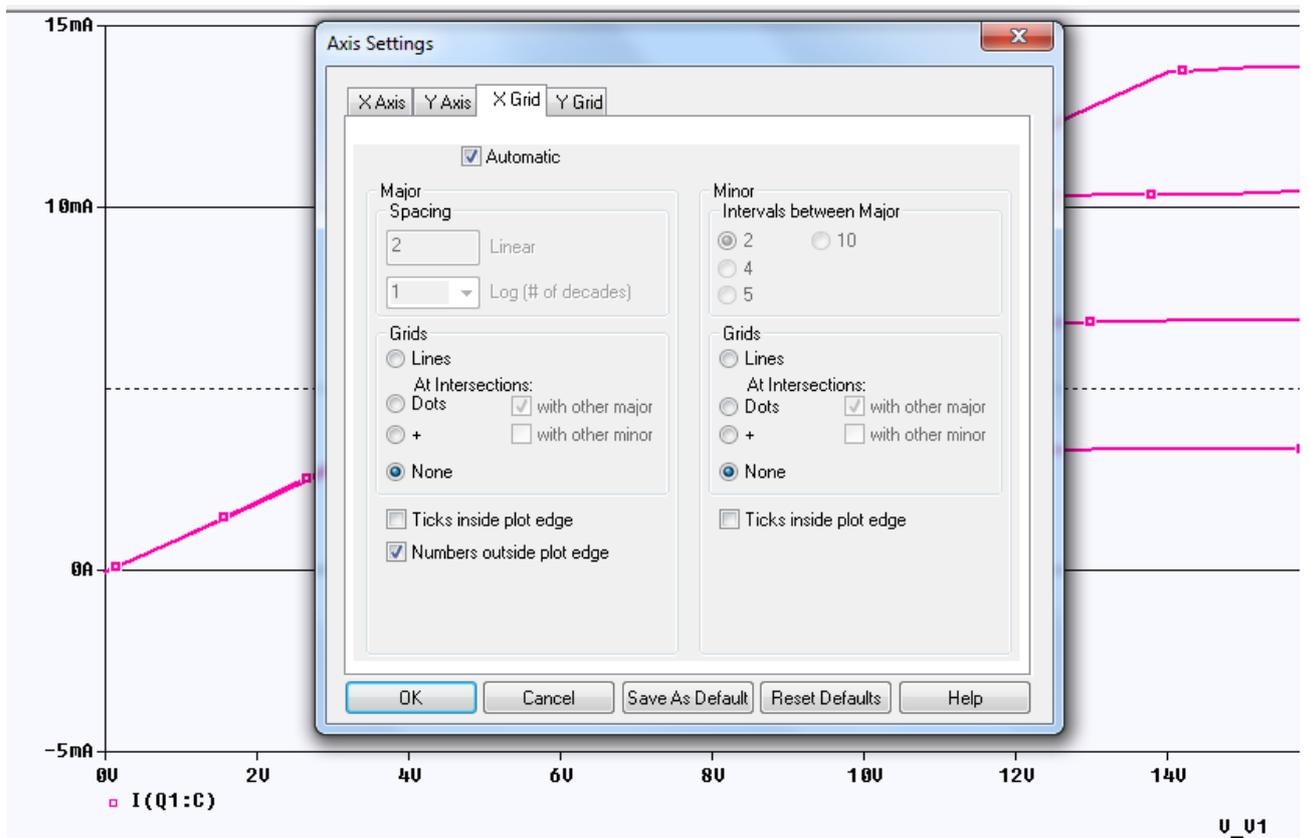


Рис. 1.64. Отключение осей по Y

1.10. Контрольные вопросы

1. Назовите идеальные пассивные и активные элементы электрических цепей и их свойства.
2. Назовите понятия, характеризующие структуру электрической цепи.
3. Назовите основные законы и методы расчета электрических цепей.
4. Как выполняют нужной библиотеки для компонентов схемы ?
5. Как смоделировать цепь постоянного тока и посмотреть результаты?
6. Как проверить соблюдение баланса мощности в цепи постоянного тока ?
7. Как выполнить параметрический анализ при изменении значения одного компонента ?
8. Какие установки можно выполнить для окна Probe ?
9. Как можно использовать курсоры для анализа результатов в окне Probe ?
10. Как выполняют исследования при изменении двух параметров в схеме ?
11. Как провести измерения выходных характеристик транзистора ?
12. Как выполняют анализ, сохранение и загрузку режима постоянного тока электронной схемы ?

Практическое занятие №2

Моделирование схем на переменном токе. Частотная и параметрическая развёртка

2.1. Расчётное задание

В цепи (рис. 2.1) действует синусоидальный источник напряжения $e(t) = 8 \cdot \sin 1000t$ ($f = 159,15$ Гц).

Номинальные значения пассивных элементов цепи указаны на схеме. Найти ток в цепи, напряжения на всех элементах. Построить графики напряжений и тока. Построить векторную диаграмму.

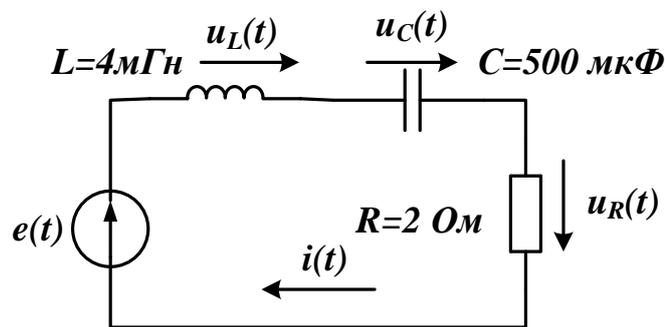


Рис. 2.1. Расчетная схема к заданию 2.1

Рекомендации:

1. Вычислить комплексную амплитуду источника напряжения и комплексные сопротивления всех элементов.
2. Вычислить комплексную амплитуду тока.
3. Вычислить комплексные амплитуды напряжений на элементах цепи.
4. Построить векторную диаграмму напряжений, совмещенную с векторной диаграммой токов.
5. Записать выражения для мгновенных значений напряжений и токов.

2.1.1. Компьютерное моделирование по заданию 2.1

Создаем новый проект pr-4, используя PSpice Analog or Mixed A/D и шаблон simple.opj.

Анализ переменного тока (АС – анализ) используется для расчёта частотной и фазовой характеристики схемы при развёртке частоты источника переменного напряжения или тока, подключённого к цепи. АС - анализ передаточных характеристик представляет собой линейный анализ и вычисляет характеристики отклика схемы на малый сигнал в заданном диапазоне частот путём замены любого нелинейного схемного устройства линейными моделями. Анализ на постоянном токе выполняют до запуска анализа переменного тока и используют для эффективной линеаризации цепи вокруг рабочей точки покоя (DC смещения). Следует отметить, что анализ переменного тока не выполняется на отдельных фрагментах (вырезках) сигнала. Вам придётся запустить переходный анализ,

чтобы определить эти эффекты. Для того, чтобы выполнить анализ переменного тока, используется независимый источник напряжения переменного тока V_{AC} (рис. 2.2а) или источник переменного тока I_{AC} (рис 2.2б) из исходной библиотеки. Тем не менее, любой независимый источник напряжения, который имеет свойства переменного тока, включённый в раздел Parts, может быть использованы в качестве входного сигнала. Рисунок 2.2 показывает свойства, источников из библиотеки Parts - Source, которые отображаются в редакторе свойств.

Такие же переменные источники можно загрузить из меню Place>PSpice Component>Source.

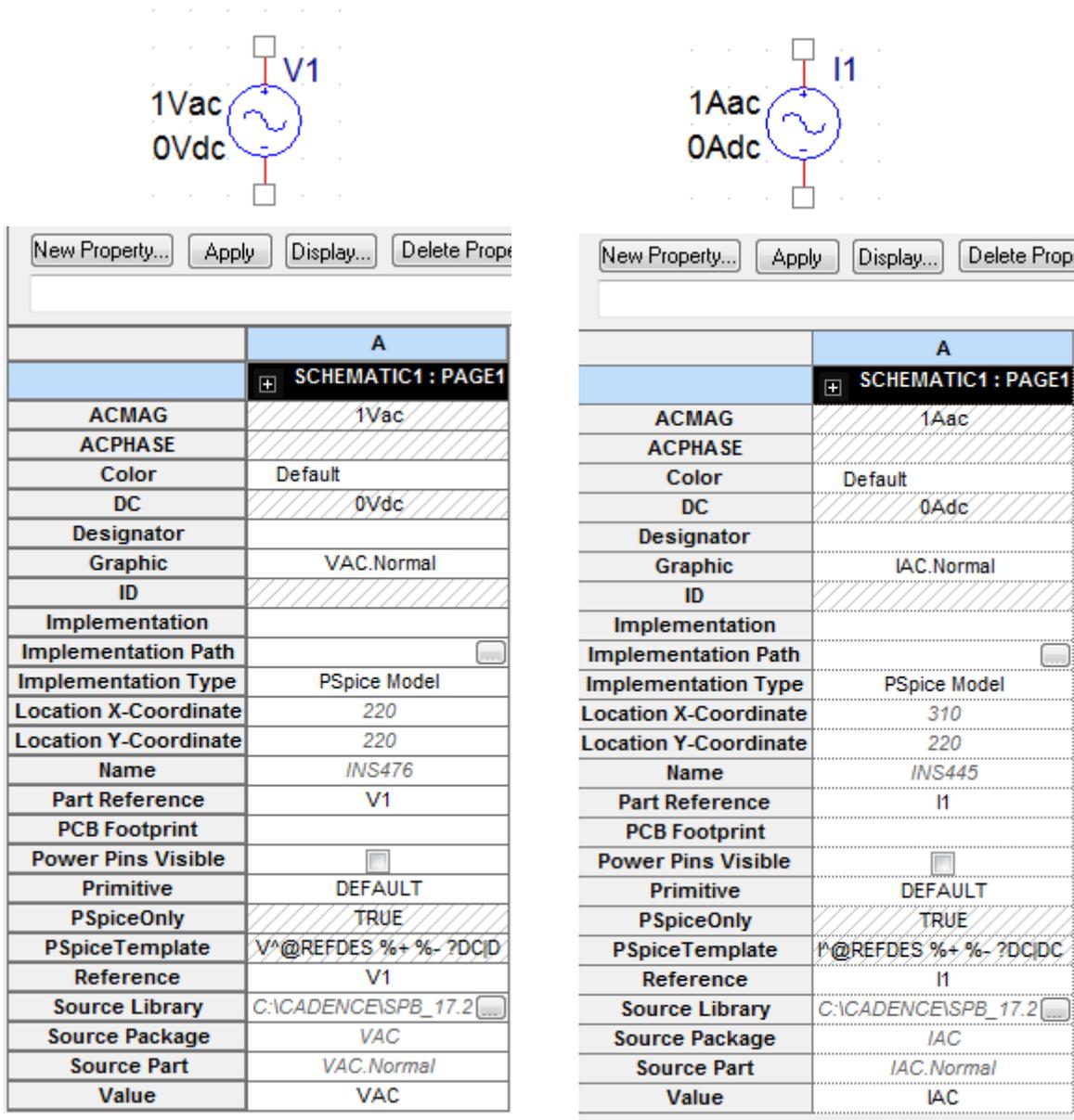


Рис. 2.2. Свойства переменных источников напряжения и тока

По умолчанию, величина источника переменного напряжения составляет 1 В. При вычислении частотных характеристик, как правило, вычисляют коэффициент усиления и фазы для отклика схемы. Так как

коэффициент усиления контура определяется отношением V_{out} / V_{in} , при установке V_{in} равным 1 В, функция усиления или передачи цепи будет равна напряжению на выходе V_{out} .

Переменные источники напряжения 1Vac и тока 1Aac рекомендуют использовать для анализа амплитудно-частотных характеристик цепей.

В библиотеке Place> Parts – Source и другие источники синусоидального сигнала (рис. 2.3), в которых вы можете установить смещение по постоянному напряжению, амплитуду синусоидального сигнала, частоту и фазу.

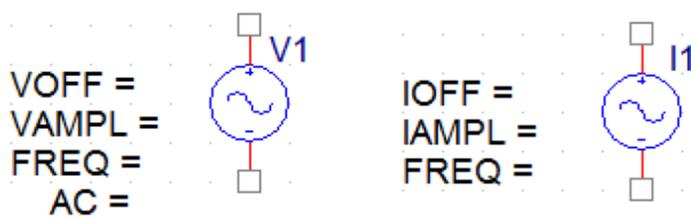


Рис. 2.3. Источники синусоидальных сигналов

Эти два источника синусоидальных сигналов рекомендуют использовать для анализа формы сигналов и переходных процессов.

2.1.2. Схема моделирования

На рис. 2.4 показана схема моделирования по заданию 2.1.

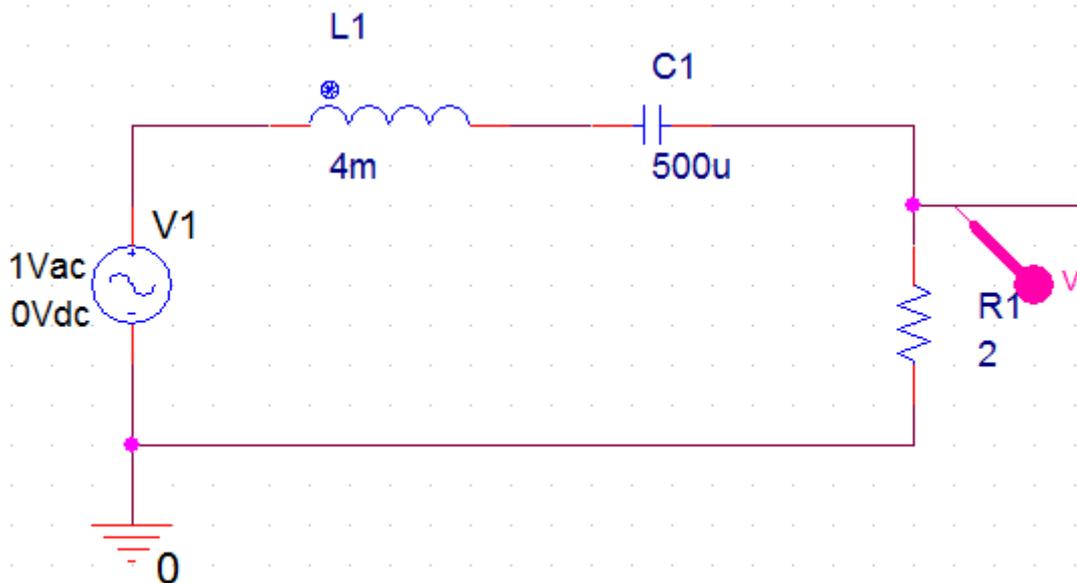


Рис. 2.4. Схема моделирования

Для получения амплитудно-частотной характеристики (АЧХ) цепи подключим маркер напряжения к пину на резисторе.

Установим новый профиль моделирования, выбрав тип анализа AC Sweep/Noise, диапазон частот от 10 до 200 Гц, количество точек 1000 (рис. 2.5).

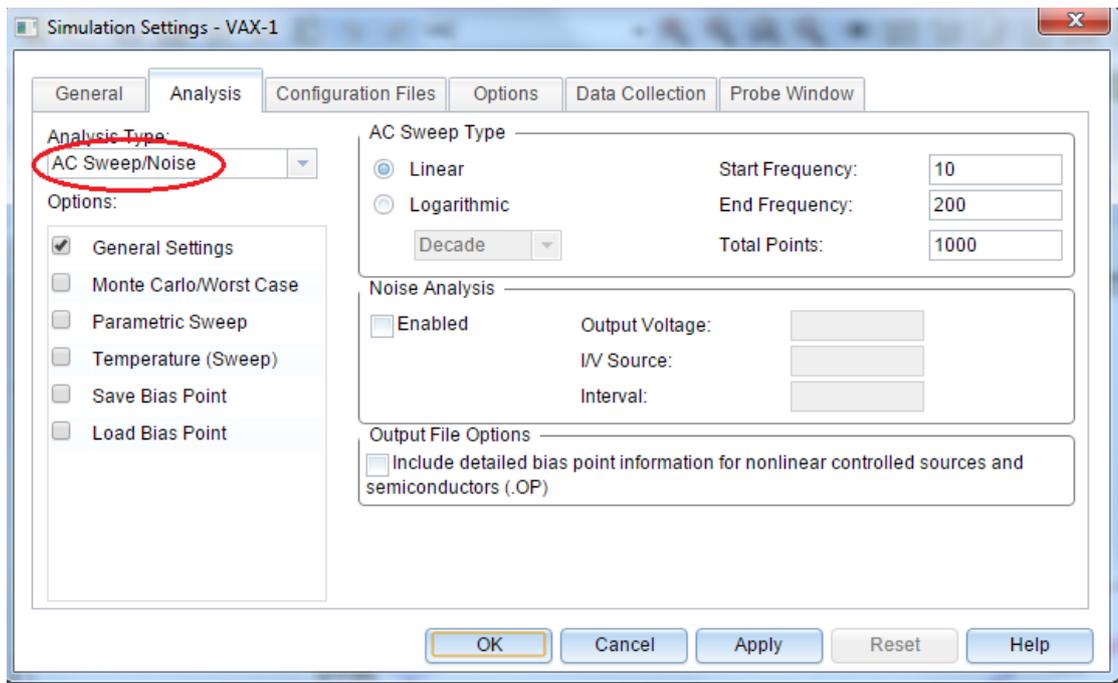


Рис. 2.5. Установка профиля моделирования АЧХ

Выполняем моделирование и получаем график АЧХ с резонансом на частоте 112 Гц (рис. 2.6).



Рис. 2.6. Результаты моделирования АЧХ

Проведем исследование формы сигналов на резисторе и конденсаторе и сдвига фаз между током и напряжениями в цепи. Для этого установим синусоидальный источник напряжения из библиотеки Part с параметрами $V_{OFF}=0$, $V_{AMP}=1$, $FREQ=100$, $AC=0$.

На конденсаторе напряжение будем измерять двумя дифференциальными маркерами напряжения ($V+ - V-$), подключенными к пинам (рис. 2.7).

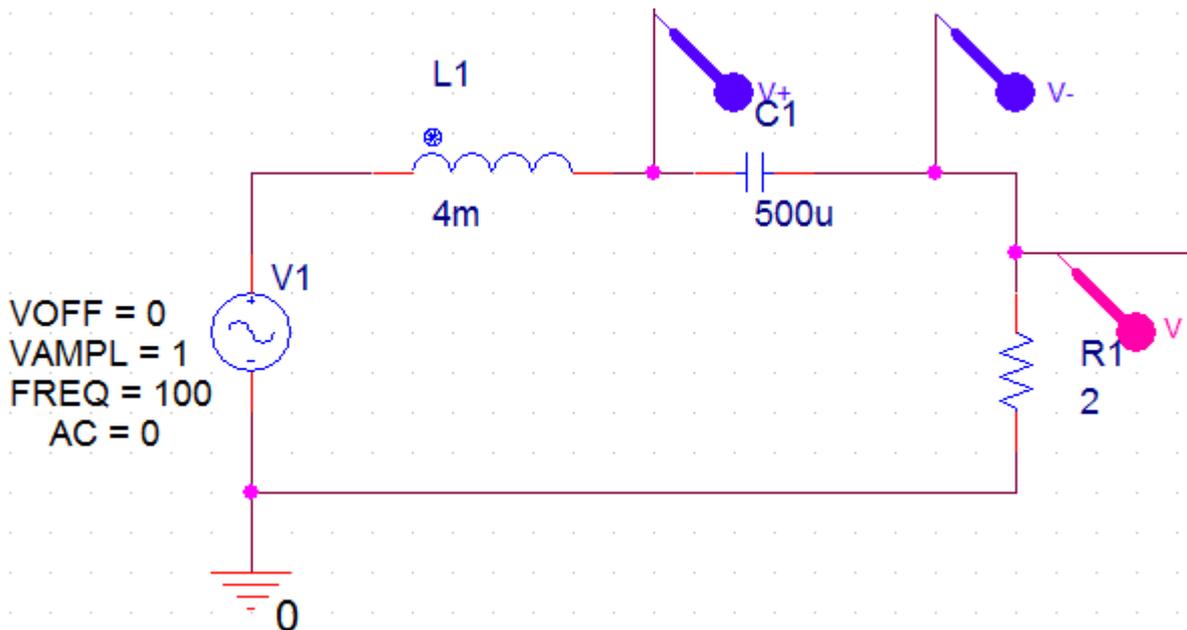


Рис. 2.7. Измерение двух напряжений в схеме

Для проведения измерений двух напряжений и сдвига фаз синусоидальных сигналов будем использовать два курсора.

2.1.3. Использование двух курсоров

На рис. 2.9 показаны графики (трассы) напряжений на резисторе U_r и конденсаторе U_c в окне Probe после моделирования.

Сначала выполним установку свойств курсоров. Для этого в окне Probe выбираем Tools>Options>Cursor Settings и устанавливаем цвета и толщину линий курсоров (рис. 2.8).

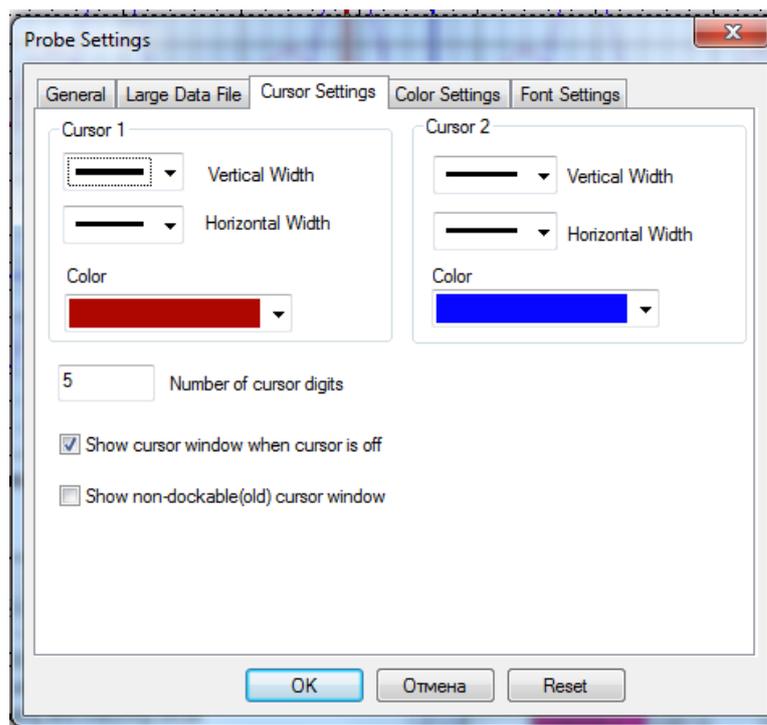


Рис. 2.8. Установка свойств курсоров

Далее для подключения двух курсоров выполняем следующее.

1. Включаем курсоры, выполняя команды Trace>Cursor>Disply.
2. Первый курсор включается и управляется левой кнопкой мыши. В строке легенды графиков левой кнопкой мыши надо щелкнуть по названию графика. При этом щелчок левой кнопкой мыши закрепляет за выбранным названием первый курсор, а щелчок правой кнопкой мыши по названию второго графика закрепит за ним второй курсор.

3. Первый курсор перемещается по графику при нажатой левой кнопке мыши. Второй курсор перемещается при нажатой правой кнопке мыши.

4. Для измерения временного сдвига графиков напряжений установим курсоры в нулевых точках графиков с положительной производной.

Напряжение на конденсаторе отстает от напряжения на резисторе на - 2,4747 мсек.

Для частоты $f = 100 \text{ Гц}$ сдвиг фазы составит:

$$\Delta\varphi = 2\pi f(-2,4747 \cdot 10^{-3}) \approx -1,57 \text{ рад} \approx -90^\circ.$$

Это соответствует теории гармонического тока: напряжение на емкости отстает от тока (или напряжения на резисторе) на 90° .

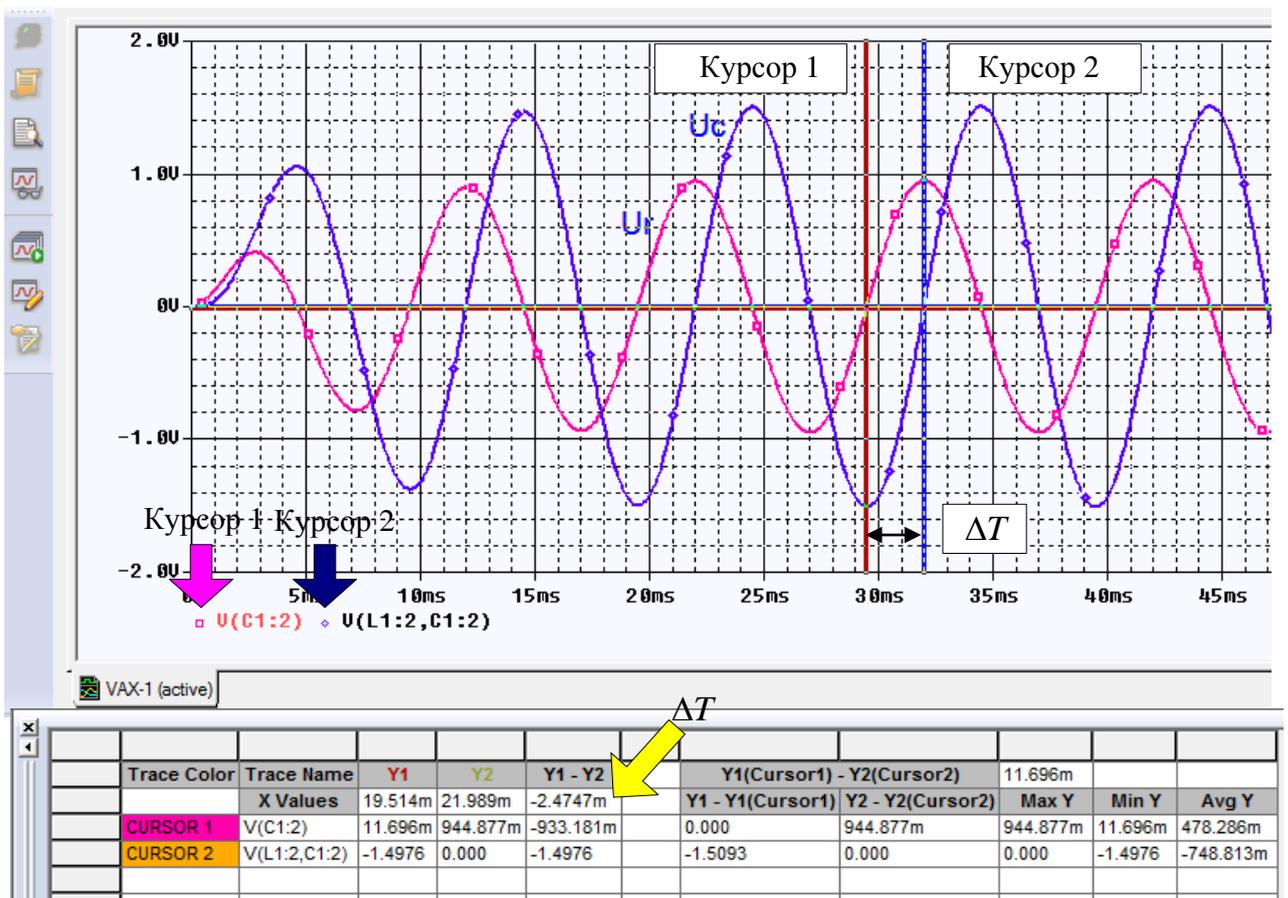


Рис. 2.9. Графики напряжений в схеме

5. Для перемещения курсоров в особые точки графиков надо выполнить следующее (рис. 2.10):

- выбрать нужный курсор соответствующей ему кнопкой мыши;
- выбрать левой кнопкой мыши нужную особую точку графика.

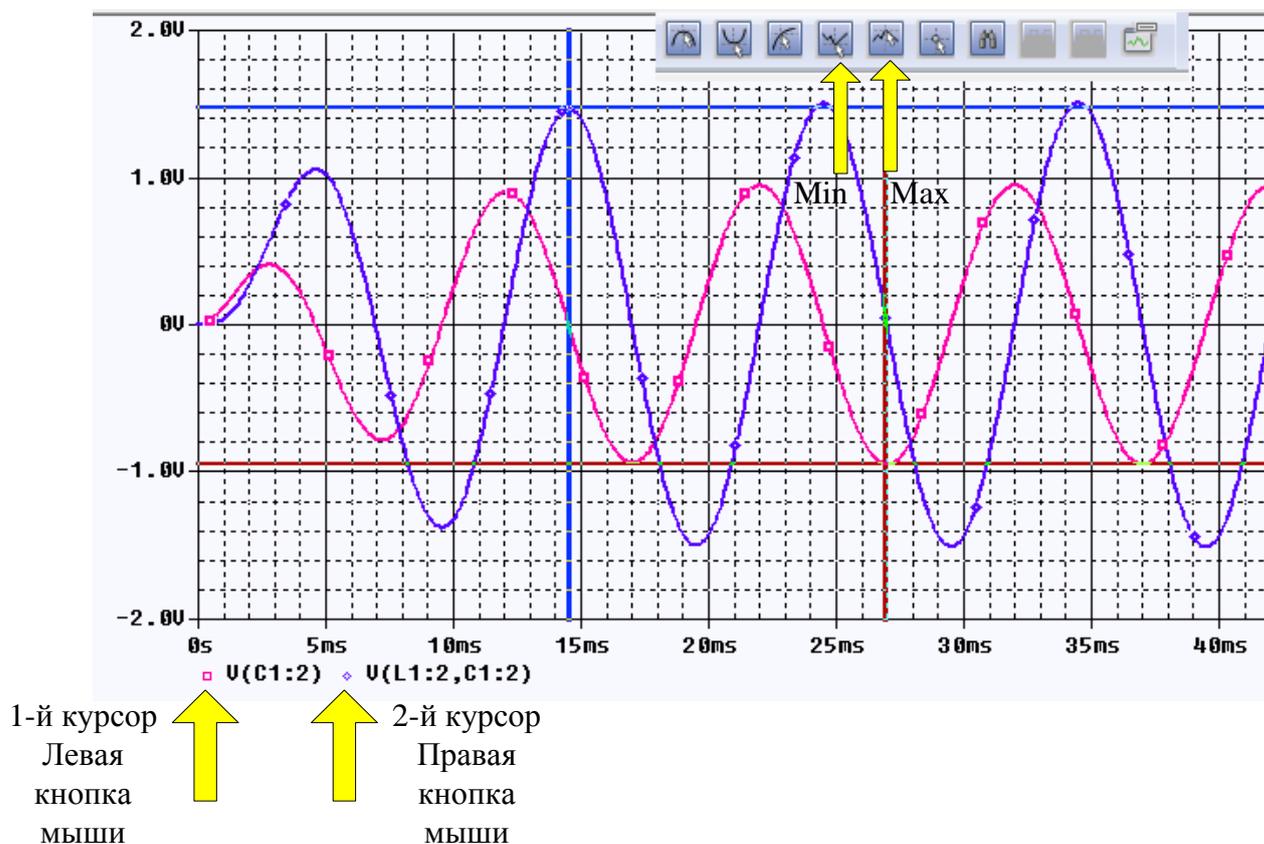


Рис. 2.10. Перемещение курсоров в Min и Max

Перемещать курсоры можно, используя специальные комбинации клавиш. Об этом можно прочитать в руководствах по PSpice и OrCAD.

В смешанных аналого-цифровых схемах в окне Probe отображается две области графиков.

В аналоговой области графика (если есть) оба курсора изначально помещены на трассировку, указанную первой в легенде трассировки и соответствующий символ трассы обозначается пунктирной линией.

В цифровой области графика (если есть) оба курсора изначально помещены на трассу, названную первой вдоль оси Y, и соответствующее имя трассировки обозначается пунктирной линией.

Мы покажем это позже при изучении смешанных схем.

2.2. Активный заграждающий фильтр

Электрические фильтры применяют для пропускания без ослабления колебаний одних (полезных) частот и подавления (ослабления) колебаний других частот (помех). В прошлые годы применяли пассивные электрические

LC-фильтры. Однако, значительные размеры катушки индуктивности ограничивают использование LC-фильтров в миниатюрной аппаратуре.

С появлением интегральных микросхем с операционными усилителями (ОУ) с начала 70-х годов прошлого века начали разрабатывать и широко применять *активные RC фильтры*, содержащие один или несколько ОУ и резисторы и емкости в цепях обратных связей. Порядок фильтра определяется наибольшей степенью переменной p в знаменателе его передаточной функции. Фильтры высокого порядка имеют лучшие частотные характеристики.

В зависимости от требований к качеству фильтрации и форме амплитудно-частотной характеристики применяют активные фильтры разной степени сложности: первого порядка, второго и более высоких порядков, с одним или несколькими ОУ, со специальной формой АЧХ (фильтры Баттерворта, Чебышева, Кауэра и т.д.).

Полосу частот, в которой затухание фильтра мало ($a=0$), называют полосой пропускания или полосой прозрачности

Полосу частот, в которой затухание фильтра велико ($a = \infty$), называют полосой задерживания или полосой подавления.

Классификация фильтров по полосе пропускания показана на рис. 2.11. Области со штриховкой соответствуют полосе задерживания. Прозрачные области соответствуют полосе пропускания (прозрачности). Граничные частоты полосы пропускания и задерживания называют частотами среза и обозначают ω_{c1}, ω_{c2} .

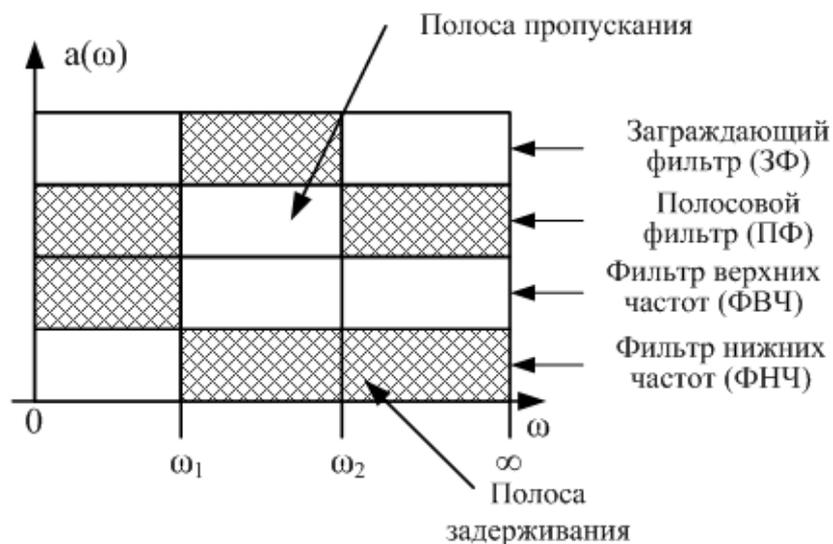


Рис. 2.11. Классификация фильтров по полосе пропускания

Мы будем рассматривать активный заграждающий фильтр (ЗФ) второго порядка (рис. 2.12). Такой фильтр называют ещё режекторным.

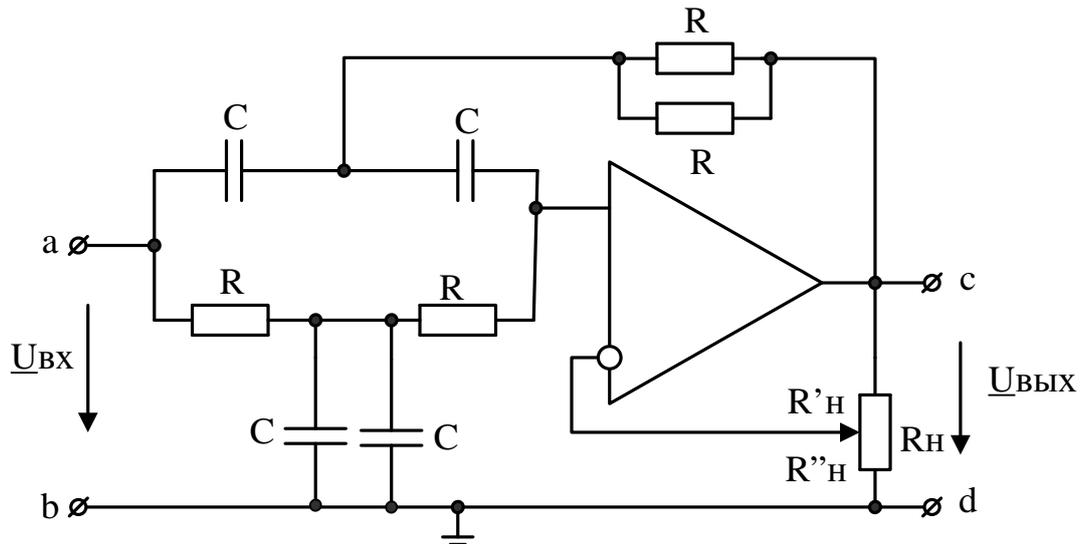


Рис. 2.12. Активный заграждающий фильтр

В заграждающем фильтре (рис. 3.14) все резисторы одинаковы и равны R , все емкости одинаковы и равны C . Расчетные формулы:

$$K(\omega) = \frac{K|\omega^2 - \omega_0^2|}{\sqrt{(\omega^2 - \omega_0^2)^2 + 4\omega^2\omega_0^2(2 - K)^2}},$$

$$\omega_0 = \frac{1}{RC}, K = 1 + \frac{R'_H}{R''_H}$$

Для значений $R=10$ кОм, $C=22$ нФ получим:

$$\omega_0 = \frac{1}{10^4 \cdot 22 \cdot 10^{-9}} = 4,545 \cdot 10^3 \text{ 1/с}, f_0 = 723 \text{ Гц}.$$

Этот фильтр подробно исследован в книгах автора по электронике с использованием моделирования в программной среде TINA. Поэтому результаты, полученные в OrCAD, мы будем проверять, сравнивая с моделированием в TINA.

2.2.1. Моделирование активного заграждающего фильтра

Создаем новый проект PR-5 для аналогового и смешанного моделирования на основе проекта simple.orj.

Выберем операционный усилитель типа AD648A. PSpice модель этого ОУ находится в библиотечном файле `....\pspice\opamp.olb`. В менеджере проектов надо добавить этот файл в библиотеку проекта PR-5 (рис. 2.13).

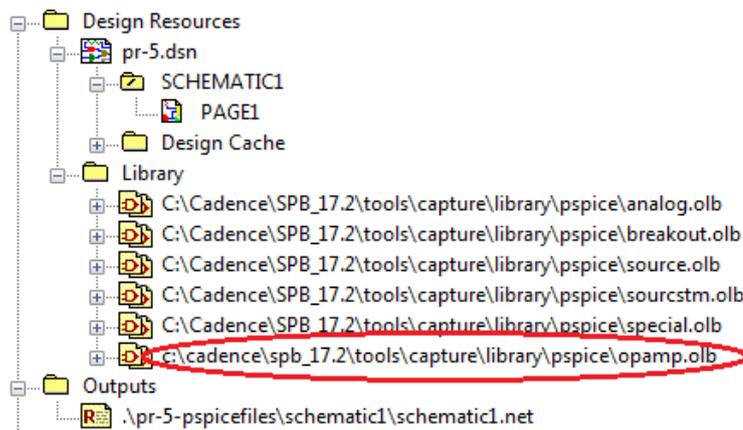


Рис. 2.13. Добавление библиотеки pspice\opamp

Остальные компоненты фильтра выберем из библиотеки Place>PSpice Components. Модель фильтра показана на рис. 2.14. Чтобы не загромождать схему источниками питания (особенно при нескольких ОУ), мы подключили к двум источникам постоянного напряжения V1 и V2 символы VCC из библиотеки CAPSYM. В источнике напряжения V1 к VCC подключен «плюс» напряжения. В источнике V2 переименуем символ на VSS и подключим к нему «минус» напряжения. Теперь к выводам питания ОУ достаточно подключить символы VCC и VSS.

В потенциометре обратной связи R6 установим коэффициент передачи SET=0,8.

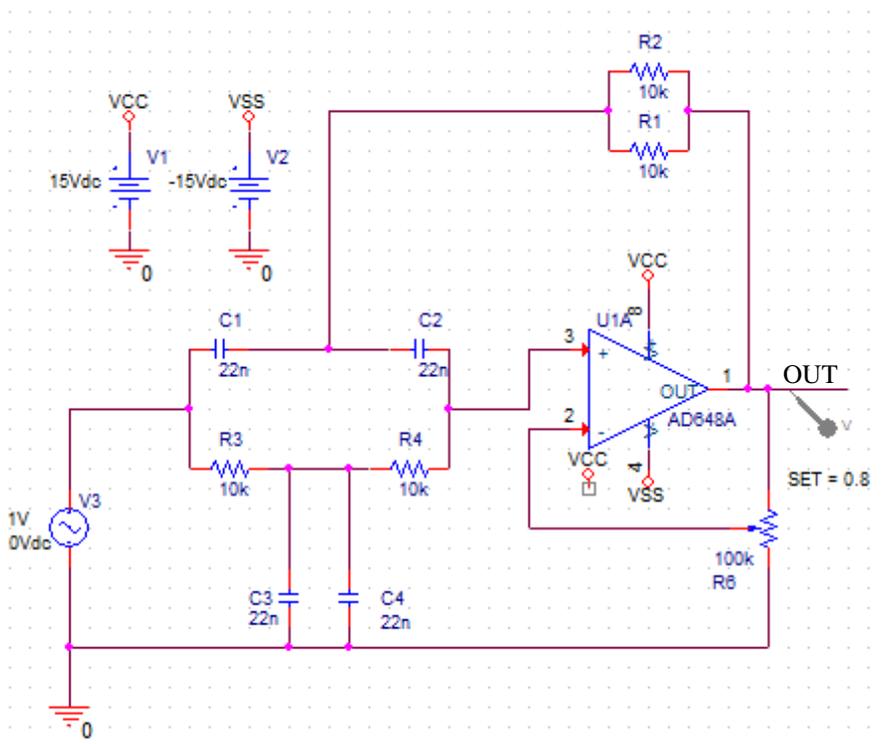


Рис. 2.14. Модель активного заграждающего фильтра

Создадим новый профиль моделирования VAXNTH (notch filter – режекторный фильтр) (рис. 2.15) с разверткой по частоте от 10 Гц до 2 кГц.

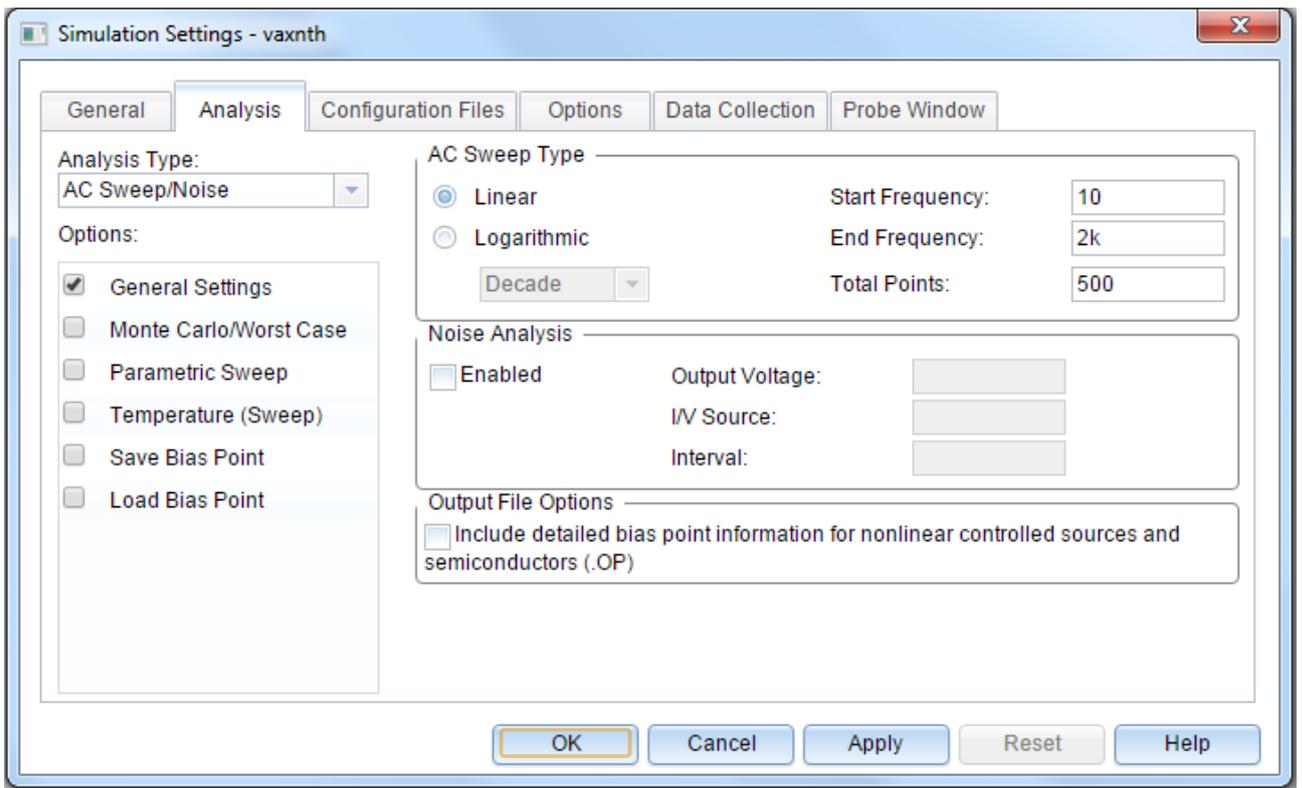


Рис. 2.15. Профиль моделирования заграждающего фильтра

Проводим моделирование и получаем в окне Probe график амплитудно-частотной характеристики заграждающего фильтра (рис. 2.16). Используем одну из функций курсора: Trace > Cursor > Min или иконку . Частота режекции равна 723,848 Гц. На частоте 10 Гц передача фильтра равна 1,2496.

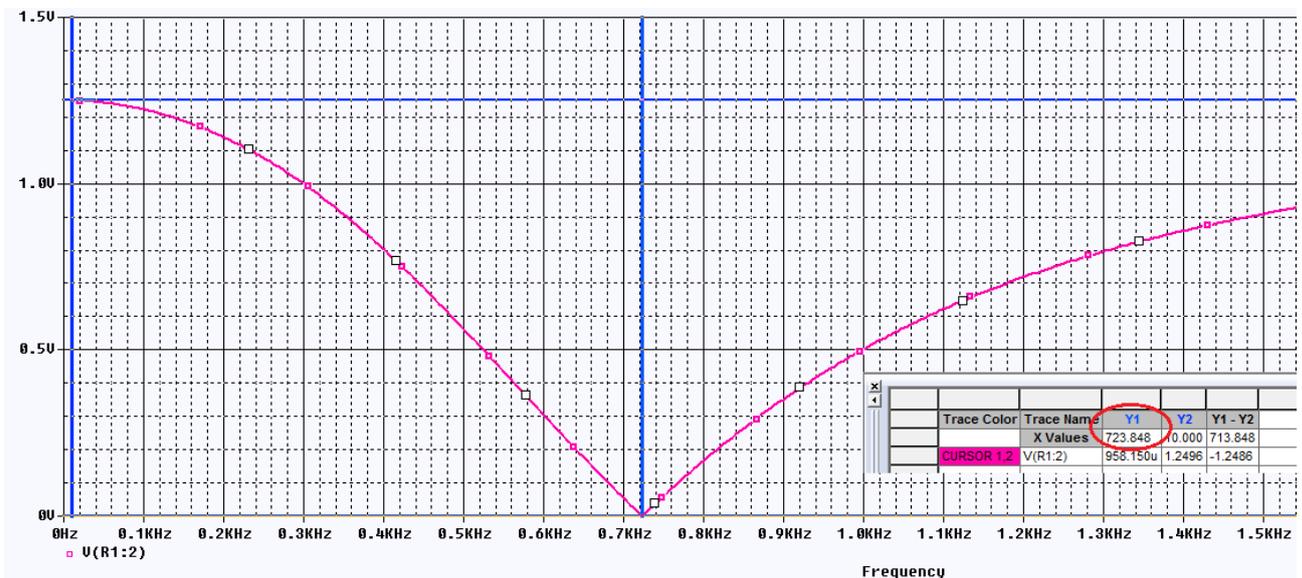


Рис. 2.16. График АЧХ заграждающего фильтра

Для большей точности чтения, увеличьте масштаб в нижней точке графика: View > Zoom > Area или используйте иконки (Рис. 2.17).

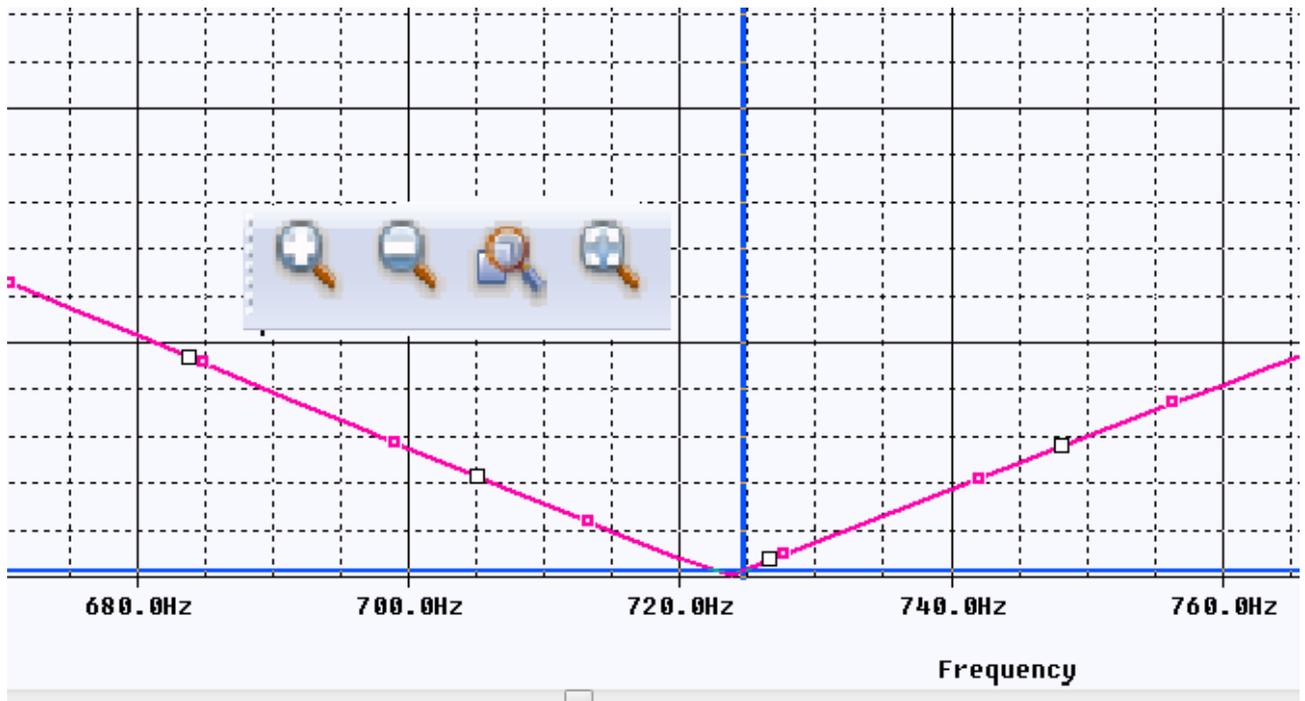


Рис. 2.17. Увеличение масштаба графика

Перестроим дисплей Probe в исходный размер: View > Zoom > Fit.

Для удаления графика выберем имя графика внизу дисплея и нажмем Delete или выберем Trace > Delete all Traces.

2.2.2. Добавление и изменение графиков

Теперь мы собираемся вручную добавить график выходного напряжения $V(out)$. В меню окна Probe выбираем: Trace > Add Trace.

Появляется окно Add Traces (рис. 2.18). В этом окне можно выбрать любой параметр схемы для просмотра графика (токи, напряжения, мощности и пр.).

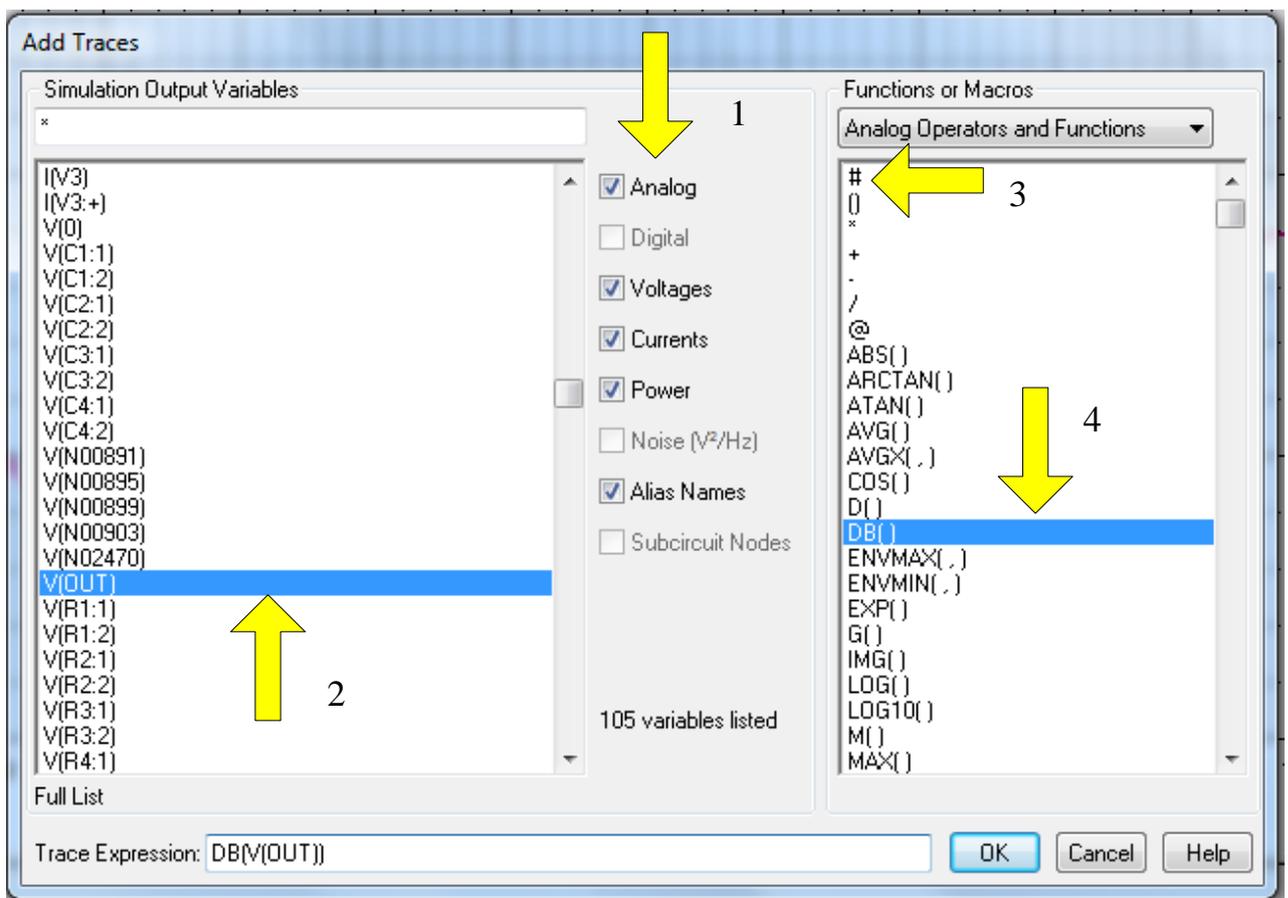


Рис. 2.18. Окно Add Trace

Можно сделать выбор нужных видов графиков в окне (стрелка 1), выбор конкретного графика для отображения в окне Probe (стрелка 2), линейную шкалу координат (стрелка 3) или установить шкалу в децибеллах (стрелка 4). В этом случае в окне Trace Expression должно быть записано: DB[V(OUT)].

Чтобы получить график АЧХ по оси Y в децибеллах, можно также использовать маркер dB Magnitude of Voltage (рис. 2.19).

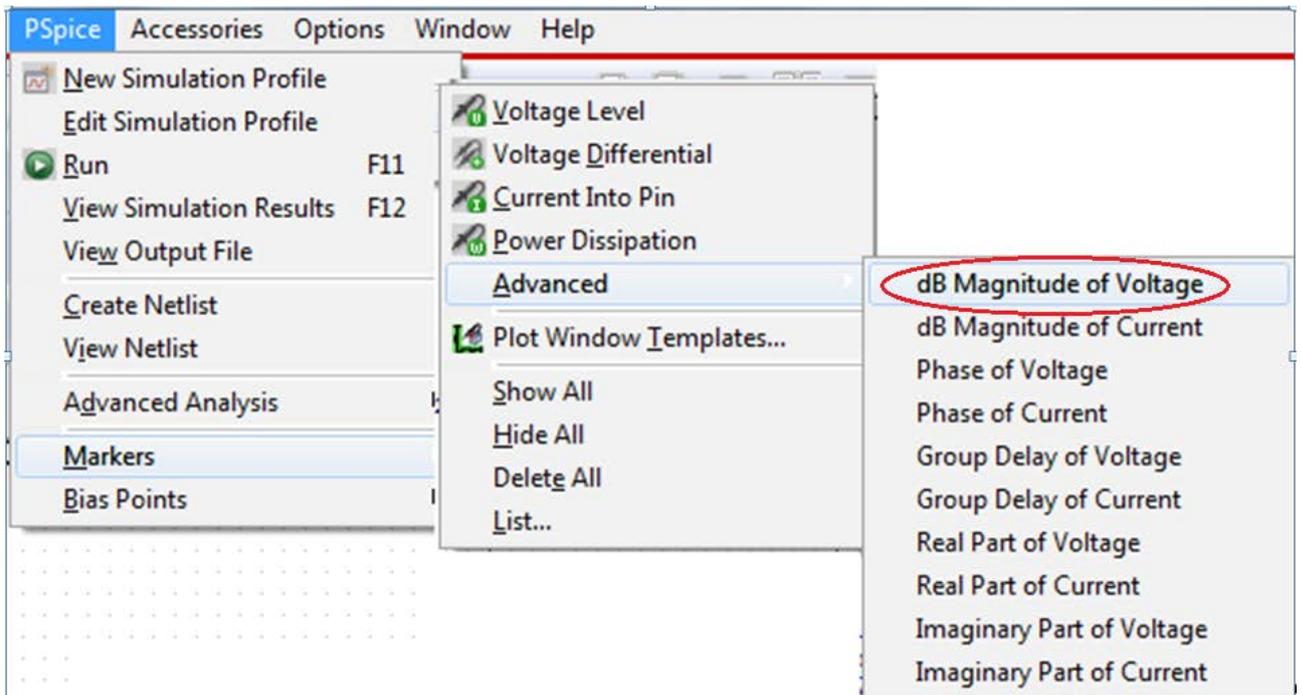


Рис. 2.19. Выбор маркера для измерения в децибеллах

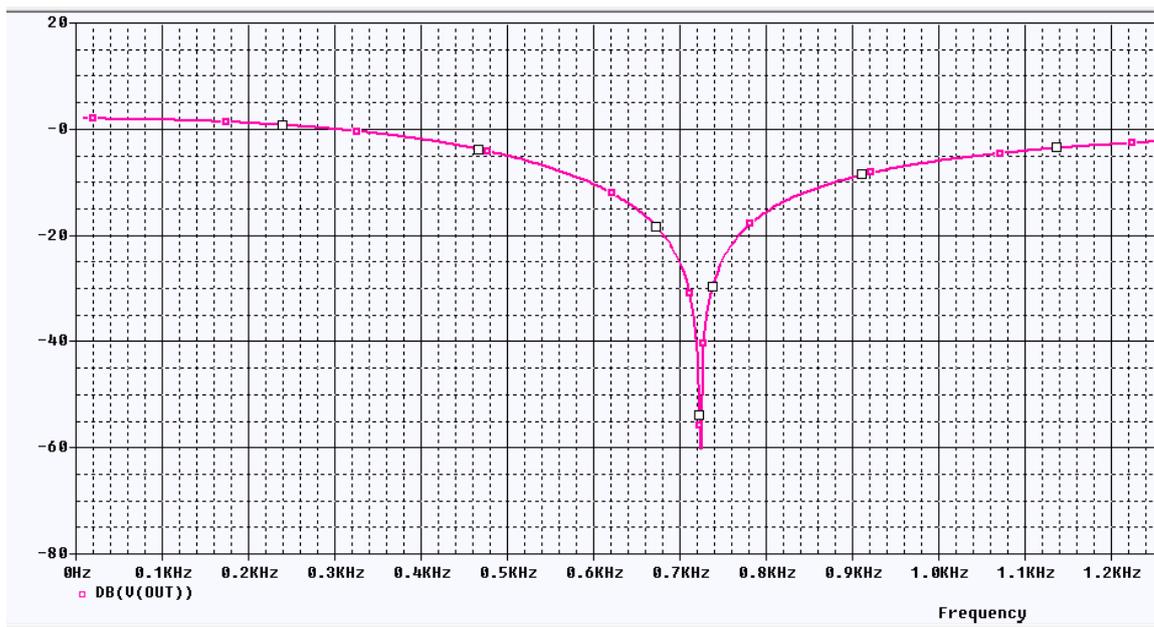


Рис. 2.20. График АЧХ в децибеллах

На рис. 2.21 показано измерение в двух точках схемы и соответствующие этому случаю графики (рис. 2.22).

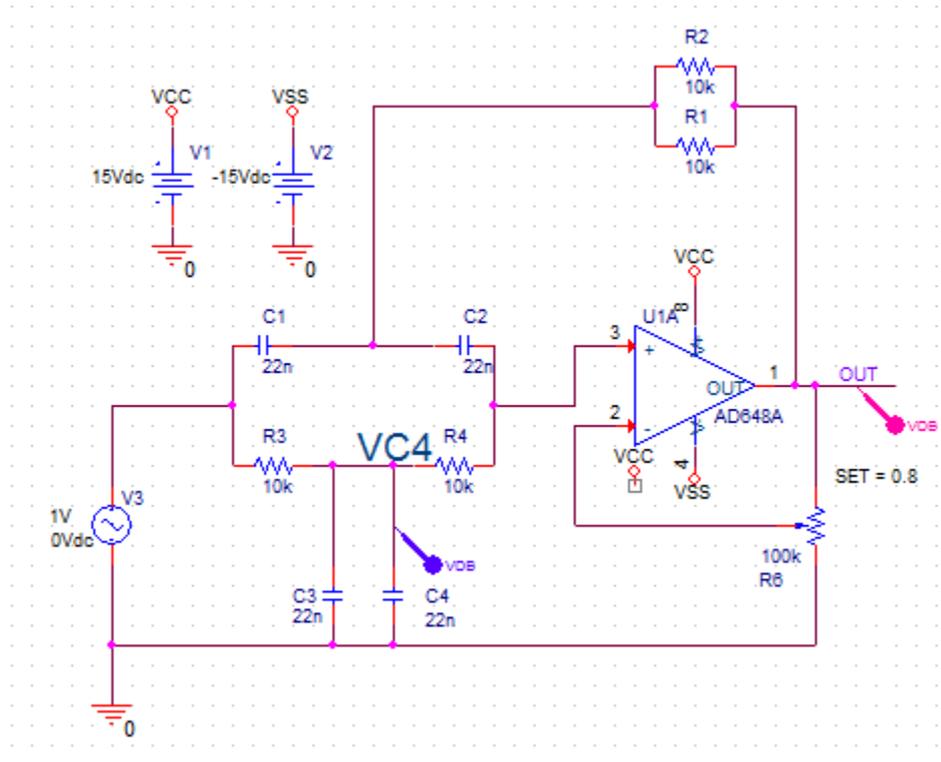


Рис. 2.21. Измерение в двух точках схемы

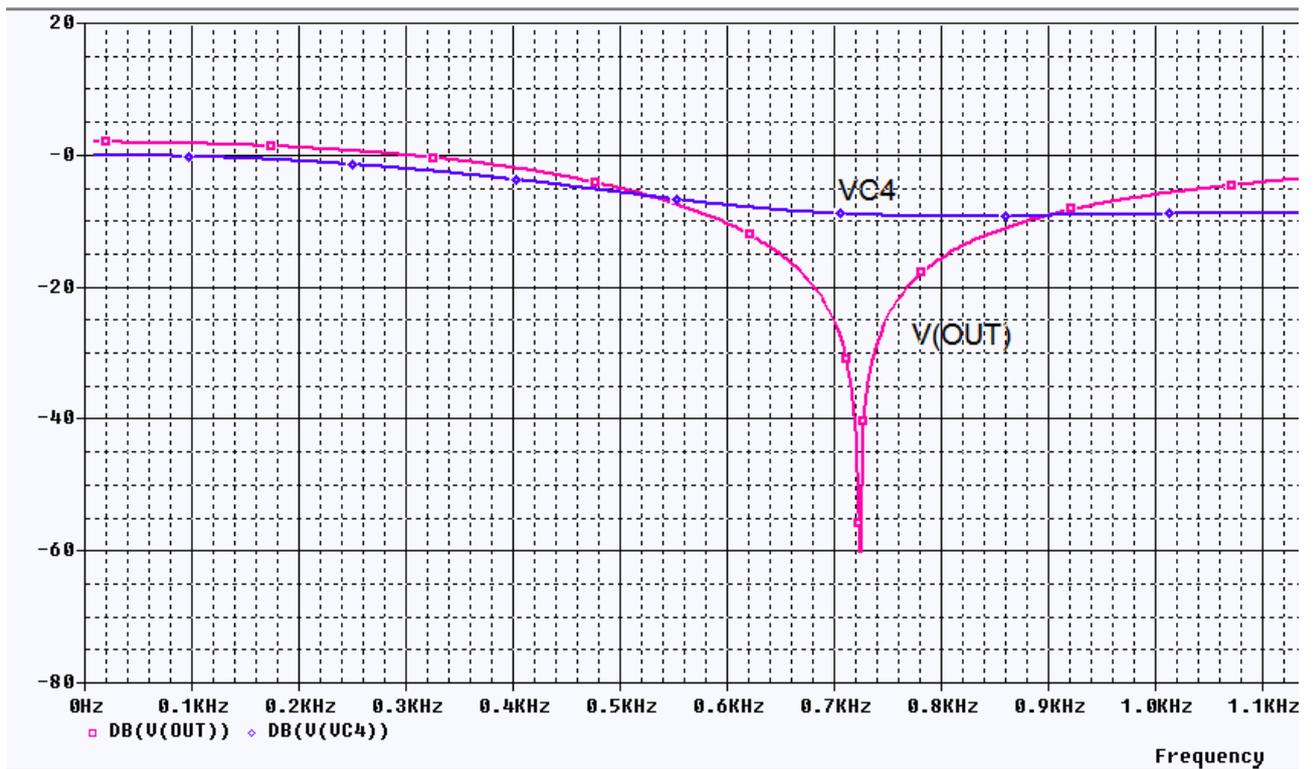


Рис. 2.22. Графики измерений в двух точках

Аналогичный результат мы получим, если в окне Add Trace введем выражение $DB(V(VC4))$.

Для измерения амплитуды и фазы выходного сигнала надо подключить к выходу маркеры db Magnitude of Voltage и Phase of Voltage. На рис. 2.23 показаны графики амплитуды и фазы.

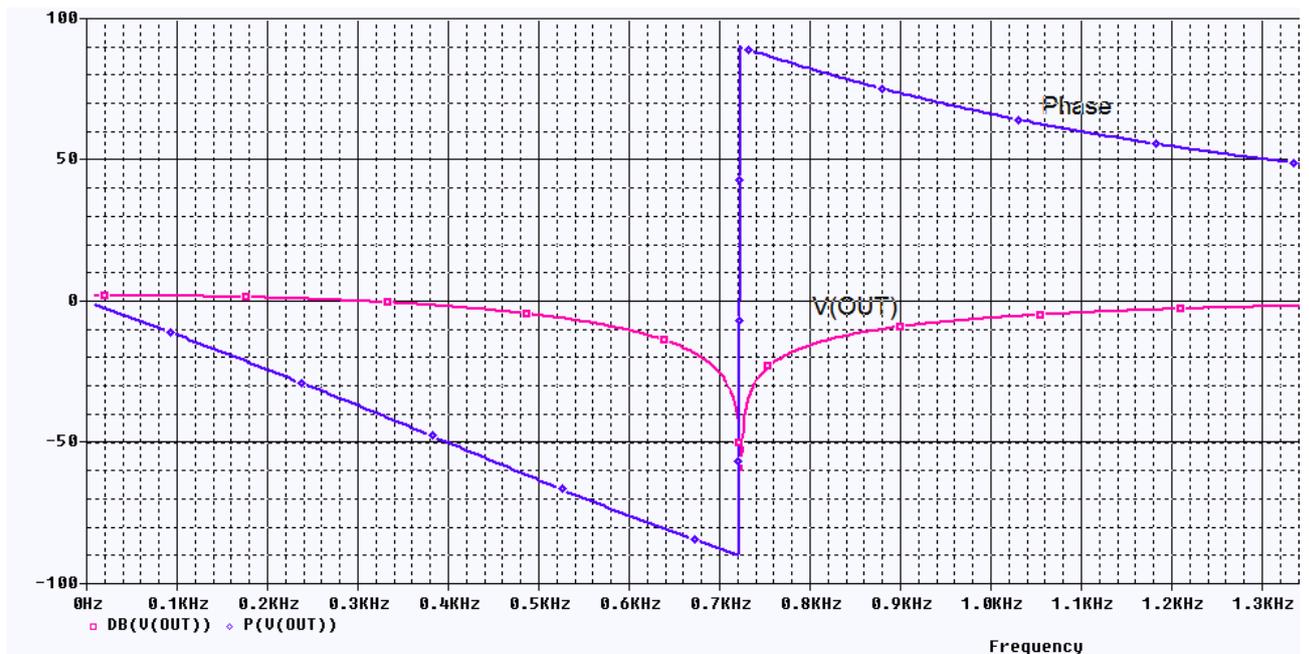


Рис. 2.23. Графики амплитуды и фазы заграждающего фильтра
 Второй способ: ввести в окне Add Trace P(V(OUT)).

2.3. Многовариантный анализ активного фильтра

2.3.1. Изменение величины резисторов

Создадим новый проект PR-6 на основе проекта PR-5, выбрав файл проекта PR-5 в окне Create PSpice Project (рис. 2.24).

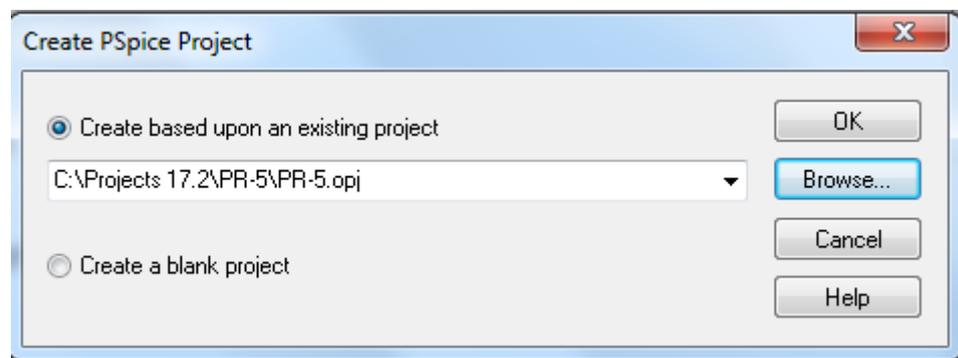


Рис. 2.24. Создание нового проекта на основе существующего

Поставим задачу: определить изменения АЧХ при изменении значения резисторов от 8 кОм до 12 кОм с шагом 1 кОм.

Для этого выполняем следующее.

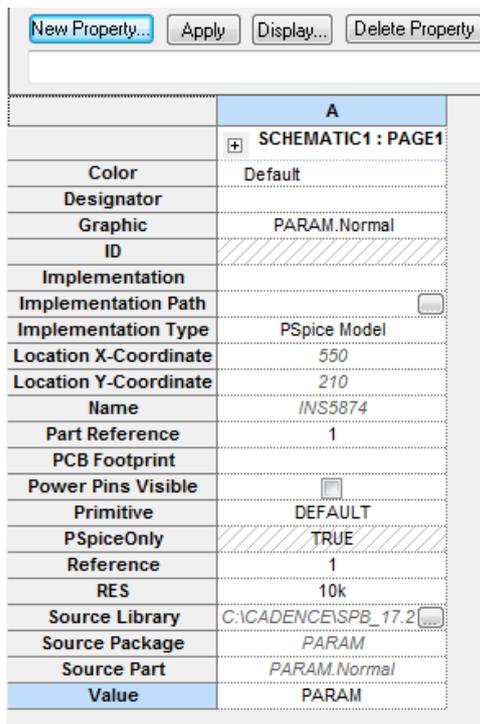
1. Выделяем все резисторы и открываем Edit Properties. В строке Value записываем {RES} в фигурных скобках (рис. 2.25).

	A	B	C	D
	SCHEMATIC1 : PAGE1	SCHEMATIC1 : PAGE1	SCHEMATIC1 : PAGE1	SCHEMATIC1 : PAGE1
Implementation				
Implementation Type	<none>	<none>	<none>	<none>
IO_LEVEL				
IOMODEL				
MNTYMXDLY				
Name	INS500	INS526	INS552	INS576
Part Reference	R1	R2	R3	R4
Source Library	C:\CADENCE\SPB_17.2	C:\CADENCE\SPB_17.2	C:\CADENCE\SPB_17.2	C:\CADENCE\SPB_17.2
Source Package	R	R	R	R
PSpiceTemplate	R*@REFDES %1 %2 ?TOLE			
PSpiceOnly				
Reference	R1	R2	R3	R4
Value	{RES}	{RES}	{RES}	{RES}
RES				
DIST	FLAT	FLAT	FLAT	FLAT
Location X-Coordinate	460	460	250	340
Location Y-Coordinate	120	80	280	280
MAX_TEMP	RTMAX	RTMAX	RTMAX	RTMAX
POWER	RMAX	RMAX	RMAX	RMAX
SLOPE	RSMAX	RSMAX	RSMAX	RSMAX
Source Part	R.Normal	R.Normal	R.Normal	R.Normal
TC1	0	0	0	0
TC2	0	0	0	0
TOLERANCE				
VOLTAGE	RVMAX	RVMAX	RVMAX	RVMAX

Рис. 2.25. Переименование резисторов на {RES}

2. Выбираем Place-Part, находим библиотеку Special и добавляем в проект. В этой библиотеке находим компонент PARAM и добавляем в проект.

3. Дважды щелкнем на PARAM и открываем в редакторе свойств панель (рис. 2.26.а). Нажимаем New Properties, вводим имя и значение (рис. 2.26.б) и нажимаем Apply > Ok.



а)

б)

Рис. 2.26. Панель свойств резисторов

4. Для проверки сделанного нажимаем Display.

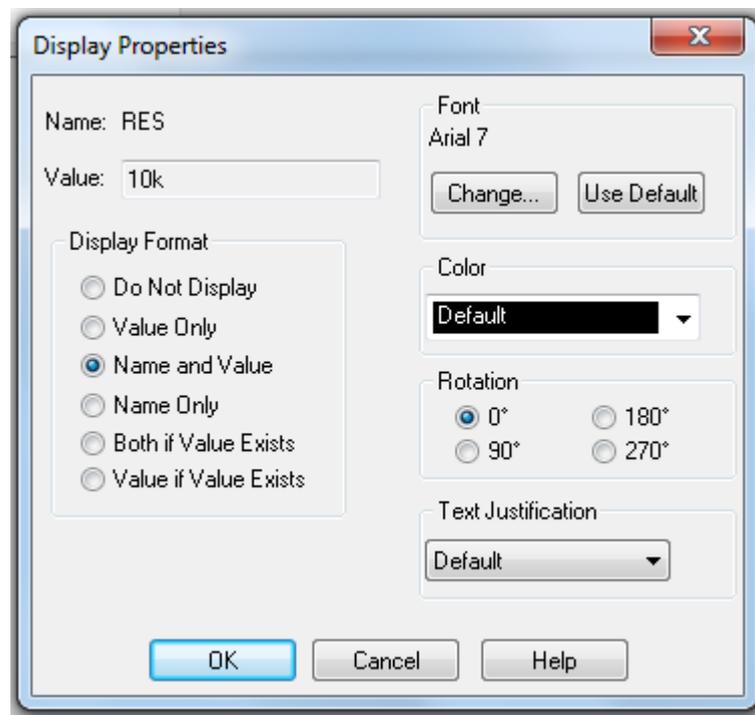


Рис. 2.27. Проверка новых свойств

5. Чтобы сохранить изменения, нажимаем в главном меню Apply и закрываем окно свойств.

После этого схема проекта для многовариантного анализа будет выглядеть так (рис. 2.28):

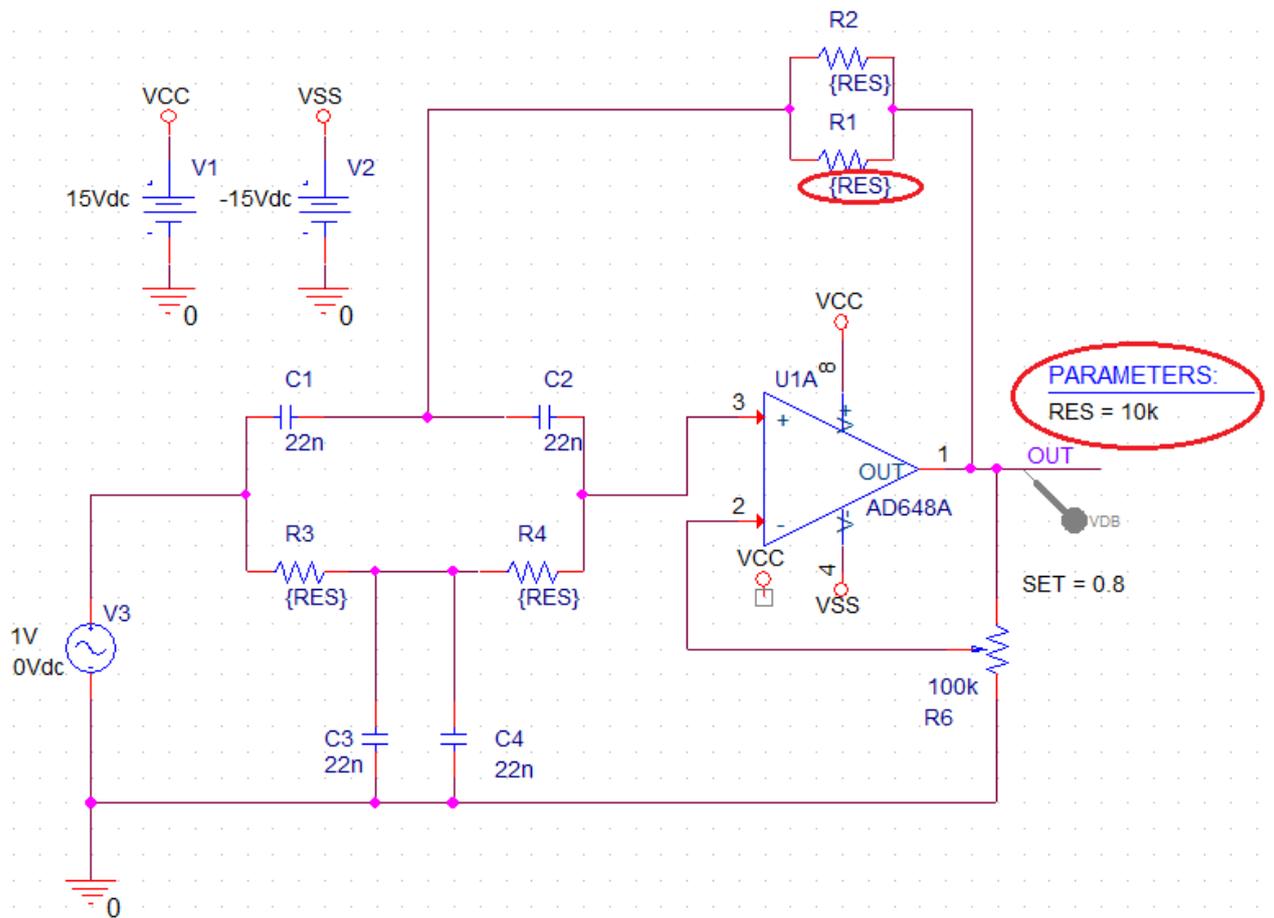


Рис. 2.28. Схема для многовариантного анализа

6. Устанавливаем новый профиль моделирования VAXNTH-2. Профиль моделирования содержит первичную развертку по частоте (рис. 2.29) и вторичную параметрическую развертку по глобальному параметру RES от 8 кОм до 12 кОм с инкрементом 1 кОм (рис. 2.30).

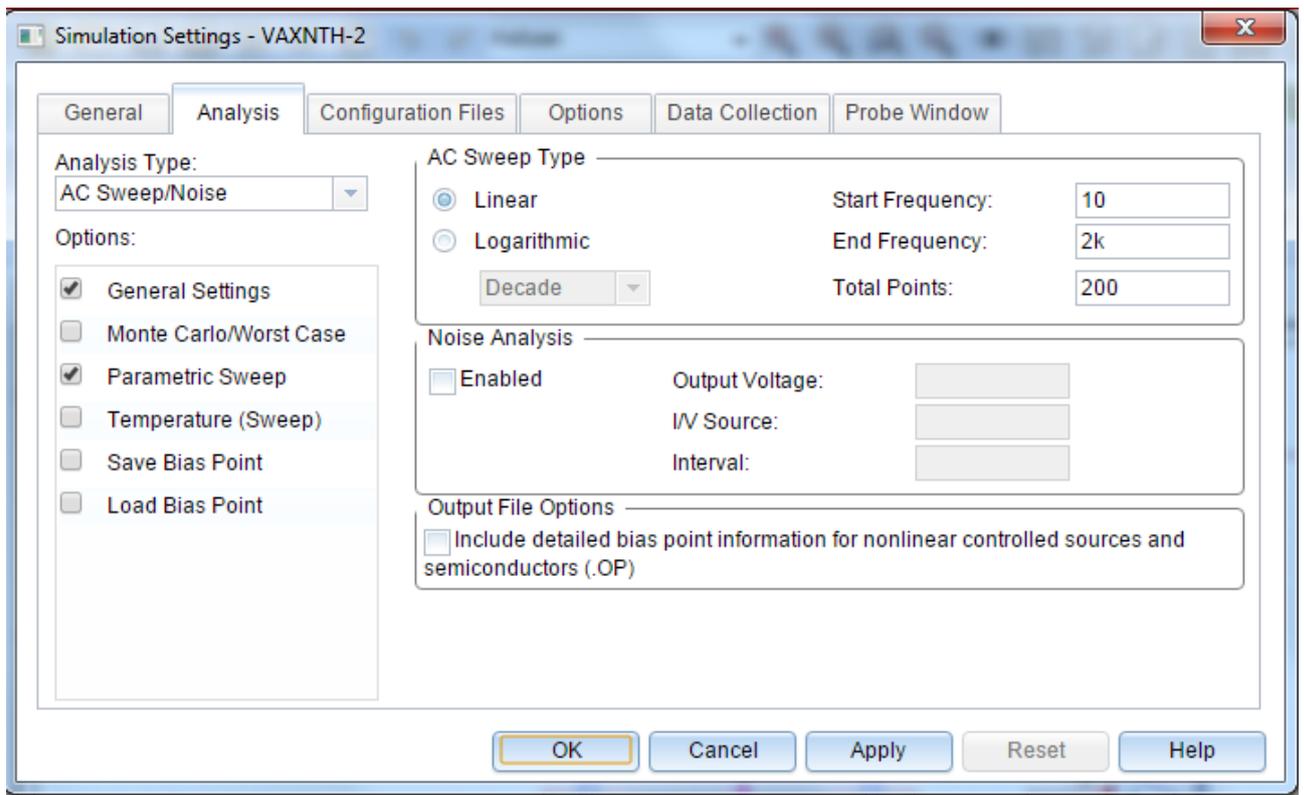


Рис. 2.29. Первичная развертка по частоте

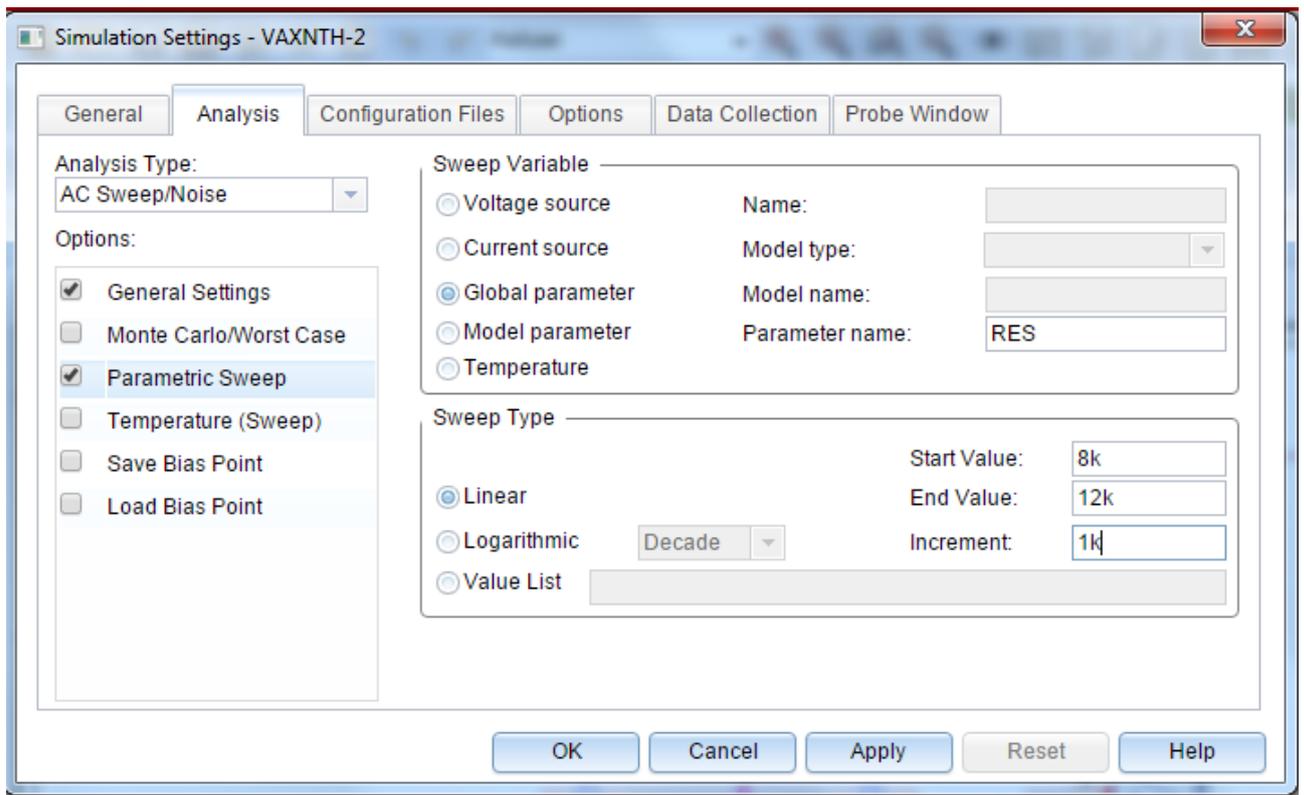


Рис. 2.30. Вторичная параметрическая развертка по глобальному параметру RES

7. Сохраняем введенные в проект изменения и выполняем моделирование.

В окне доступных секций можно выбрать нужные графики или отобразить сразу все (рис. 2.31).

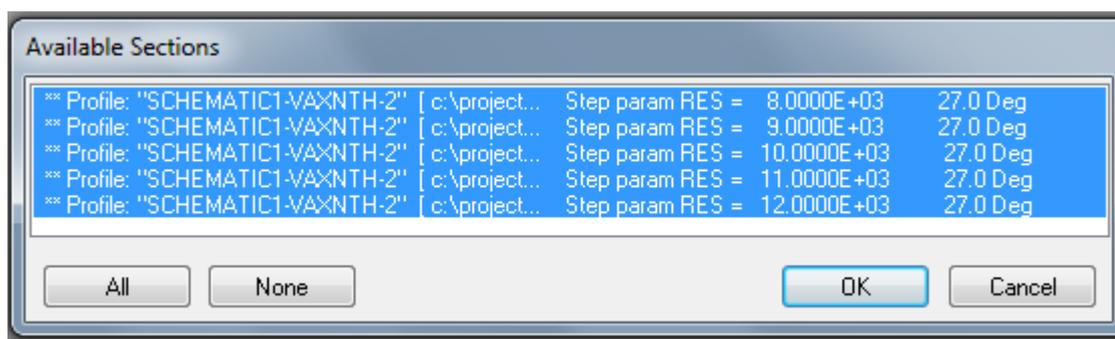


Рис. 2.31. Доступные секции результатов

Все графики показаны на рис. 2.32. Изменение значения резисторов влияет на частоту режекции и ослабление сигнала.

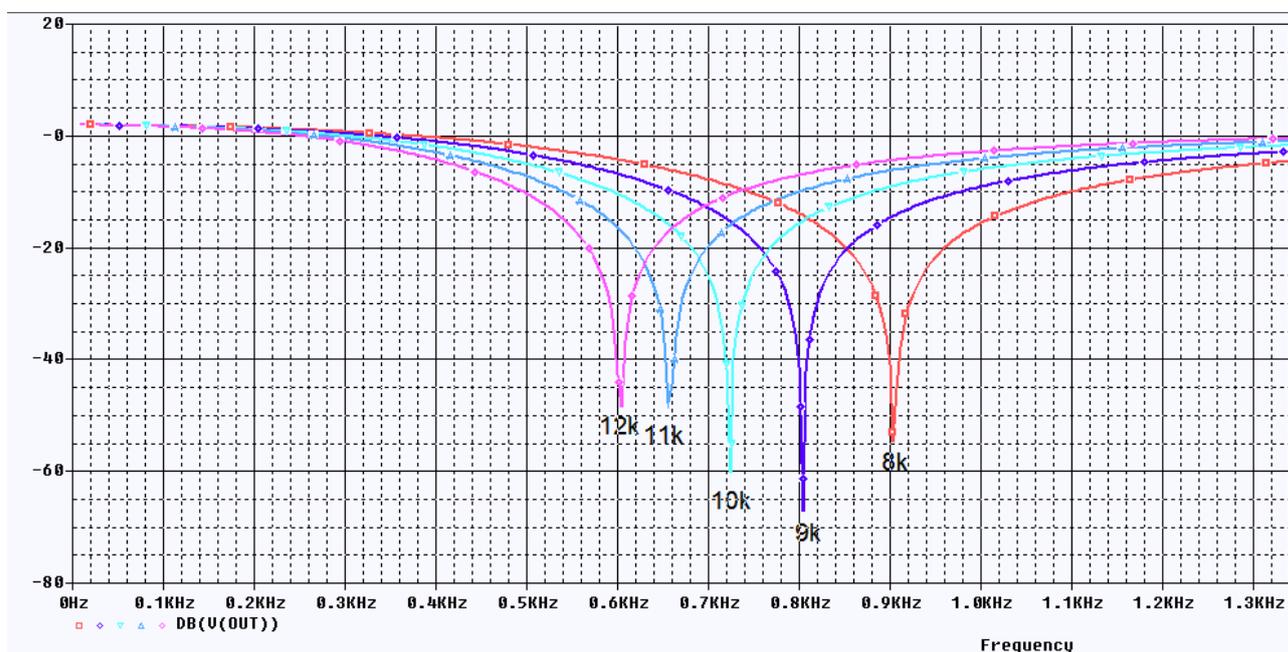


Рис. 2.32. Графики АЧХ для разных значений резисторов

2.3.2. Изменение установки потенциометра обратной связи.

Создадим новый проект PR-7 на основе проекта PR-5. Отметим, что такое создание новых проектов позволит нам легко обращаться к предыдущим сохраненным без изменения схем и профилей моделирования.

Будем исследовать влияние установки потенциометра обратной связи R5 на амплитудно-частотные характеристики ЗФ.

Делается это так:

1. Сделайте двойной щелчок по свойству SET и измените значение по умолчанию от 0,5 на {ratio}. Не забывайте поставить фигурные скобки.

2. Из библиотеки Special выбираем PARAM. Двойным щелчком открываем окно свойств. Устанавливаем переменный параметр ratio и нажимаем Apply (Рис. 2.33).

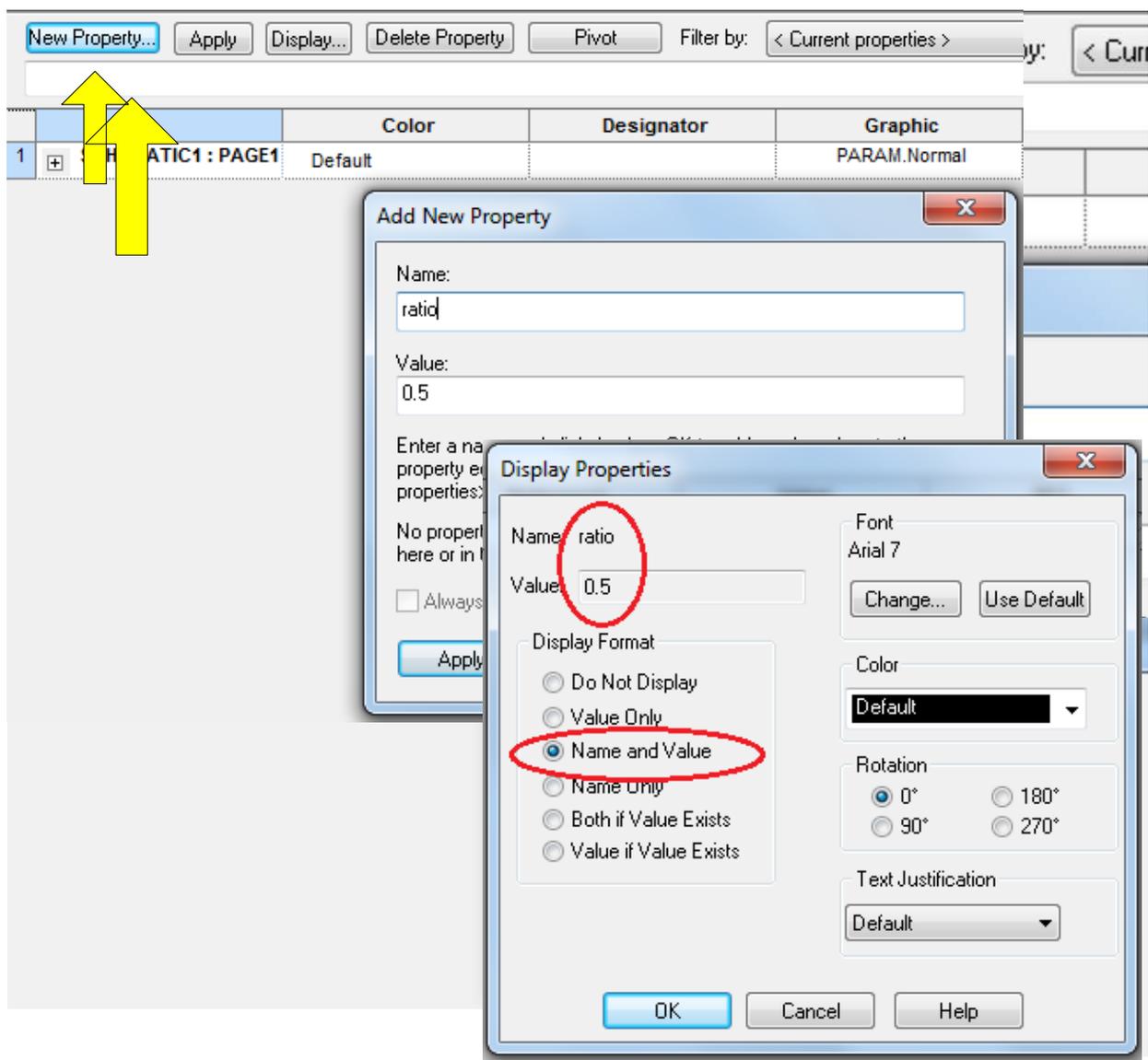


Рис. 2.33. Установка параметра ratio для потенциометра

3. В свойствах компонента «Потенциометр» видим Value=PARAM. Выделяем ratio=0.5 (точка !) и нажимаем Display. Проверяем установку (рис. 2.33).

4. В главном меню нажимаем Apply для сохранения установок.

На рис. 2.34 показана схема заграждающего фильтра с переменным потенциометром.

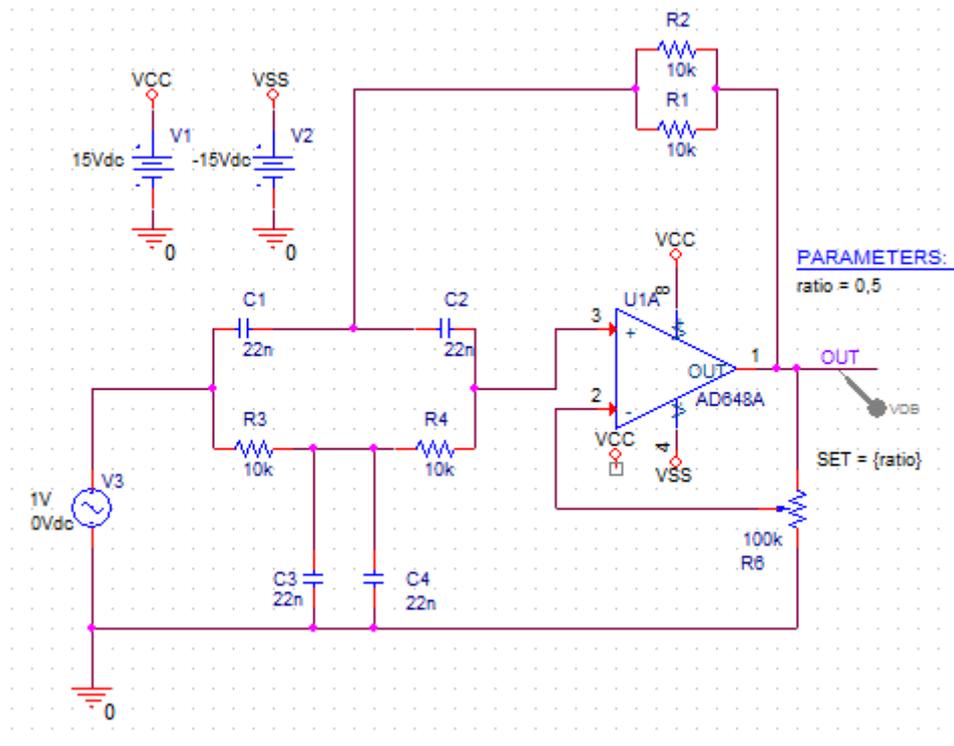


Рис. 2.34. Схема 3Ф с переменным потенциометром

5. Развертку по частоте сохраняем из проекта PR-5.

Устанавливаем профиль моделирования по развертке параметра SET (рис. 2.35). Параметр ratio будем менять от 0.5 до 0.9 с инкрементом 0.1.

Обращаем внимание на то, что в этих десятичных дробях ставят «точку».

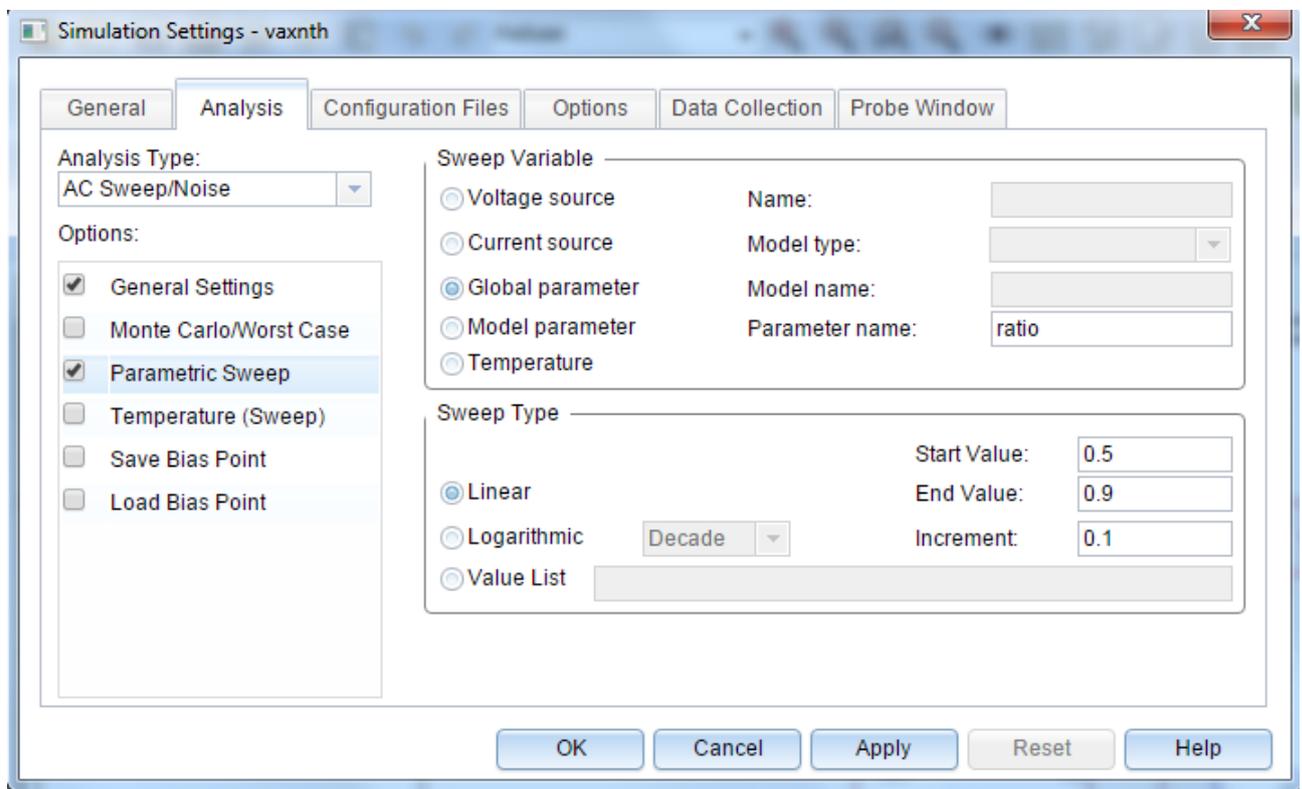


Рис. 2.35. Установка профиля параметрической развертки по параметру ratio.

Нажимаем: Apply > Ок.

6. Выполняем моделирование. Таблица доступных разделов показана на рис. 2.36.

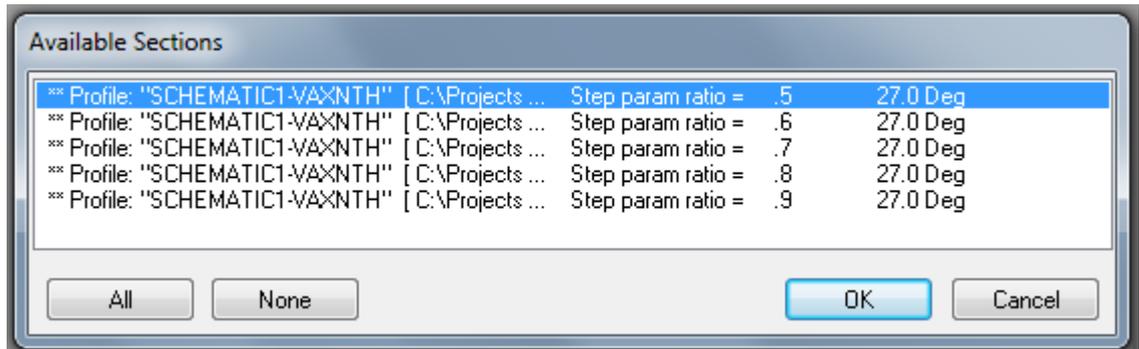


Рис. 2.36. Таблица доступных разделов

Графики АЧХ заграждающего фильтра при разных установках потенциометра обратной связи показаны на рис. 2.37.

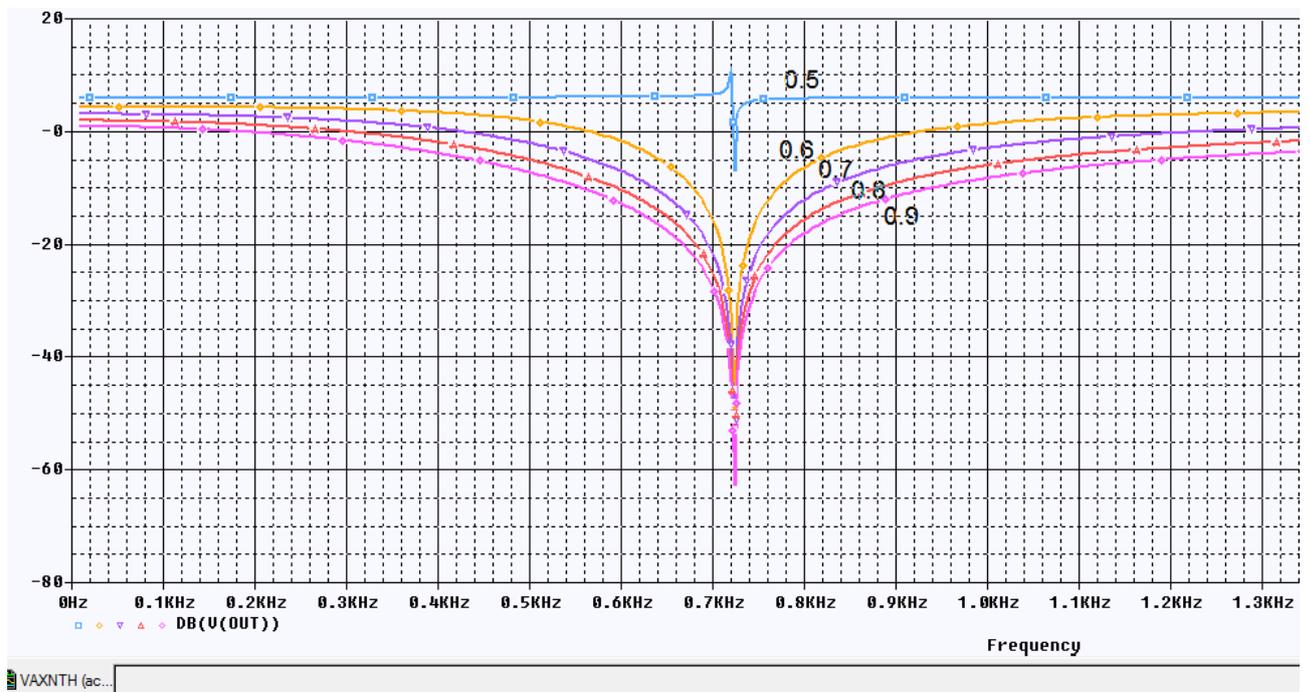


Рис. 2.37. Графики АЧХ ЗФ при разных начениях установки SET

Отметим, что значения изменяемого параметра можно задавать списком чисел, разделенных запятыми (рис. 2.38)

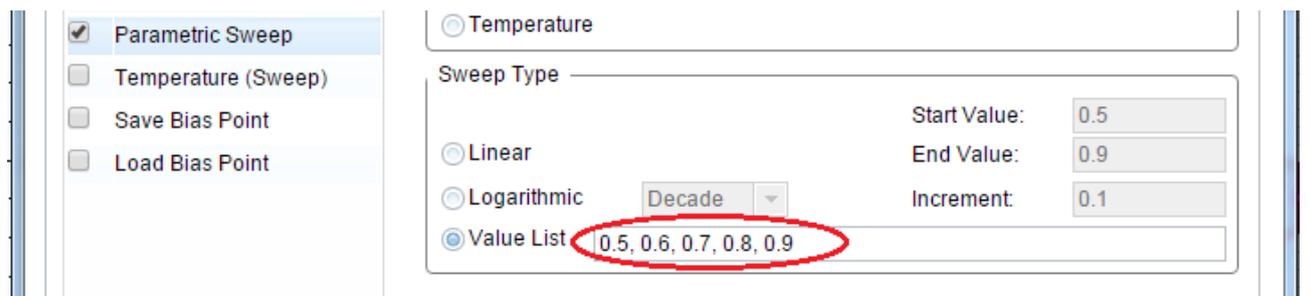


Рис. 2.38. Список значений переменного параметра

2.4. Контрольные вопросы

1. Как выполняют расчет электрической цепи синусоидального тока символическим методом ?
2. Как рассчитывают мгновенную и активную мощность в цепи синусоидального тока ?
3. Что такое действующее значение синусоидального напряжения и чем оно отличается от амплитудного ?
4. Какие переменные источники напряжения и тока применяют в OrCAD для моделирования частотных характеристик цепи ?
5. Какие источники синусоидальных сигналов применяют в OrCAD для моделирования формы сигналов и переходных процессов ?
6. Как надо задавать профиль моделирования для исследования амплитудно-частотных характеристик ?
7. Как используют курсоры для измерений на графиках в окне Probe ?
8. Как можно добавить или изменить графики в окне Probe после моделирования ?
9. Как проводят многовариантный анализ модели активного фильтра при изменении параметров компонентов ?
10. Как проводят многовариантный анализ активного фильтра при изменении потенциометра в цепи обратной связи ?

Практическое занятие №3

Моделирование переходных процессов.

3.1. Моделирование переходных процессов

Численный расчет переходных процессов в OrCAD происходит следующим образом. Переходный анализ вычисляет реакцию цепи в течение определённого периода времени, заданного пользователем. Точность анализа переходных процессов зависит от размера временных шагов, которые вместе составляют полное время моделирования и известно как Run to time или Stop time. Однако, сначала выполняется анализ режима постоянного тока для установления начальных условий по постоянному току для цепи в момент времени $t=0$ сек. Затем время увеличивается на заранее определённый шаг по времени, при котором узловые напряжения и токи рассчитываются на основе начальных вычисленных значений в момент $t=0$ с.

Для каждого временного шага узловые напряжения и токи вычисляются и сравниваются с предыдущим по времени шагом решения на постоянном токе. Только тогда, когда разница между двумя решениями постоянного тока находится в указанном допуске (точности), анализ будет переходить к следующему внутреннему шагу по времени. Шаг по времени динамически корректируется до тех пор, пока не найдено решение в пределах допуска. Например, для медленно меняющихся сигналов, шаг по времени будет увеличиваться без значительного снижения точности расчёта, в то время как для быстрого изменения сигналов, как и в случае импульсного сигнала с быстрым ростом переднего фронта, шаг по времени будет уменьшаться, чтобы обеспечить требуемую точность. Значение максимального внутреннего шага по времени может быть задано пользователем.

Если решение не найдено, то анализ не сходится к решению и это будет сообщено программой.

Если вы добавляете начальное условие к цепи, переходный анализ будет использовать начальное условие в качестве отправной точки режима постоянного тока.

3.2. Профиль моделирования переходных процессов

1. Создадим новый проект PR-15 для моделирования цепи второго порядка по схеме рис. 3.2. Ключ следует выбрать из PSpice Component, перемещаясь по пути, показанному на рис. 3.1. В свойствах ключа установим время засыкания TCLOSE=1m, переходное время (время переключения) TTRAN = 1u, сопротивление замкнутого RCLOSED =0.01, сопротивление разомкнутого ключа ROPEN=1Meg.

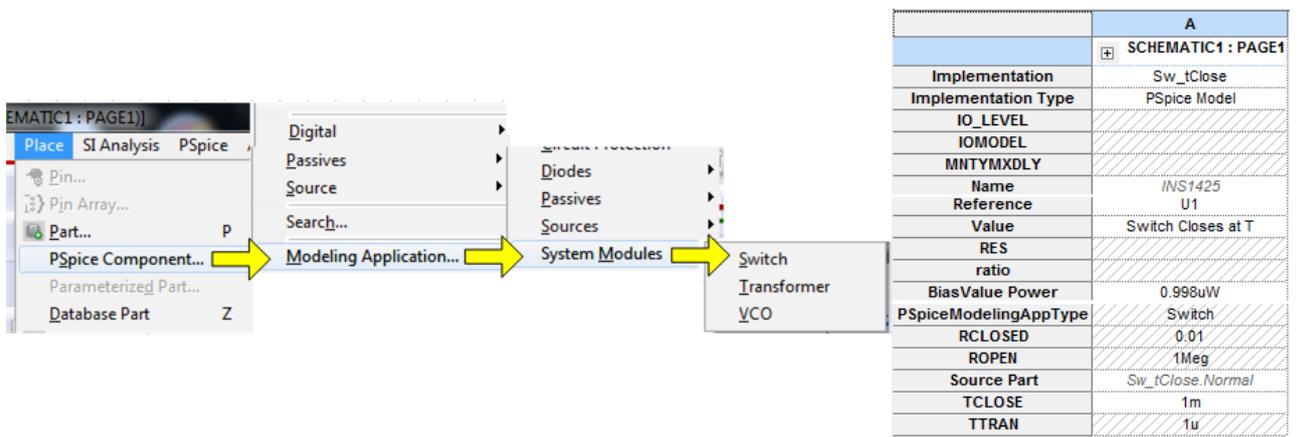


Рис. 3.1. Установка параметров ключа

На рис. 3.2 показана схема модели.

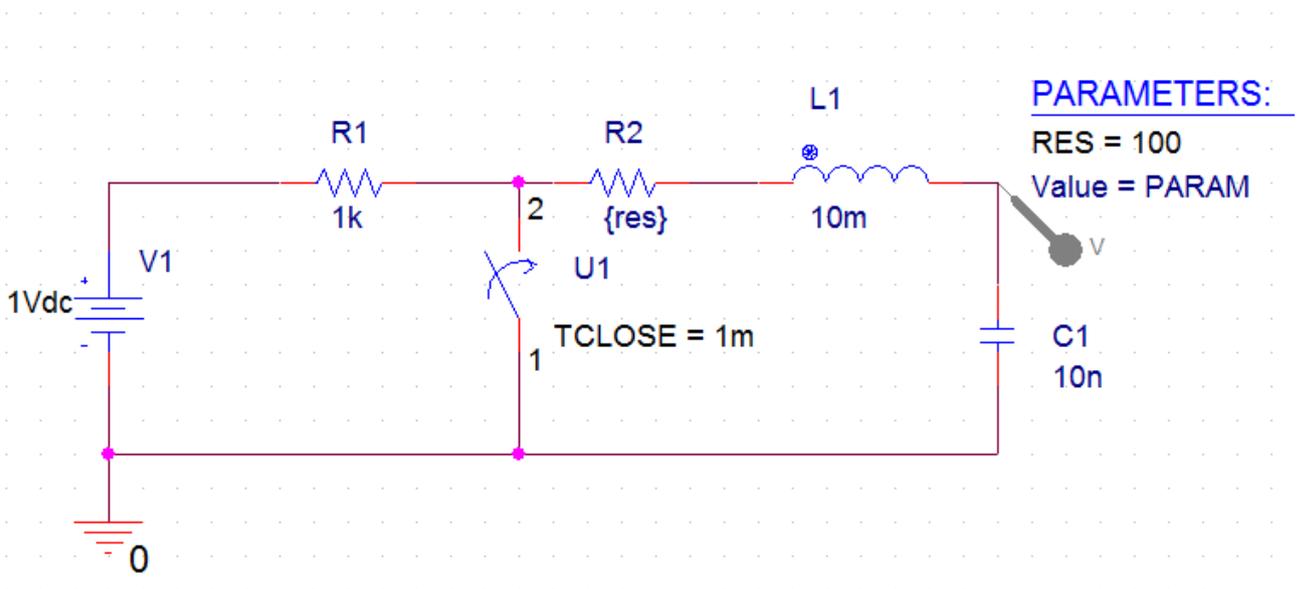


Рис. 3.2. Модель цепи второго порядка

В этой схеме в момент $t = 1$ мс замыкается ключ U1 и происходит разряд емкости в RLC – цепи. Характеристическое сопротивление

$$\rho = \sqrt{\frac{L}{C}} = \sqrt{\frac{10^{-2}}{10^{-8}}} = 1 \text{ кОм}. \text{ Сделаем резистор R2 переменным параметром } \{RES\}.$$

В профиле моделирования установим тип анализа Transient, время моделирования 3 мс с шагом 10 мкс (рис. 3.3).

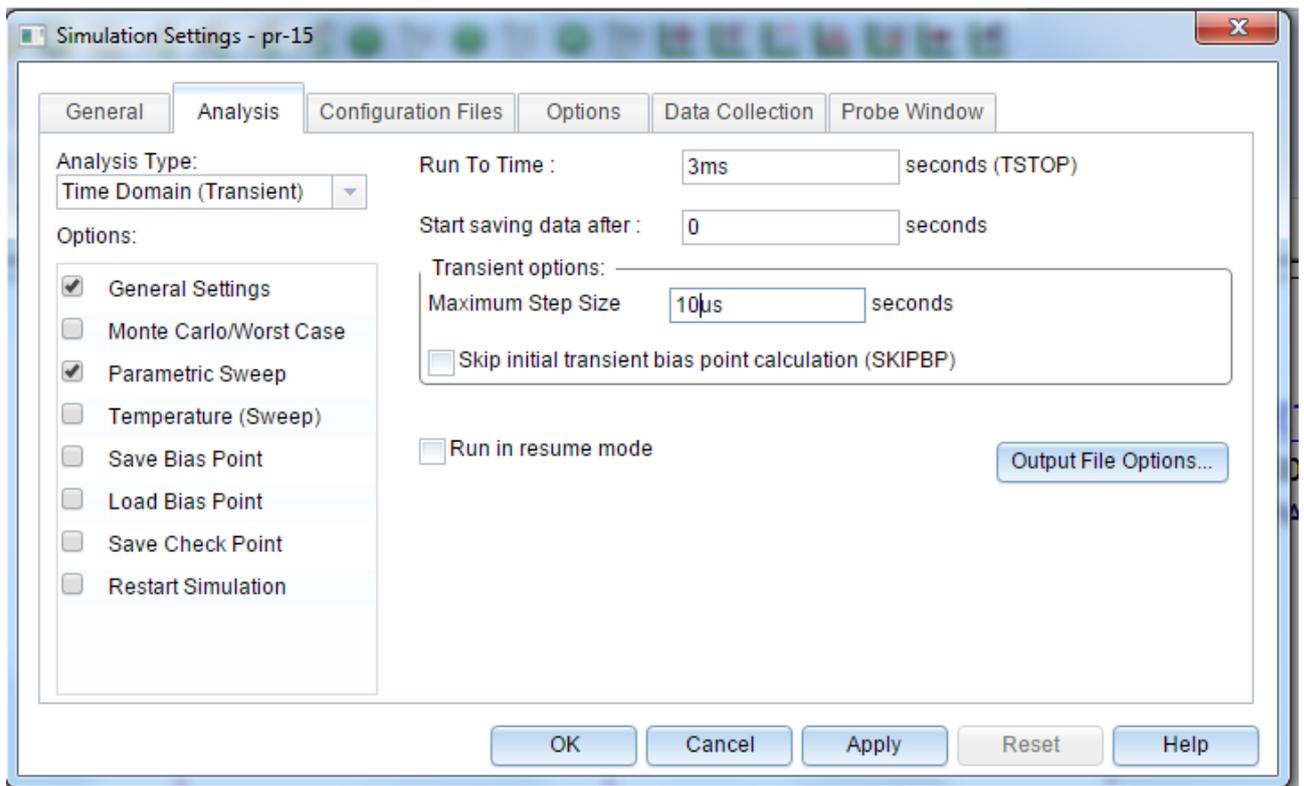


Рис. 3.3. Установка профиля моделирования Transient

Start saving data after: - определяет время, по истечении которого собираются данные для построения графика в Probe для того, чтобы уменьшить размер файла данных.

Skip the initial transient bias point calculation: - будет отключить расчет начальной точки смещения для анализа переходных процессов.

Затем в опциях установим параметрическую развертку для глобального параметра RES и зададим для него значения 1кОм, 2кОм и 5кОм (рис. 3.4)

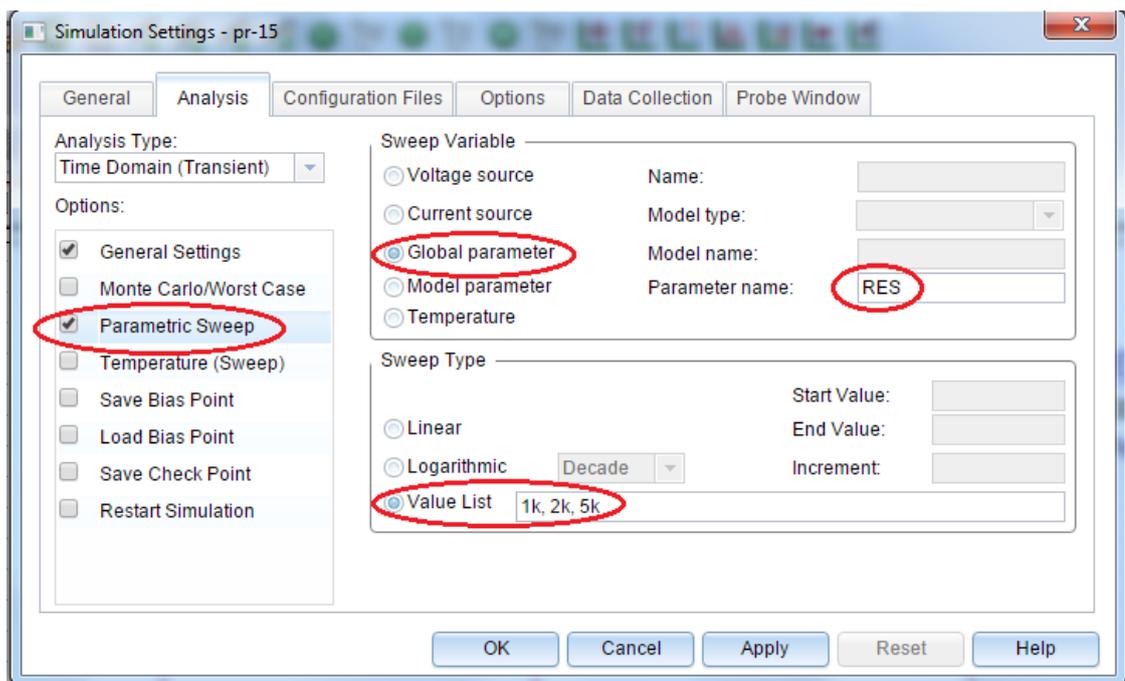


Рис. 3.4. Установка параметрической развертки для резистора

Графики аperiodического, критического и колебательного переходных процессов, полученные моделированием, показаны на рис. 3.5.

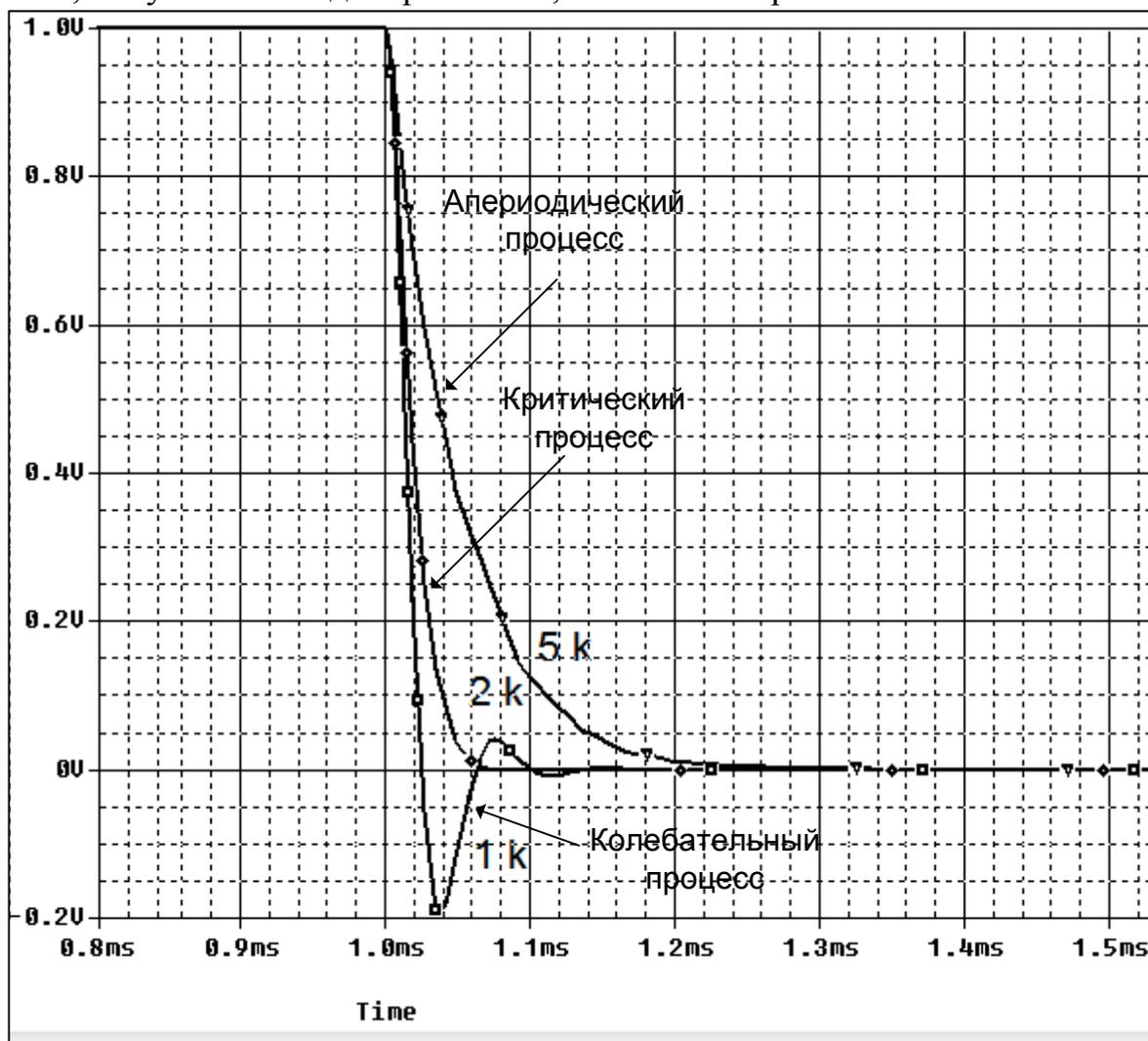


Рис. 3.5. Графики переходных процессов в RLC - цепи

3.3. Планирование

Планирование позволяет динамически изменять настройки моделирования для анализа переходного процесса. Например, вы можете использовать меньший размер шага в течение периодов, которые требуют большей точности, и снизить точность для периодов с меньшей активностью. Планирование может быть также применено к параметрам настройки моделирования среды исполнения RELTOL, ABSTOL, VNTOL, GMIN и ITL, которые могут быть найдены в PSpice> Simulation Profile> Options.

Вы можете заменить значение параметров командой планирования, которая определяется по формуле:

{SCHEDULE(t1,v1,t2,v2...tn,vn)}

Заметьте, что t1 всегда начинается с нуля.

Например, моделирование может быть более быстрым, если уменьшить относительную точность моделирования RELTOL от 0,001% до 0,1% в периоды меньшей активности, указывая изменение в точности каждую миллисекунду. Запишем формат для предыдущего примера так:

```
{schedule(0,0.1, 1m, 0.0001, 2m,0.01, 3m,0.1)}.
```

Результаты моделирования на интервале 1 мс – 2 мс, будут иметь большую точность, а время моделирования будет сэкономлено на неактивных участках (рис. 8.9).

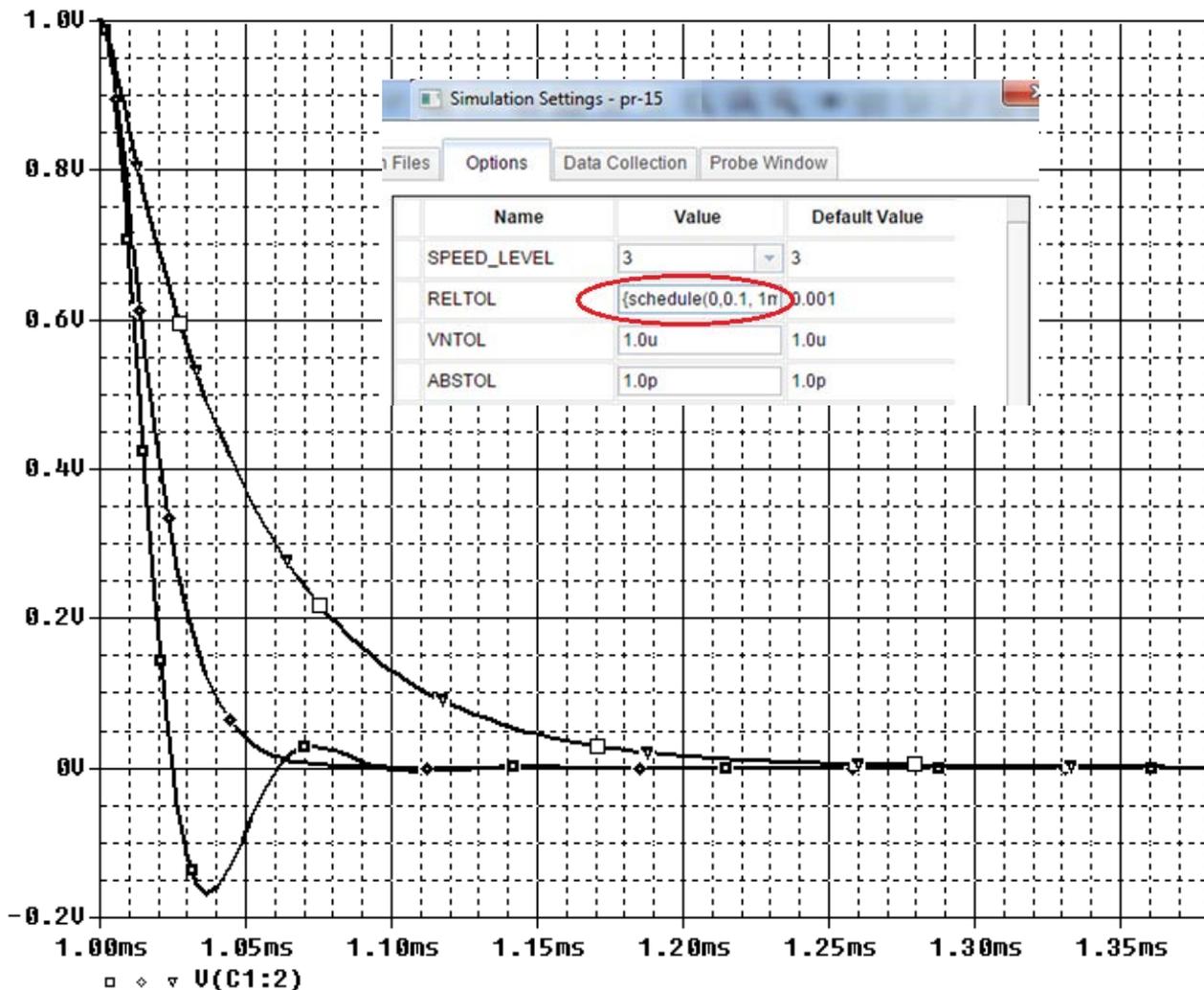


Рис. 3.6. Моделирование с планированием параметров

3.4. Контрольные точки

Контрольные точки были введены в версии 16.2, чтобы позволить Вам эффективно пометить и сохранить состояние переходного моделирования в контрольной точке и перезапустить моделирование переходного процесса из определённых контрольных точек. Это позволяет запускать симуляции на выбранных периодах времени. Это полезно, если у вас есть проблемы сходимости, и при этом вы можете запустить моделирование с определённой контрольной точки, отмеченной во времени до появления ошибки

моделирования, вместо того, чтобы запустить все моделирования с самого начала.

Контрольные точки доступны только для моделирования переходного процесса и выбираются в профиле моделирования в Analysis> Options>Save Check Points и Restart Simulation (рис. 3.7).

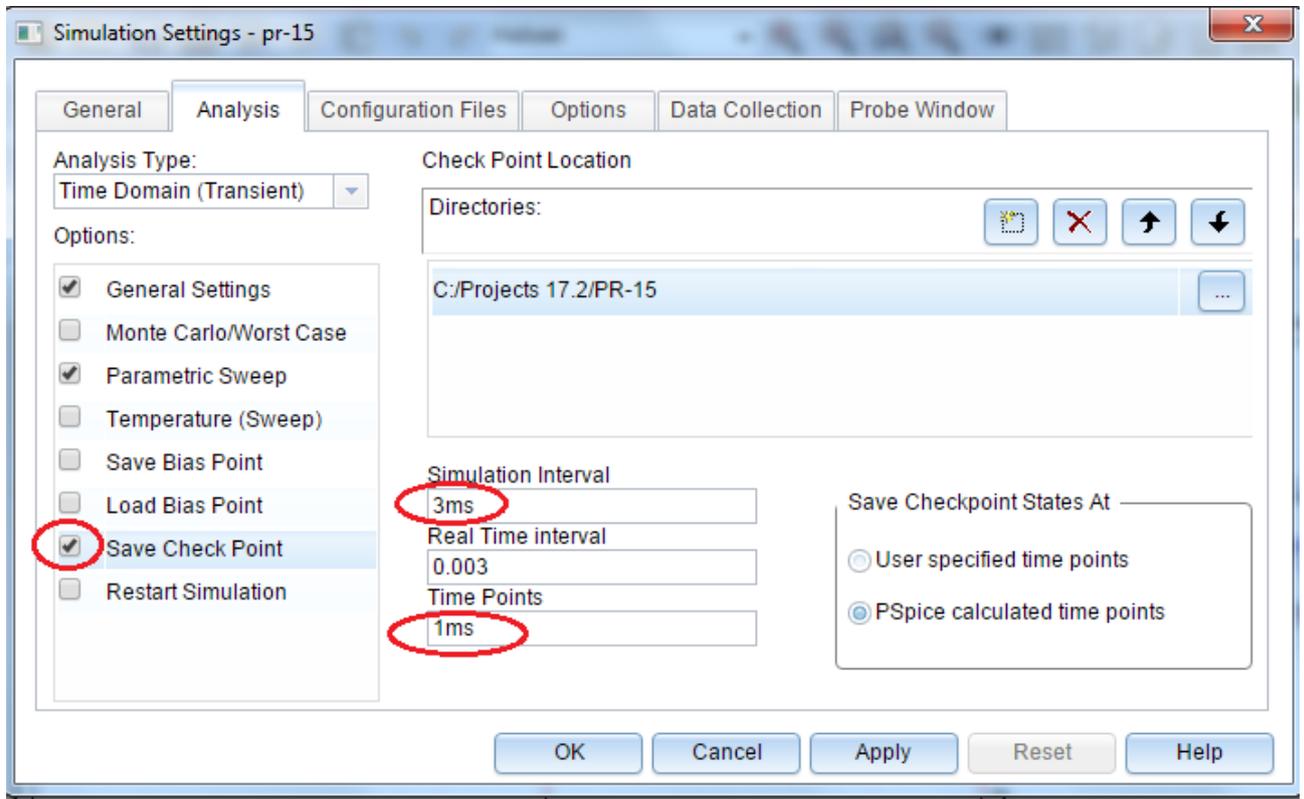


Рис. 3.7. Сохранение контрольных точек

Контрольные точки определяются заданием интервала времени моделирования. Интервал времени моделирования измеряется в секундах и реальный интервал времени измеряется в минутах (по умолчанию) или часах. Временные точки являются конкретными моментами, когда были созданы контрольные точки. Сохраняются контрольные точки в папке проекта.

Перед тем, как перезапустить моделирование из сохранённой контрольной точки (рис. 3.8), вы можете изменить значение компонента, значения параметров, настройку вариантов моделирования, перезагрузку контрольных точек и параметры сохранения данных.

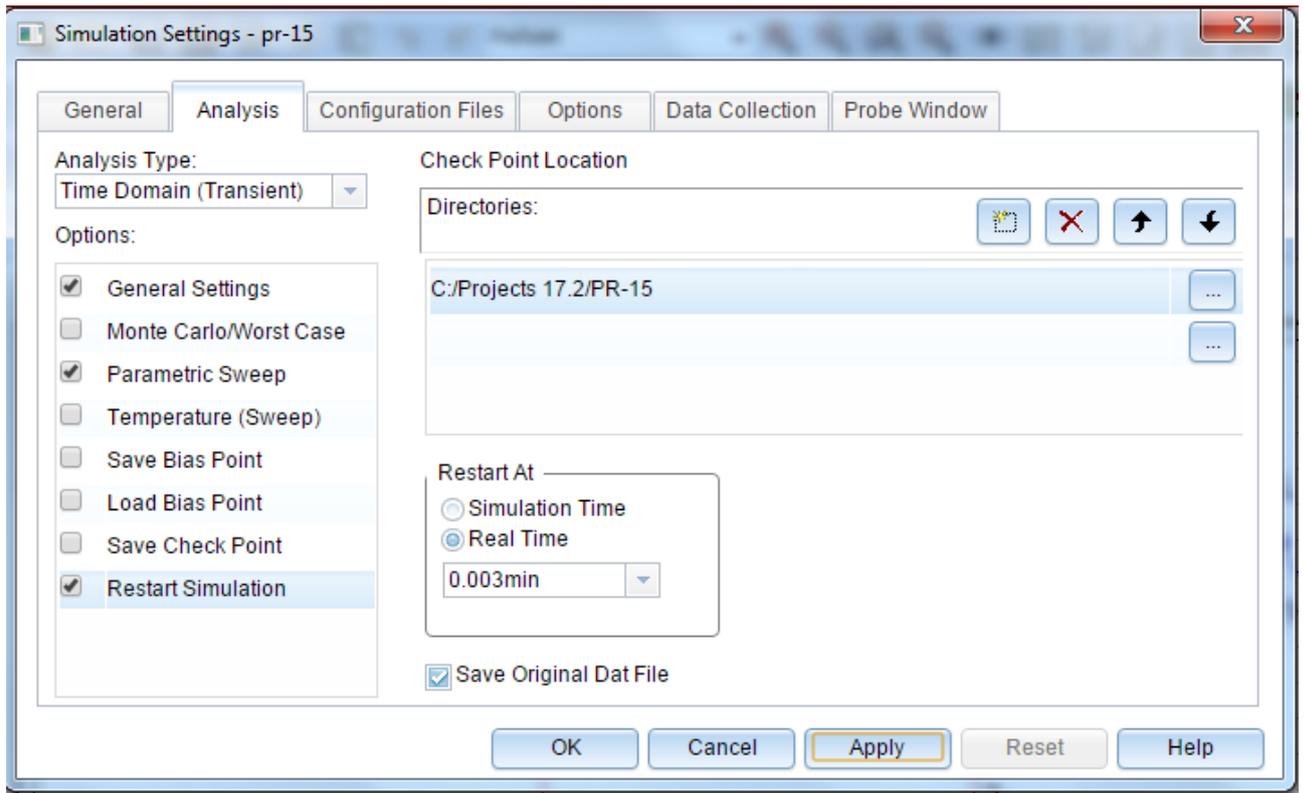


Рис. 3.8. Перезапуск моделирования из контрольной точки

Упражнение 3.1.

Это упражнение продемонстрирует эффект, как максимальное время шага влияет на разрешение моделирования и покажет использование команды планирования.

В предыдущем проекте PR-16 создадим новую страницу page 2 и соберем схему (рис. 3.9) с синусоидальным источником напряжения из библиотеки SOURCE.

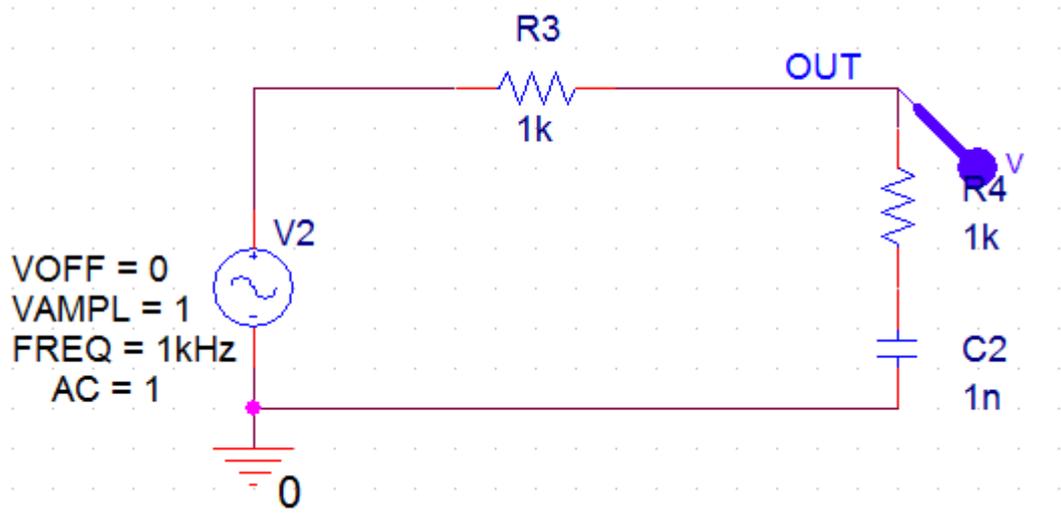
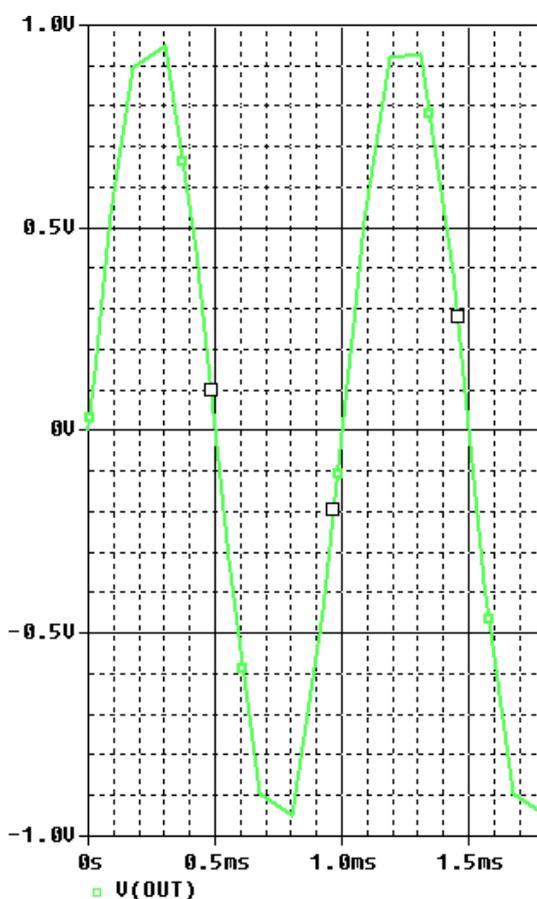


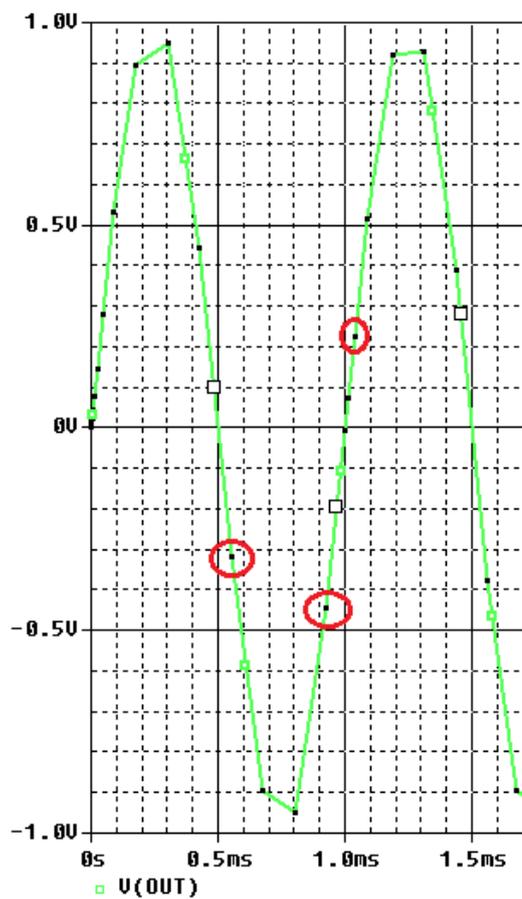
Рис. 3.9. Схема с синусоидальным источником напряжения

1. Установим значения параметров источника, используя Edit Properties.

2. Создаём профиль моделирования PR-16-sin с типом анализа Transient и временем моделирования 10 мс. Устанавливаем маркер напряжения, запускаем моделирование. Увидим результирующий сигнал (рис. 3.10.а) с низким разрешением.



а)



б)

Рис. 3.10. Сигнал с низким разрешением

3. В Probe выбираем Tools>Options и отмечаем Mark Data Points или пользуемся иконкой . На графике появляется метки контрольных точек (рис. 3.10.б).

4. В профиле моделирования, настроим команду планирования для уменьшения времени шага в заданные моменты времени (рис. 3.11). Вы можете ввести команду планирования в окно Maximum step size непосредственно. Но из-за малого поля этого окна, рекомендуется сначала ввести команду планирования в текстовый редактор, например, Блокнот, затем скопировать и вставить в окно следующую команду (без пробелов в строке):

```
{schedule(0,0,2m,0.05m,4m,0.01m,6m,0.005m,8m,0.001m)}.
```

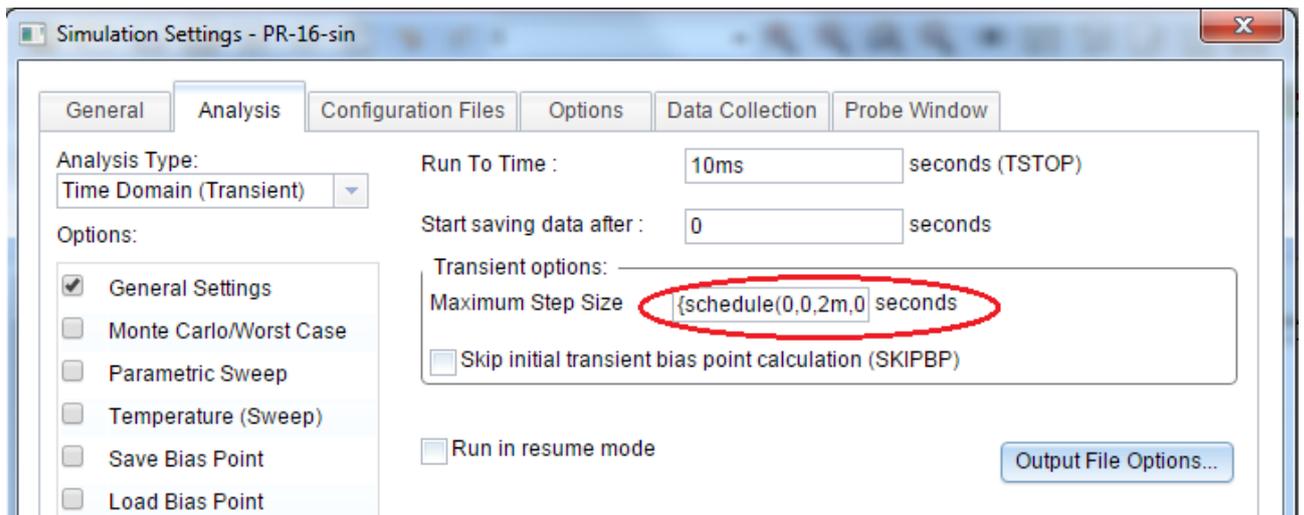


Рис. 3.11. Установка планирования шага

5. Выполняем Run и видим уменьшение размера максимального шага моделирования (рис. 3.12)

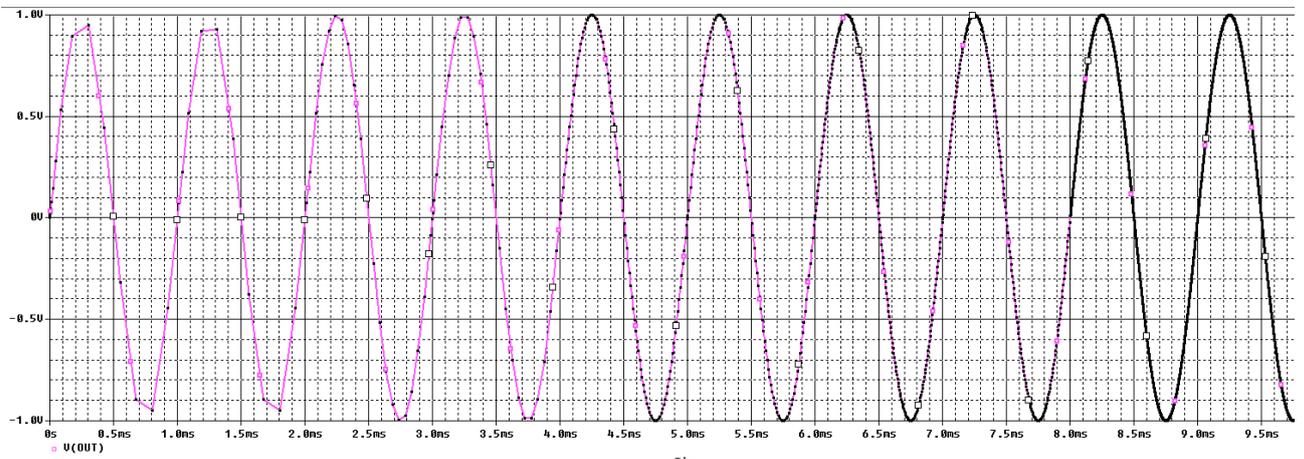


Рис. 3.12. Моделирование с уменьшением шага

3.5. Формирования временных зависимостей стимула напряжения с использованием текстовых файлов

3.5.1. Кусочно-линейные стимулы с однократным повторением

Волновые формы входного напряжения задают с помощью пары координат время - напряжение, которые могут быть введены в редакторе свойств или считываются из внешнего текстового файла.

Рис. 3.13 показывает VPWL источники напряжения и тока IPWL и соответствующие зависимости времени и напряжения, которые можно записать в редакторе свойств. По умолчанию восемь пар значений время - напряжение отображаются в редакторе свойств для VPWL источников, но, как показано на рис. 3.13, может быть добавлено больше пар значений. Более эффективно и проще определить большое количество пар время - напряжение в текстовом файле.

На рис. 3.14 показаны результаты моделирования.

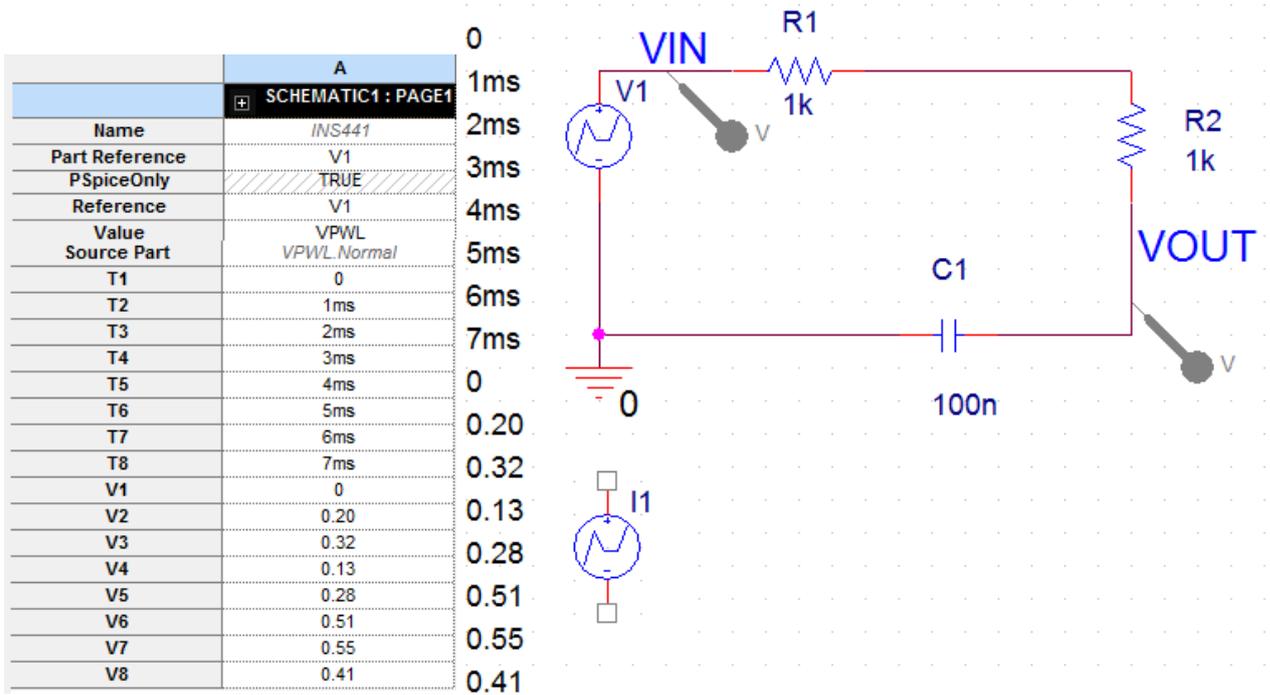


Рис. 3.13. Ввод численных значений в стимул напряжения VPWL

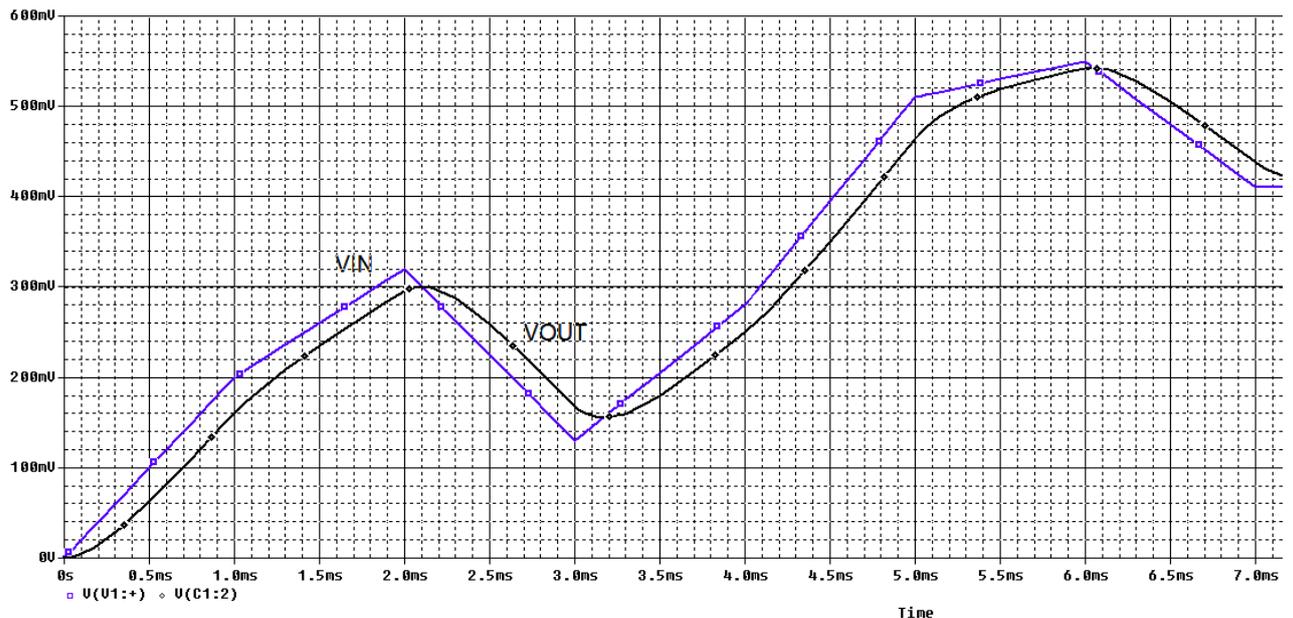


Рис. 3.14. Результаты моделирования со стимулом VPWL

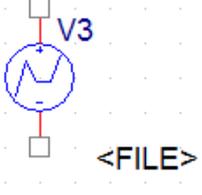
3.5.2. Текстовые стимулы с повторением

В библиотеке SOURCE существуют другие VPWL и IPWL компоненты, которые позволяют вам сделать VPWL периодическим для ряда циклов или повторять всегда неограниченно долго. Эти компоненты определяется как:

```
VPWL_F_RE_FOREVER
VPWL_F_RE_N_TIMES
VPWL_RE_FOREVER
```

VPWL_RE_N_TIMES
 IPWL_F_RE_FOREVER
 IPWL_F_RE_N_TIMES
 IPWL_RE_FOREVER
 IPWL_RE_N_TIMES

Например:

	<p>VPWL_F_RE_FOREVER - кусочно-линейный, повторяющийся бесконечно</p> <p>VPWL_F_RE_N_TIMES кусочно-линейный, повторяющийся n раз</p>
---	--

Форма сигнала задана файлом, который должен быть указан на схеме и сохранен в известном месте.

1. В проекте PR-16 на новой странице создадим схему пикового детектора (рис. 3.15). Чтобы установить начальное условие (IC) на конденсаторе C3, подключаем компонент IC=0 из библиотеки SPECIAL. Это гарантирует, что в момент $t=0$, напряжение на конденсаторе равно 0 В (IC=0). Эту библиотеку также добавляем в проект.

В качестве альтернативы, вы можете дважды щёлкнуть на конденсаторе C3, и в Редакторе свойств ввести значение 0 для значения свойства IC. Это гарантирует, что в момент времени $t=0$, то напряжение на конденсаторе равно 0В. Если вы измените конденсатор, то вы должны помнить, что надо снова установить начальное состояние, так чтобы компонент IC всегда был виден на схеме.

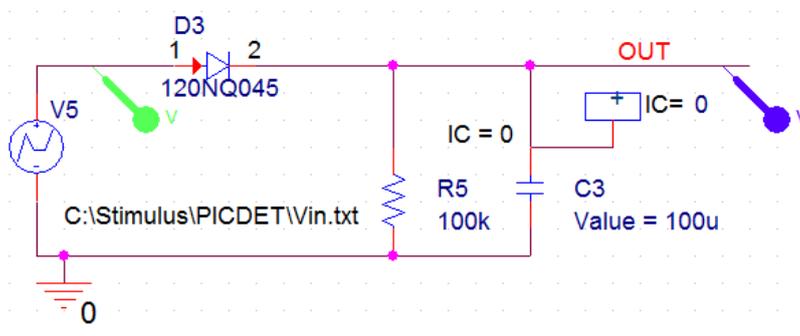
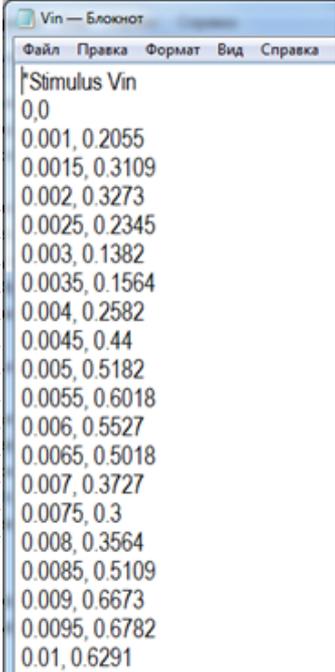


Рис. 3.15. Модель пикового детектора



Time	Voltage
0,0	0,0
0,001	0,2055
0,0015	0,3109
0,002	0,3273
0,0025	0,2345
0,003	0,1382
0,0035	0,1564
0,004	0,2582
0,0045	0,44
0,005	0,5182
0,0055	0,6018
0,006	0,5527
0,0065	0,5018
0,007	0,3727
0,0075	0,3
0,008	0,3564
0,0085	0,5109
0,009	0,6673
0,0095	0,6782
0,01	0,6291

Рис. 3.16. Файл стимула

2. В Блокноте набираем данные о форме сигнала и комментарий Stimulus Vin со знаком * (Рис. 3.16). Сохраняем файл в C:\Stimulus\PICDET\Vin.txt и вводим этот путь в схему модели источника напряжения стимула.

3. Устанавливаем маркеры, создаем новый профиль моделирования PICDET в режиме Transient на время 50 мс с шагом 100 мкс.

Проводим моделирование и получаем графики входного и выходного напряжения (рис. 3.17)

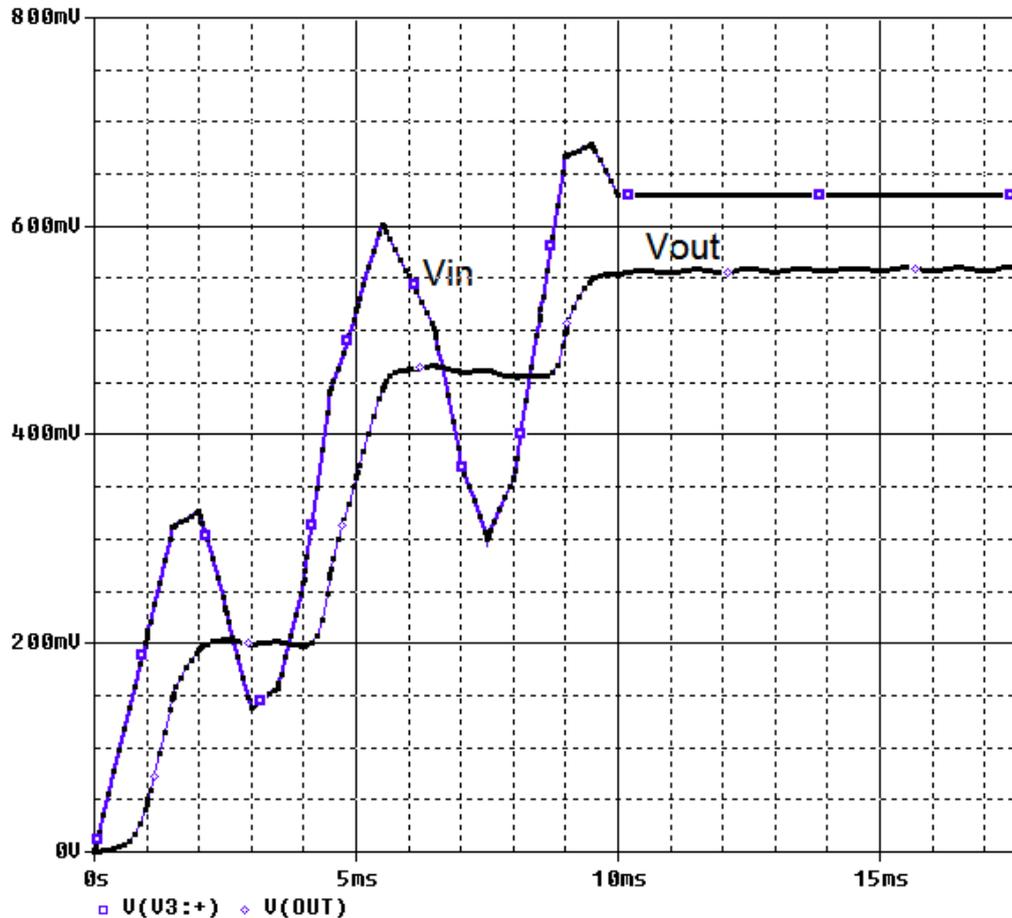


Рис. 3.17. Графики входного и выходного напряжения

4. Удалите источник VPWL_FILE и замените его на VPWL_F_RE_FOREVER из исходной библиотеки. Двойным щелчком по <FILE> введите адрес файла стимула C:\Stimulus\PICDET\Vin.txt.

6. Выполните моделирование с тем же профилем. Вы должны увидеть результат, показанный на рис. 3.18, где Vin теперь периодическая функция (повторяется вечно).

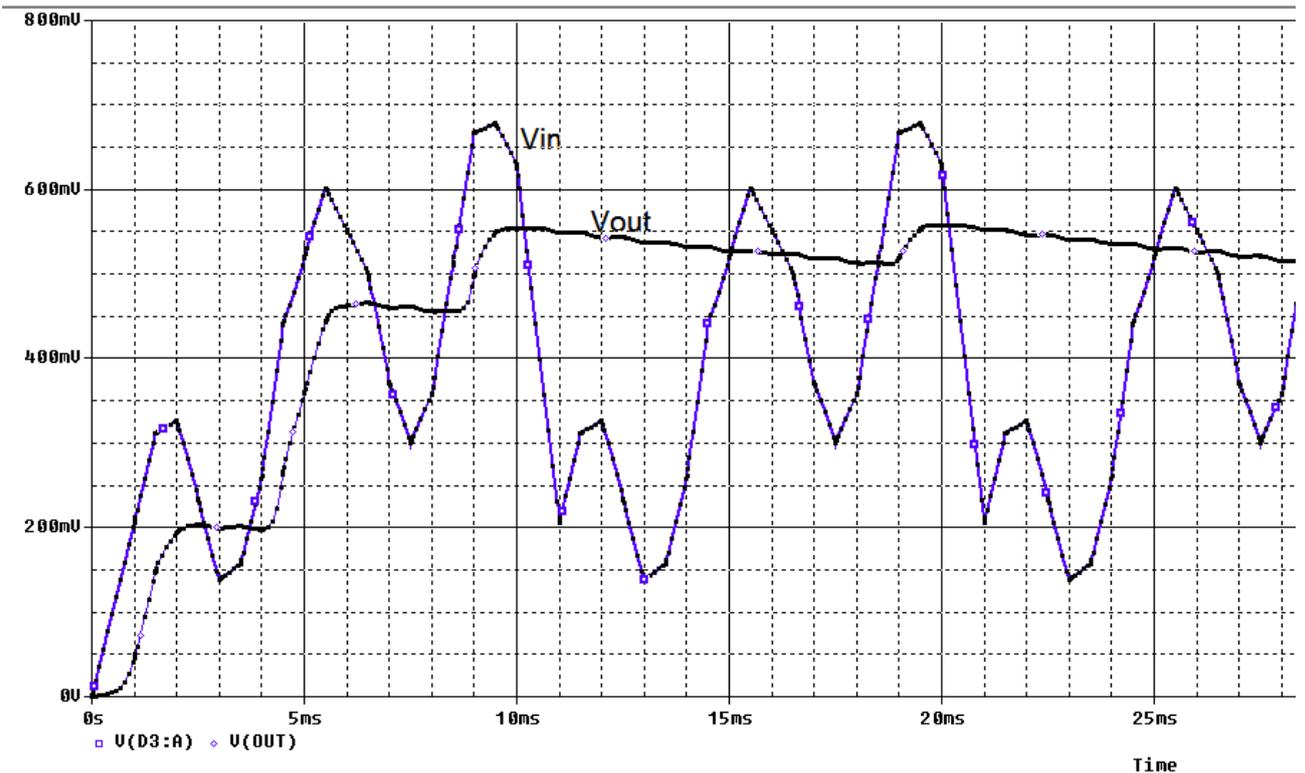


Рис. 3.18. Периодическое повторение стимула

7. Исследуем источник VPWL_F_RE_N_TIMES. Этот сигнал из библиотеки Source может повторяться N раз. В схеме указываем тот же путь к текстовому файлу. В свойствах источника устанавливаем параметр REPEAT_VALUE=3 и отображаем это на схеме. После моделирования получим графики (рис. 3.19).

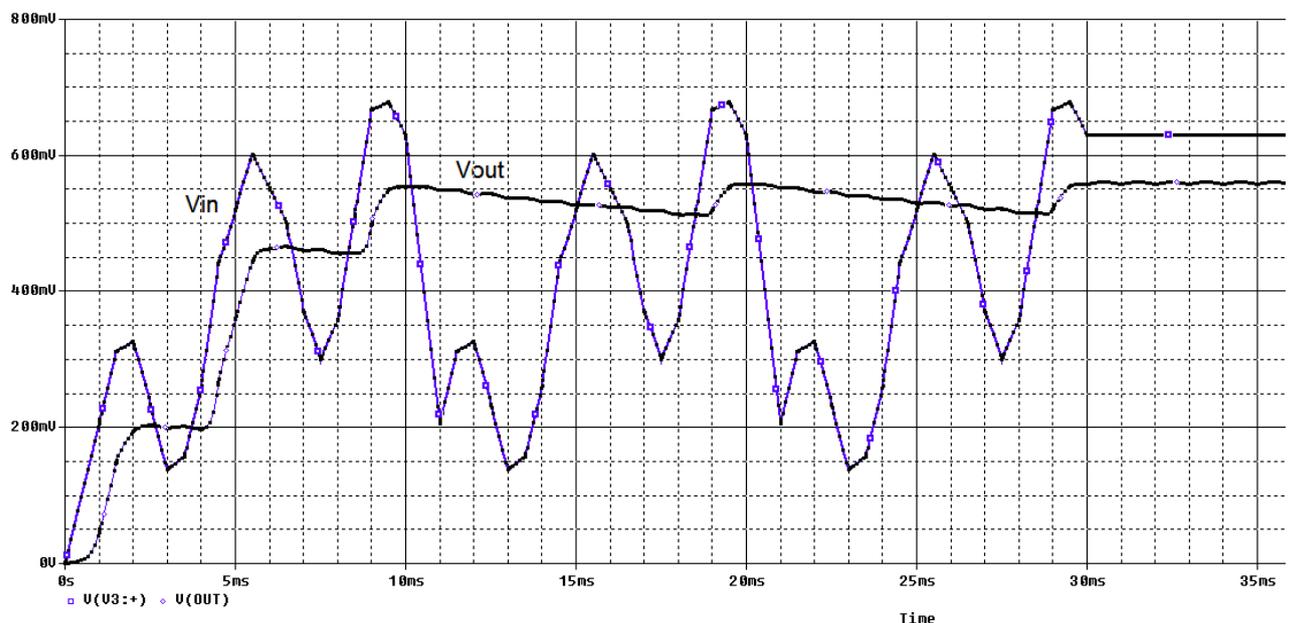


Рис. 3.19. Трехкратное повторение стимула

3.6. Контрольные вопросы

1. Расскажите о понятиях установившегося и переходного процесса.

2. Расскажите о законах коммутации и основных видах начальных условий.
3. В чем сущность классического метода расчета переходных процессов ?
4. Какие случаи переходного процесса бывают в цепи второго порядка ?
5. Как выполняют установку параметров ключа при моделировании переходных процессов ?
6. Как и для чего используют планирование при анализе переходных процессов ?
7. Для чего применяют контрольные точки в анализе переходных процессов ?
8. Как используют текстовые файлы для формирования кусочно-линейных стимулов ?
9. Назовите различные варианты стимулов с повторением и расскажите как их использовать.

Практическое занятие №4

Моделирование статистических процессов. Метод Монте-Карло.

Анализ худших случаев.

4.1. Принципы метода Монте-Карло

Анализ методом Монте-Карло, по существу, статистический анализ, который вычисляет отклик схемы, когда параметры модели устройства случайным образом изменялись между установленными пределами допусков в соответствии с заданным статистическим распределением. Например, все схемы, которые встречались до сих пор были смоделированы с использованием фиксированных значений компонентов.

Реальные дискретные компоненты, такие как резисторы, катушки индуктивности и конденсаторы имеют определённый допуск (1%-10%).

Другие дискретные компоненты и полупроводники в цепи также будут иметь допуски и таким образом, совокупный эффект всех допусков компонентов может привести к значительным отклонением от ожидаемого отклика цепи.

Анализ методом Монте-Карло дает статистические данные с предсказанием влияния случайного изменения параметров модели или значения компонентов (дисперсия) в заданных пределах допуска. Сформированные случайные значения соответствуют статистическому распределению. Анализ цепи (постоянного тока, переменного тока или переходных процессов) многократно повторяется в каждом запуске с новыми значениями случайных параметров.

В методе Монте-Карло происходит генерации нового набора выбранных случайным образом значений параметров компонентов или модели. Чем больше количество серий, тем больше вероятность того, что

каждый компонент примет значения в пределах своего диапазона допустимых значений и будет использоваться для моделирования. Часто выполняются сотни или даже тысячи опытов Монте-Карло, чтобы охватить как можно больше возможных значений компонентов в пределах их границ допуска.

Метод Монте-Карло предсказывает устойчивость или отказ схемы путём изменения значения параметров компонента или модели в заданных пределах допуска.

Результаты анализа методом Монте-Карло можно использовать для создания и отображения гистограммы для статистических данных, вместе со сводкой статистических данных. Это обеспечивает наглядное визуальное представление статистических результатов анализа методом Монте-Карло.

4.2. Моделирование заграждающего фильтра по методу Монте – Карло

Создадим папку PR-8 и новый проект PR-8 на основе проекта PR-5 для аналогового и смешенного моделирования.

Проверим функционирование схемы, выполнив анализ АЧХ (рис. 4.1).

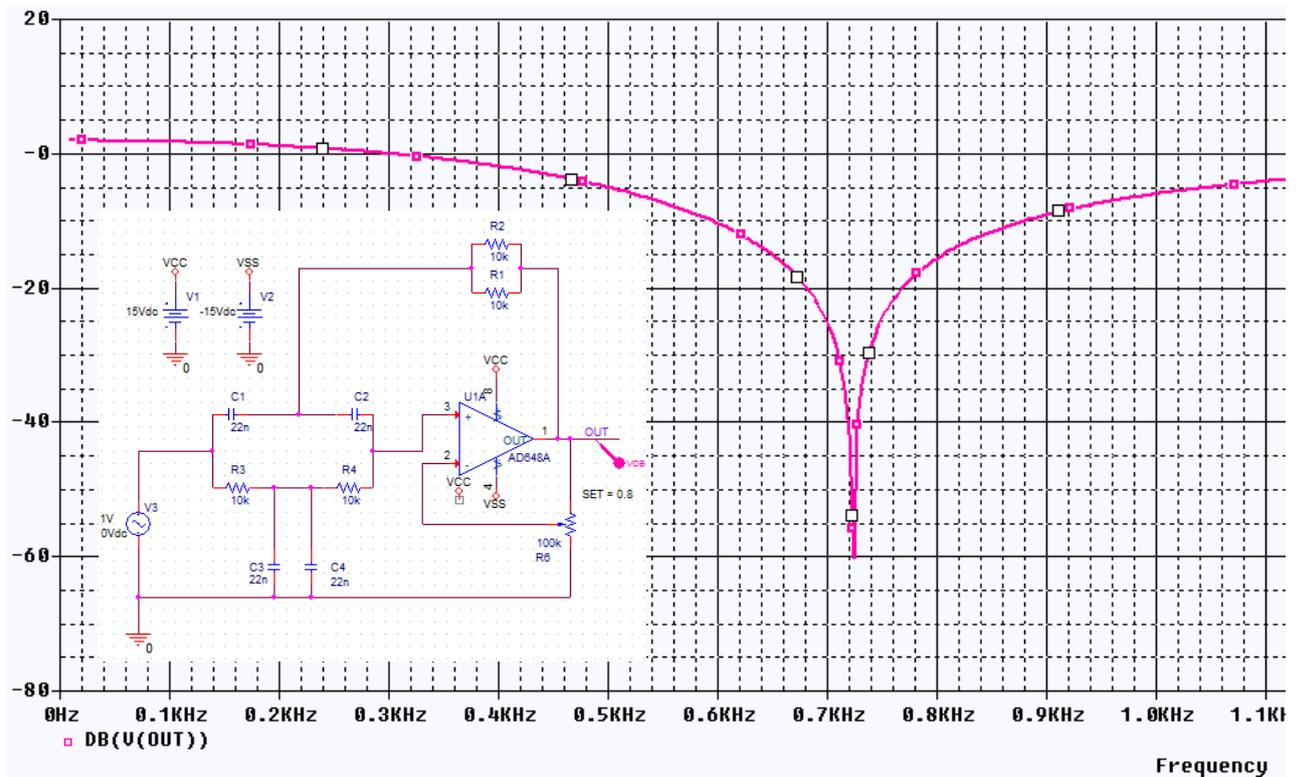


Рис. 4.1. Проверка функционирования схемы 3Ф

Исследуем влияние точности пассивных компонентов схемы (резисторов и конденсаторов) на форму амплитудно-частотной характеристики заграждающего фильтра методом Монте-Карло

Для начала выделим на схеме все резисторы, откроем окно свойств и установим свойство TOLLERANCE, например, равное 5% (рис. 4.2).

	Part Reference	Source Library	Reference	Value	TOLLERANCE	VOLTAGE
1	SCHEMATIC1 : PAGE1	R1	C:\CADENCE\SPB_17...	R1	10k	RVMAX
2	SCHEMATIC1 : PAGE1	R2	C:\CADENCE\SPB_17...	R2	10k	RVMAX
3	SCHEMATIC1 : PAGE1	R3	C:\CADENCE\SPB_17...	R3	10k	RVMAX
4	SCHEMATIC1 : PAGE1	R4	C:\CADENCE\SPB_17...	R4	10k	RVMAX

Рис. 4.2. Установка точности резисторов

Создадим новый профиль моделирования, выберем AC Sweep, установим параметры развертки по частоте, как и в прошлом исследовании. Далее активируем пункт Monte Carlo. Установим параметры как на рис. 4.3., особое внимание стоит обратить на параметр Output variable.

Мы выбрали распределение Гаусса, количество опытов 100, задали произвольно начальное случайное число 17336 для генератора случайных чисел и выбрали опцию MC Load Save для сохранения результатов моделирования в файле (рис. 4.3, 4.4).

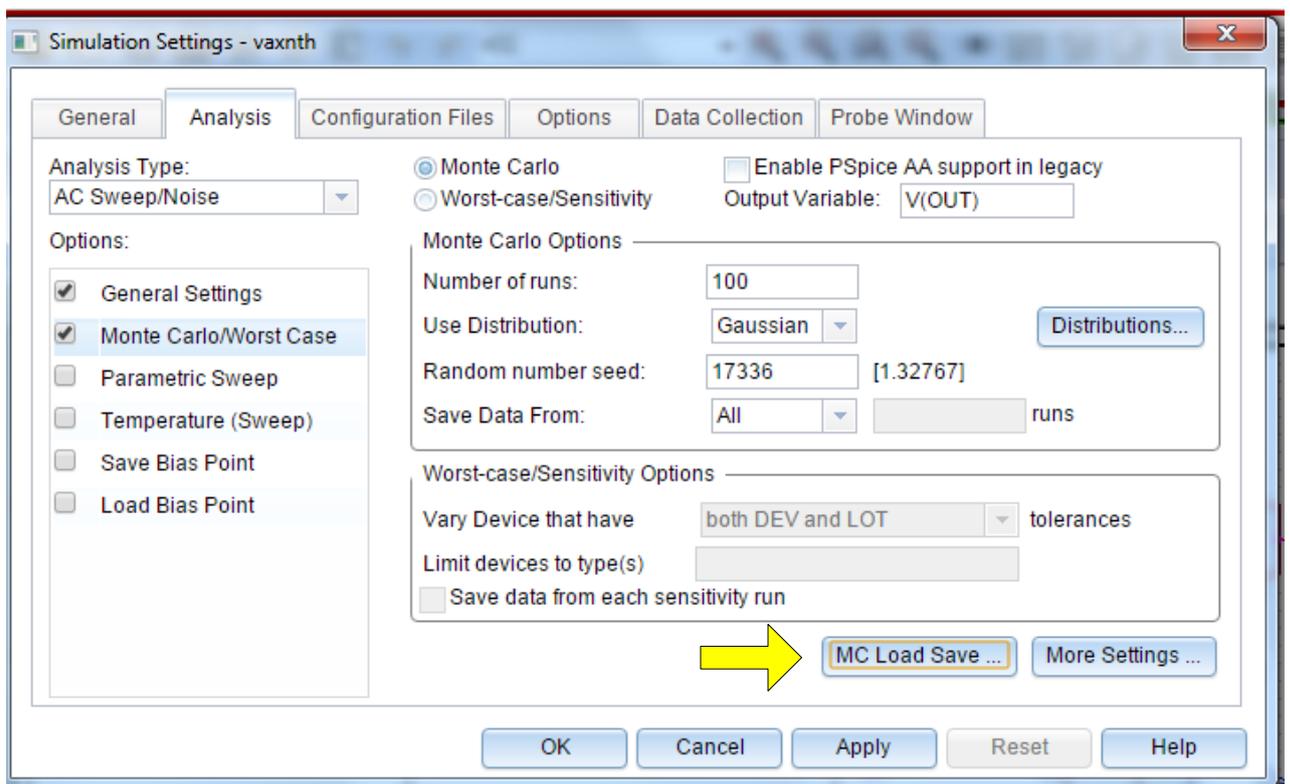


Рис. 4.3. Установка параметров режима Монте-Карло

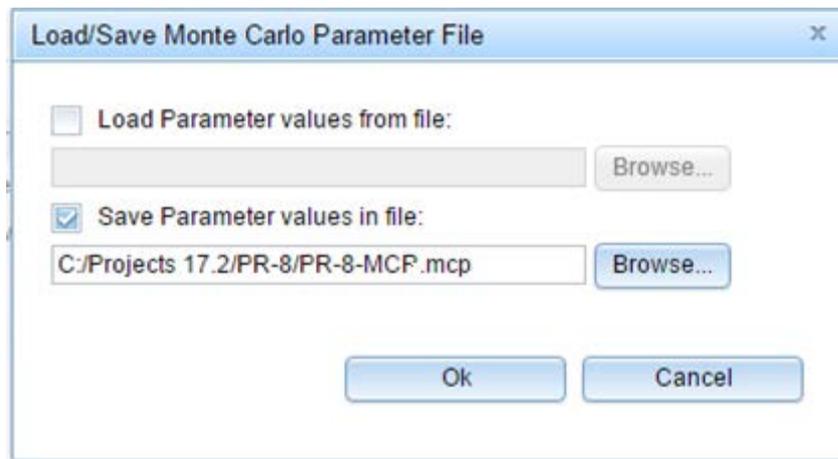


Рис. 4.4. Сохранение значений параметров в файле

Запускаем симуляцию и после некоторого времени получаем в окне Probe таблицу доступных разделов (рис. 4.5) и графики АЧХ (рис. 4.6).

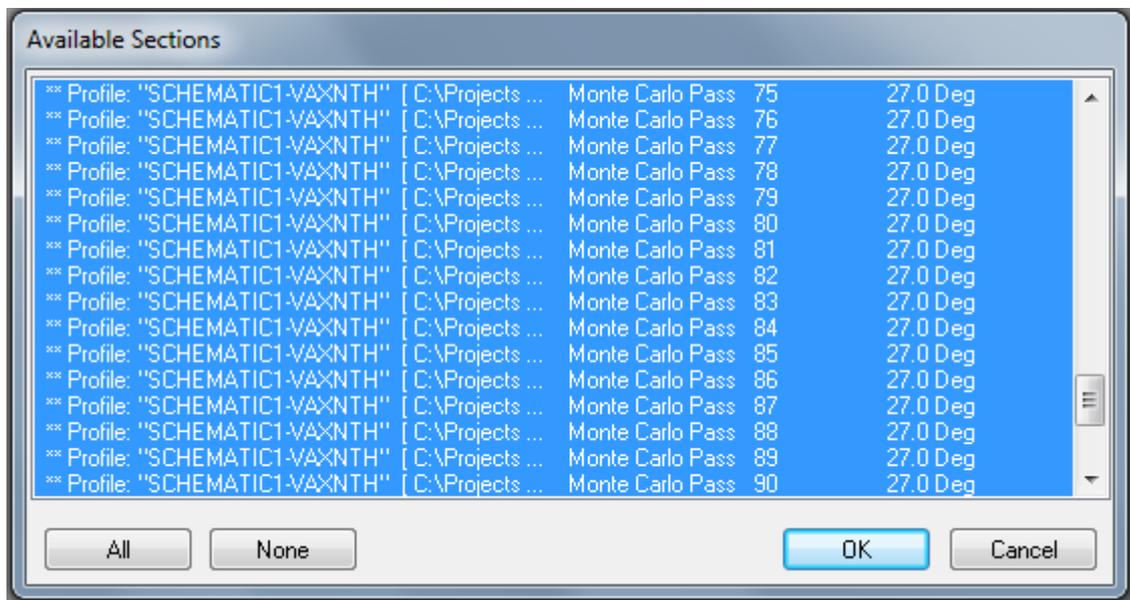


Рис. 4.5. Таблица доступных графиков

Выбираем все графики и получаем результаты статистического исследования (рис. 4.6).

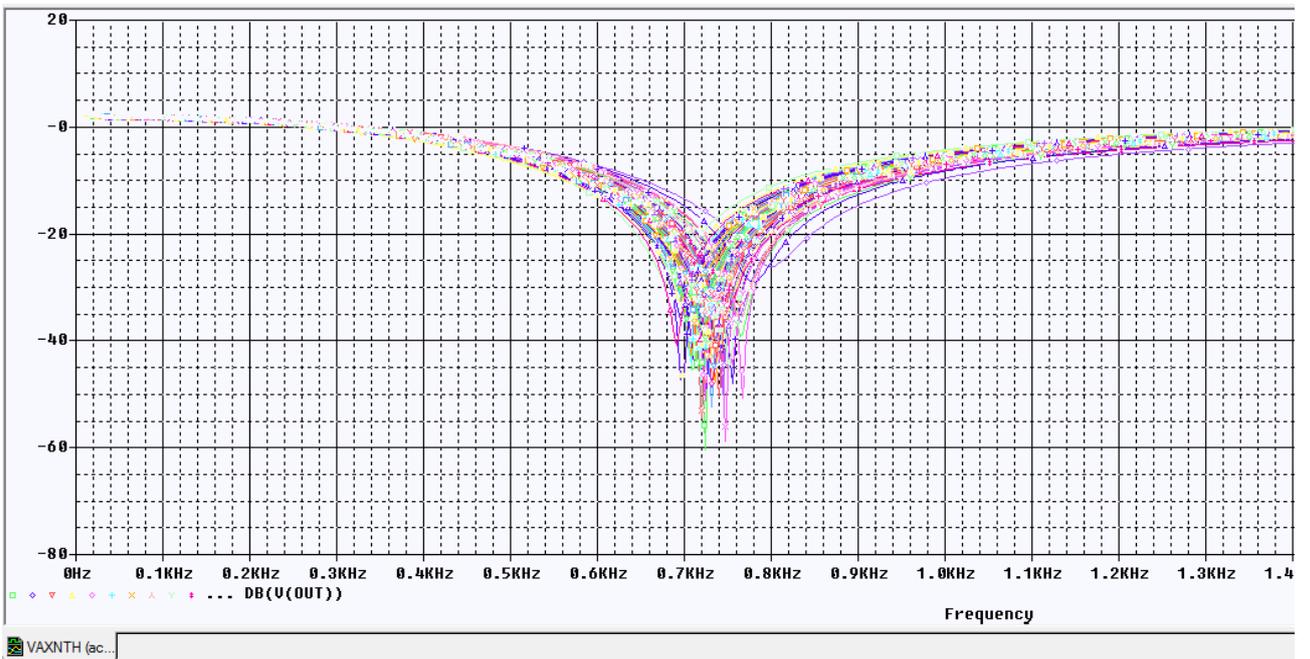


Рис. 4.6. Набор из 100 графиков статистического исследования

Далее выберем Trace -> Performance analysis и нажмем в открывшемся окне ОК. После выберем Trace -> Add trace., в окне слева укажем Min(1), после справа выберем V(OUT) и нажмем ОК (рис. 4.7).

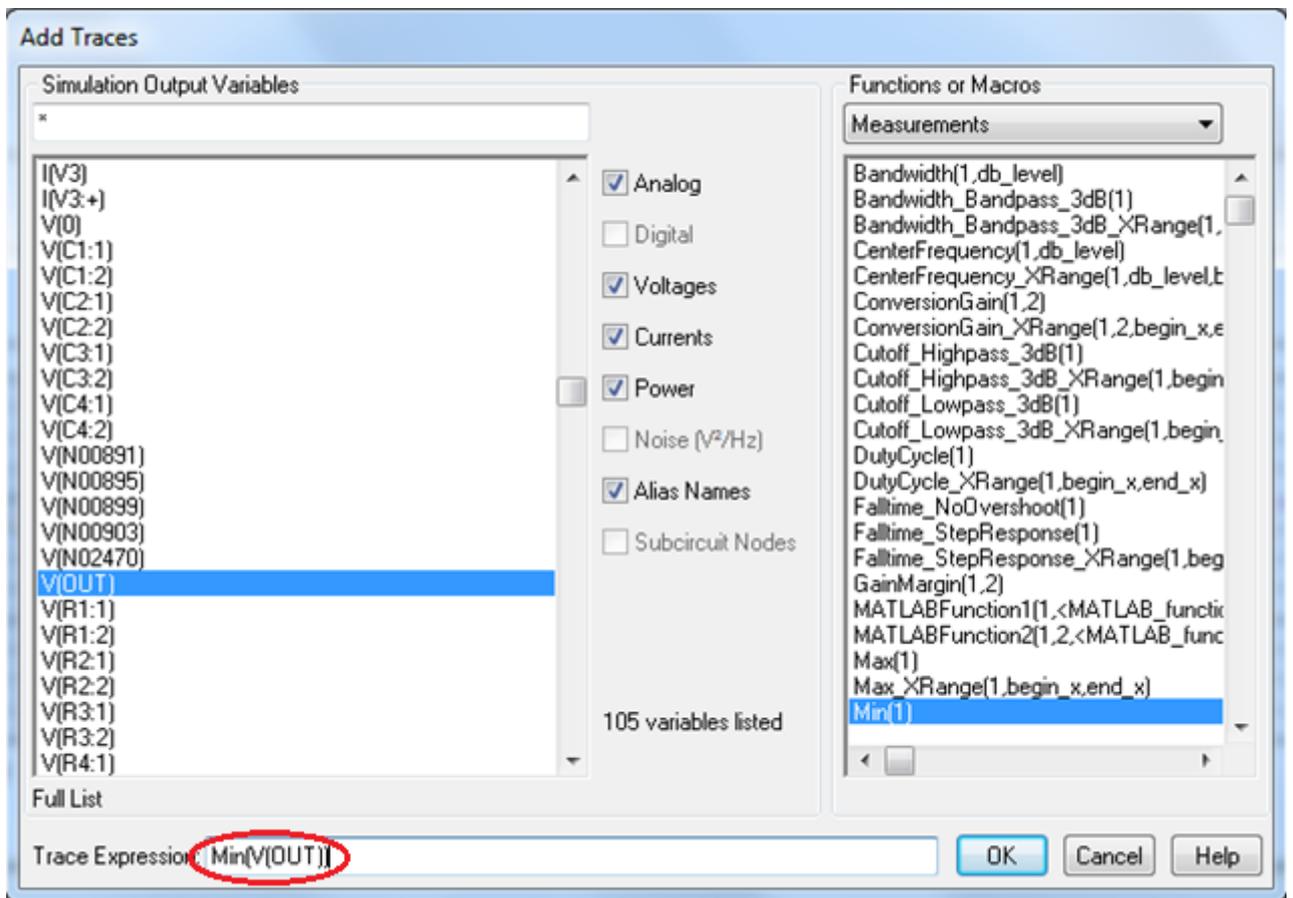


Рис. 4.7. Установка дополнительного анализа

Получим расширенное представление о работе фильтра в виде гистограммы распределения минимальных напряжений на выходе фильтра (рис. 4.8).

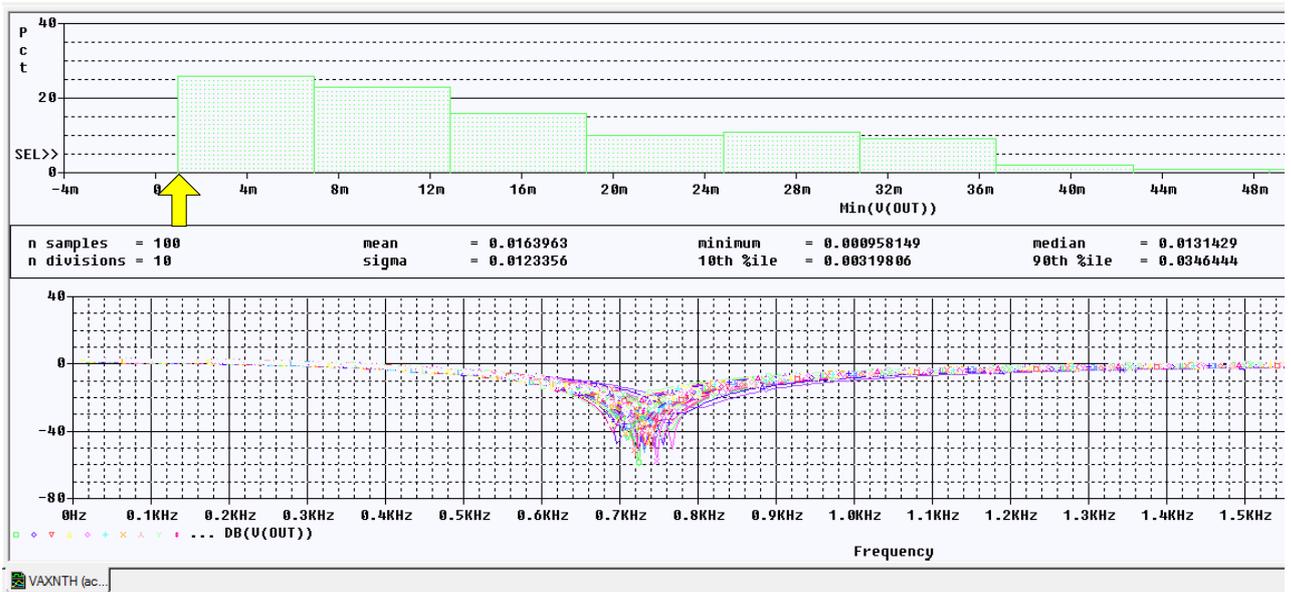


Рис. 4.8. Гистограммы распределения минимальных напряжений V(OUT)

Это распределение показывает, что минимальное значение составляет примерно 0,001, что соответствует затуханию – 60 дБ. В худшем случае минимальное значение равно 0,048 или – 26 дБ.

В папке PR-8 файл с расширением .mcp можно открыть в Notepad ++ и посмотреть, как менялись значения случайных чисел, задающих точность резисторов (рис. 4.9).

PR-8-MCR.mcp

	R_R1::R	R_R2::R	R_R3::R	R_R4::R
1	1.00000e+000	1.00000e+000	1.00000e+000	1.00000e+000
2	1.02621e+000	1.02978e+000	1.02811e+000	9.99336e-001
3	1.15876e+000	9.36923e-001	1.00617e+000	9.51601e-001
4	8.96349e-001	9.73983e-001	1.10378e+000	1.05628e+000
5	9.52714e-001	9.36923e-001	1.07625e+000	1.01058e+000
6	1.03792e+000	9.36963e-001	1.05745e+000	1.05628e+000
7	1.00390e+000	9.99505e-001	9.82503e-001	1.01058e+000
8	1.03792e+000	9.36963e-001	9.54058e-001	1.05628e+000
9	9.51054e-001	9.83630e-001	1.00221e+000	1.03000e+000
10	9.55218e-001	9.24218e-001	1.08577e+000	9.70069e-001
11				

Рис. 4.9. Просмотр файла сохраненных значений случайных чисел для разброс резисторов

4.3. Исследование влияния точности двух видов компонентов

Введем дополнительно точность 5% в значения конденсаторов (рис. 4.10).

		SLOPE	TOLERANCE	VC1	VC2	VOLTAGE
1	SCHEMATIC1: PAGE1	CSMAX	5%	0	0	CMAX
2	SCHEMATIC1: PAGE1	CSMAX	5%	0	0	CMAX
3	SCHEMATIC1: PAGE1	CSMAX	5%	0	0	CMAX
4	SCHEMATIC1: PAGE1	CSMAX	5%	0	0	CMAX

Рис. 4.10. Установка точности конденсаторов

Повторяем моделирование по методу Монте – Карло и получаем минимальное значение выходного напряжения 0,098, что соответствует затуханию -20,175 дБ.

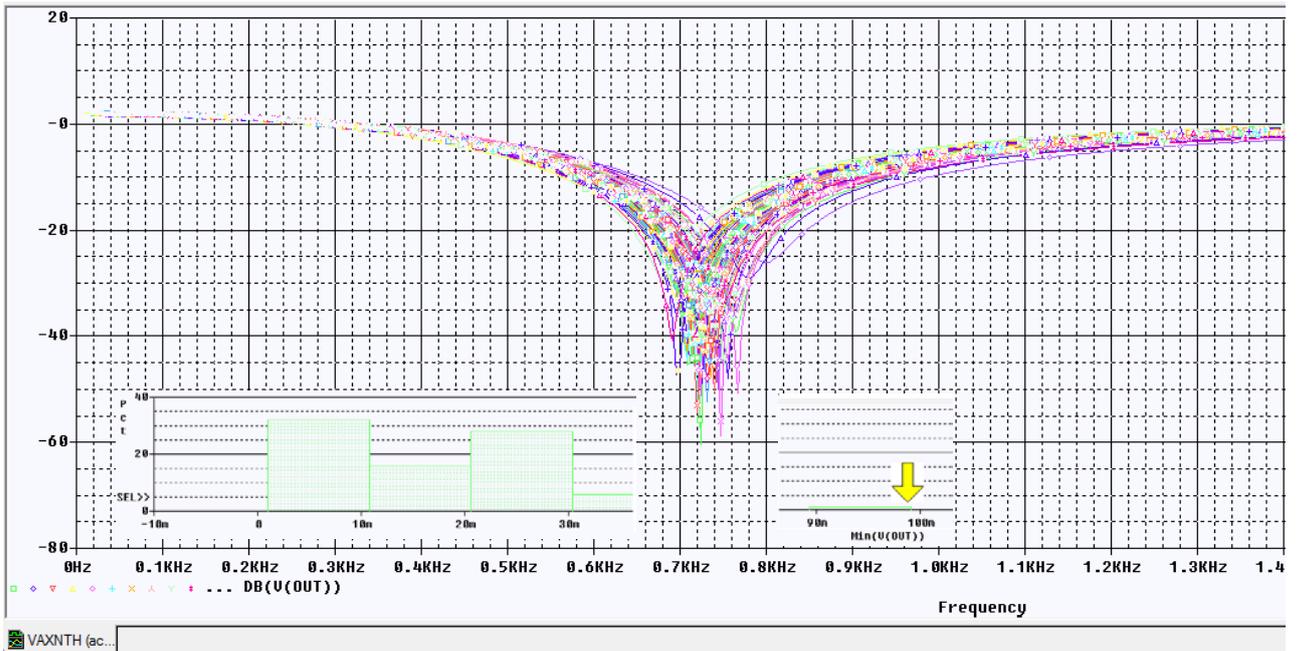


Рис. 4.11. Результаты моделирования в случае неточности резисторов и конденсаторов

В новом файле .msr теперь будут значения случайных чисел, моделирующих разбросы значений резисторов и конденсаторов (рис. 4.12)

1	C_C1::C	C_C2::C	C_C3::C	C_C4::C
2	1.00000e+000	1.00000e+000	1.00000e+000	1.00000e+000
3	1.02621e+000	1.02978e+000	1.00000e+000	1.00000e+000
4	1.15876e+000	9.36923e-001	R_R1::R	R_R2::R
5	8.96349e-001	9.73983e-001	1.00000e+000	1.00000e+000
6	9.52714e-001	9.36923e-001	9.66080e-001	1.00437e+000
7	1.03792e+000	9.36963e-001	1.05936e+000	9.63318e-001
8	1.00390e+000	9.99505e-001	9.64851e-001	9.88920e-001
9	1.03792e+000	9.36963e-001	9.77861e-001	9.70941e-001
10	9.51054e-001	9.83630e-001	1.04016e+000	9.88920e-001
11	9.55218e-001	9.24218e-001	9.76104e-001	9.70941e-001
12	1.01391e+000	9.87342e-001	1.04016e+000	8.80670e-001
13	1.03859e+000	9.24218e-001	9.76104e-001	1.06116e+000
			1.10057e+000	9.73607e-001
				R_R3::R
				1.00000e+000
				1.00405e+000
				1.08164e+000
				1.09300e+000
				9.69953e-001
				9.68252e-001
				1.08789e+000
				1.00055e+000
				1.08789e+000
				9.85141e-001

Рис. 4.12. Случайные числа для разброса резисторов и конденсаторов

Обратите внимание, что первая строка случайных чисел содержит только единицы и соответствует точным значениям резисторов и конденсаторов.

4.4. Повторное использование значений случайных параметров

Повторное использование значений параметров модели из предыдущего опыта Монте-Карло позволяет ускорить моделирование и дает повторение результатов. Делаем это так:

Выбираем PSpice> Edit Simulation Profile. Выполняем установки профиля моделирования в соответствии с рис. 4.3.

Далее в окне Load/Save Monte Carlo Parameter File включаем опцию Load Parameter values from file и в папке проекта находим последний запомненный файл случайных чисел (рис. 4.13). Нажимаем Ok. Результаты статистического моделирования будут повторяться.

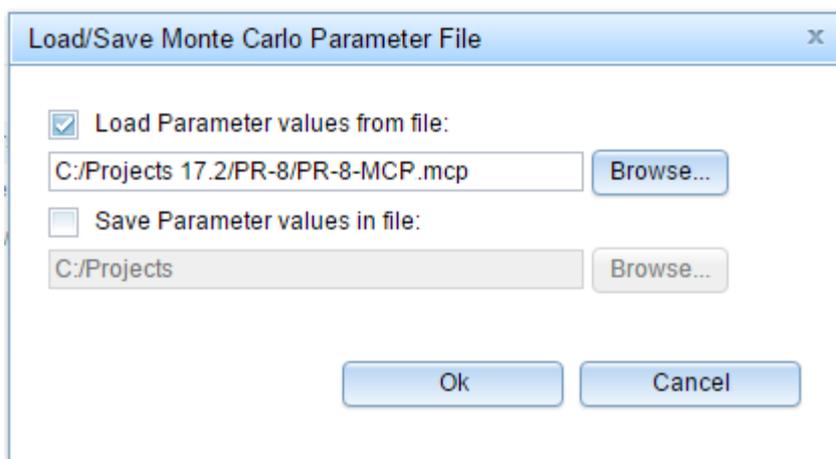


Рис. 4.13. Загрузка файла запомненных случайных чисел

После моделирования повторятся результаты, показанные на рис. 4.11.

В окне Probe выбрав View>Output File, для каждого пуска можно просмотреть основные режимы схемы (рис. 4.14).

```

E
**** 03/11/18 12:14:41 **** PSpice Lite (March 2016) **** ID# 10813 ****
** Profile: "SCHEMATIC1-VAXNTH" [ C:\Projects 17.2\PR-8\pr-8-pspicefiles\schematic1\vaxnth.sim ]

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
      MONTE CARLO PASS 12
*****

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( OUT)-111.5E-06 ( VCC) 15.0000 ( VSS) -15.0000 (N00891) 192.1E-09
(N00895)-111.5E-06 (N00899) 412.2E-09 (N00903) 0.0000 (N02470)-88.84E-06
(X_U1A.6) 1.751E-09 (X_U1A.7)-111.5E-06
(X_U1A.8)-111.5E-06 (X_U1A.9) 0.0000
(X_U1A.10) .7970 (X_U1A.11) 14.8560

VOLTAGE SOURCE CURRENTS
NAME CURRENT
V_V1 -2.152E-04
V_V2 2.150E-04
V_V3 2.065E-11
X_U1A.vb 1.751E-14
X_U1A.vc 1.300E-11
X_U1A.ve 1.478E-11
X_U1A.vlim -1.131E-09
X_U1A.vlp -1.500E-11
X_U1A.vln -1.500E-11

TOTAL POWER DISSIPATION 6.45E-03 WATTS

F
**** 03/11/18 12:14:41 **** PSpice Lite (March 2016) **** ID# 10813 ****
** Profile: "SCHEMATIC1-VAXNTH" [ C:\Projects 17.2\PR-8\pr-8-pspicefiles\schematic1\vaxnth.sim ]

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

```

Рис. 4.14. Режимы схемы для пуска №12

4.5. Создание гистограмм

Файл данных может стать довольно большим при запуске метода Monte – Карло, поэтому, чтобы посмотреть только выход фильтра, вы устанавливаете маркер напряжения на выходе фильтра.

Для сбора данных только для отмеченного узла делаем следующее:

1. В меню PSpice выберите Edit Simulation Profile и на вкладке Data Collection установите только Voltages>At Markers Only. Остальные данные не будут вычисляться. Нажмите «ОК» (рис. 4.15).

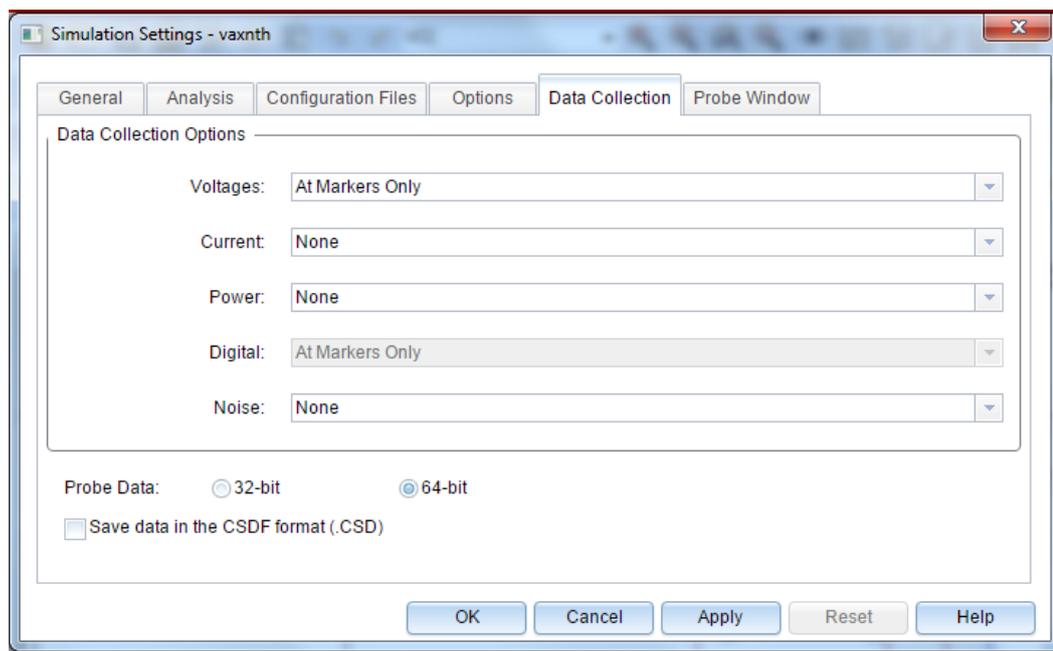


Рис. 4.15. Сбор данных только напряжений с маркеров
Количество секций гистограммы можно установить, выбрав Tools>Options>Probe Setting (рис. 4.16).

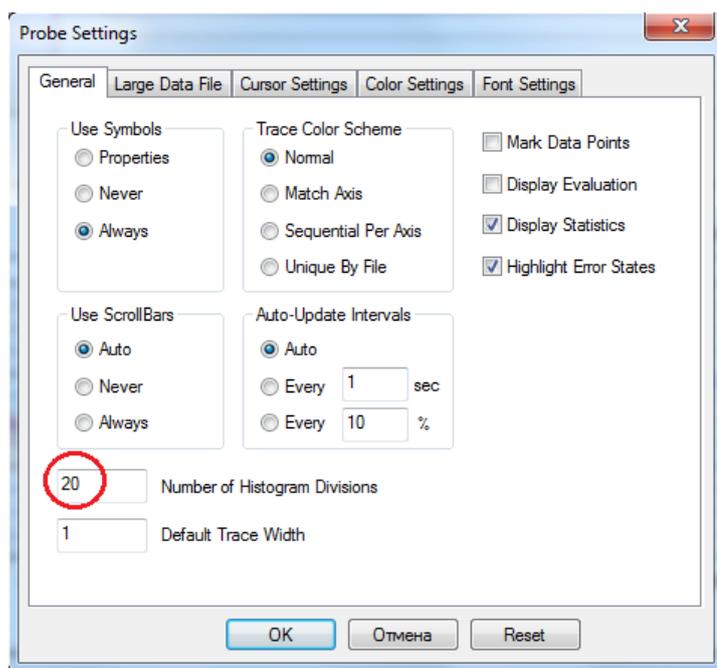


Рис. 4.16. Установка количества секций гистограммы

Для создания диаграммы надо в окне Probe выбрать Trace>Performance Analysis. После появления нового окна для гистограммы выполните Add Trace и проведите установки, показанные на рис. 4.7.

Результаты моделирования и гистограммы можно размещать в разных окнах (рис. 4.17).

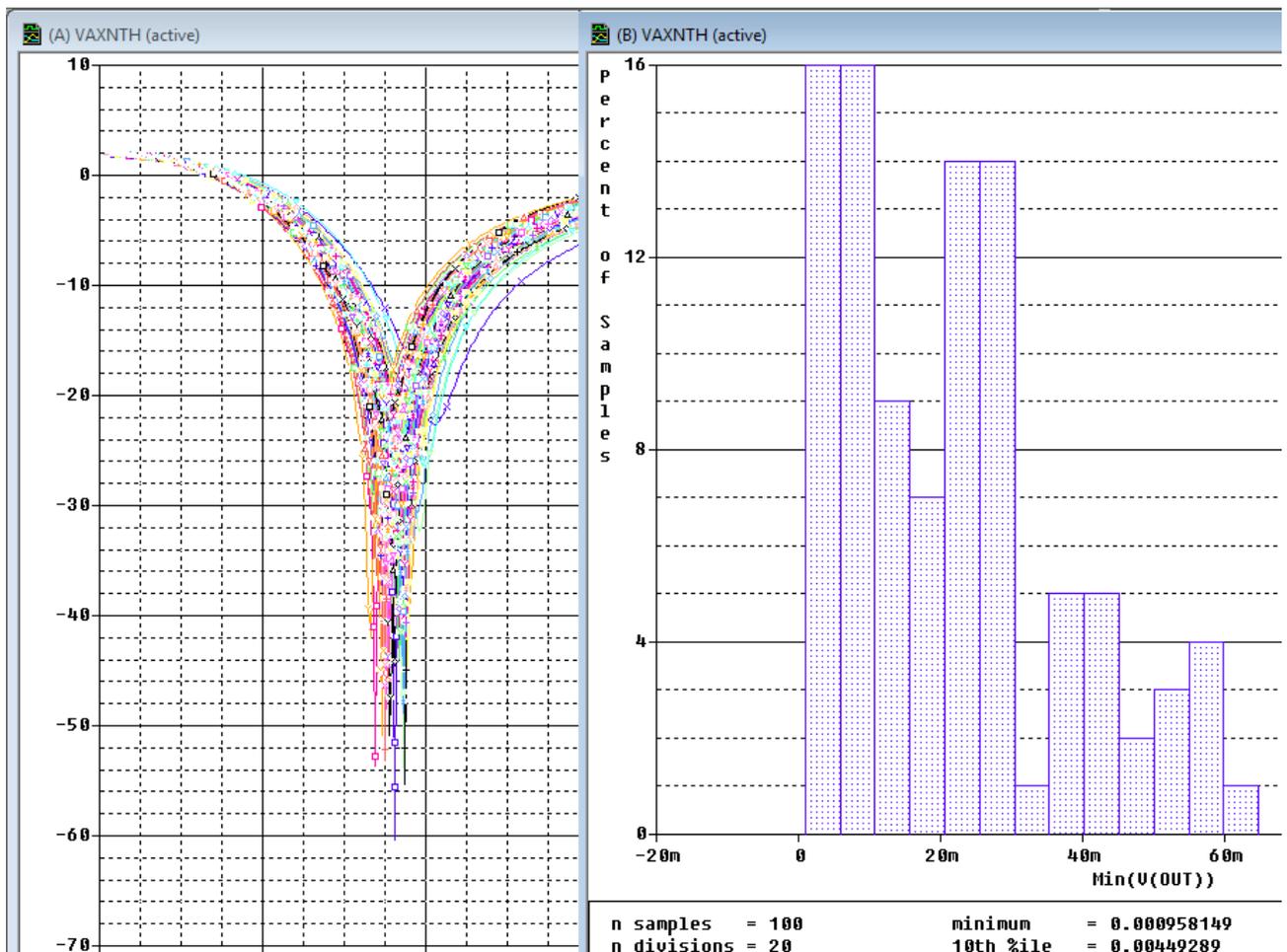


Рис. 4.17. Представление результатов статистического моделирования

4.6. Контрольные вопросы

1. Поясните сущность метода Монте – Карло и цели его применения.
2. Как устанавливают точность параметров компонентов схемы ?
3. Как устанавливают профилт моделирования в методе Монте – Карло ?
4. Как выполняют постобработку и дополнительный анализ результатов статистического исследования ?
5. Как сохранить значения случайных чисел после моделирования и повторно использовать их ?
6. Как отобразить результаты исследования на гистограммах?

Практическое занятие №5. Анализ наихудшего случая

5.1. Функции сравнения для наихудшего случая

Анализ худшего случая (Worst Case Analysis) используется для идентификации наиболее важных компонентов, которые будут влиять на работу и характеристики цепи. Первоначально анализ чувствительности выполняется на каждом отдельном компоненте, которому присвоен допуск. Значение компонента устремляют к обоим пределам его допуска с

небольшим процентом от его максимального значения, чтобы увидеть, какой предел будет иметь большее влияние на работу в худшем случае. Анализ наихудшего конкретного случая затем выполняется путём установки всех значений компонентов к их пределам допуска, которые показали худшие результаты работы. Для того, чтобы уменьшить количество запусков моделирования, используют функции сравнения для обнаружения отличий худшего случая на выходе от номинального режима (оценивают минимальное, максимальное или пороговое различия).

Как и в методе Монте-Карло, функции сравнения обнаруживают и сравнивают результат отклика схемы с заданными параметрами. Есть пять функций, которые могут определить худший случай:

YMAX находит в каждом сигнале наибольшее расстояние в направлении *Y* от номинального прогона;

MAX находит максимальное значение каждого сигнала;

MIN находит минимальное значение каждого сигнала;

RISE_EDGE находит первый случай превышения сигналом порогового значения. Функция предполагает, что будет по крайней мере одна точка, которая лежит ниже указанного значения и эта точка будет следовать после превышения.

FALL_EDGE находит первое снижение сигнала ниже порогового значения. Функция предполагает, что будет по крайней мере одна точка, которая лежит выше указанного значения и эта точка будет следовать после нижней точки.

5.2. Анализ смещения частоты режекции в заграждающем фильтре

Создадим папку PR-9 и новый проект на основе проекта PR-5.

Выделим резисторы R1 – R4 и в свойствах установим их точность 5%.

Отредактируем профиль моделирования. Первичную развертку по частоте установим как и ранее в соответствии с рис. 3.17.

Вы можете определить модели почти для всех примитивных аналоговых компонентов схемы, таких как резисторы, конденсаторы, катушки индуктивности и полупроводниковые приборы. Для каждой модели PSpice использует номинальное, минимальное и максимальное вероятные значения, спецификаторы DEV/LOT; тип распределения вероятности (например, «равномерное» или «гауссово») игнорируется.

Критерий определения наихудших значений параметров для соответствующей модели определены в операторе WC как функция любой стандартной выходной переменной в заданном диапазоне развертки. Надо выбрать одну из этих пяти функций сортировки.

Вы можете определить худшее по наивысшему (HI) или самому низкому (LO) возможному значению параметров функция сопоставления относительно номинального значения.

Установим опцию Monte Carlo/Worst Case и выполняем установки, показанные на рис. 5.1. Установка DEV and LOT означает, что точности резисторов в устройстве и партии резисторов одинаковые.

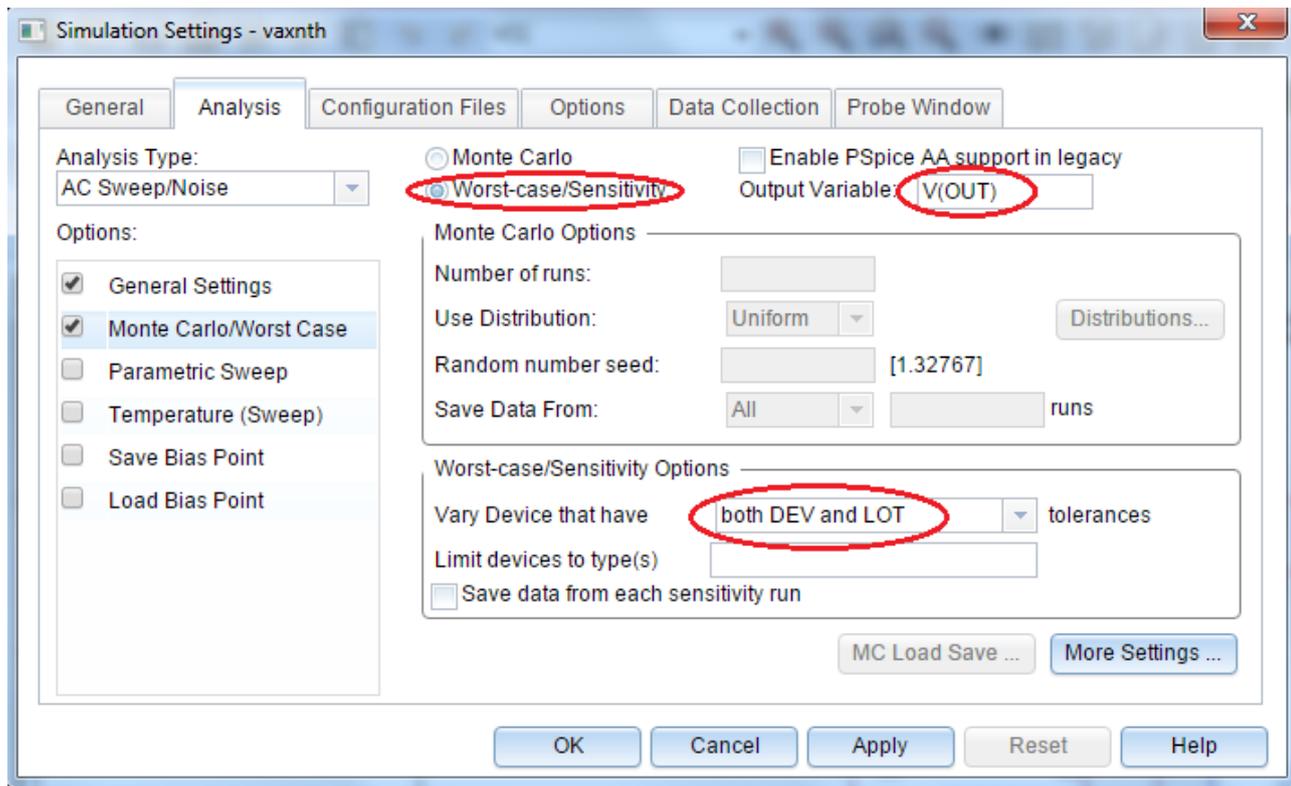


Рис. 5.1. Установки для поиска отклонения по частоте

Далее выбираем дополнительные установка (More Settings) и устанавливаем поиск минимального значения в направлении снижения (рис. 5.2): В окне Find можно выбрать одну из пяти функций, определяющих худший случай. Поиск худшего случая сначала будем вести при отклонении параметров в сторону уменьшения (Low).

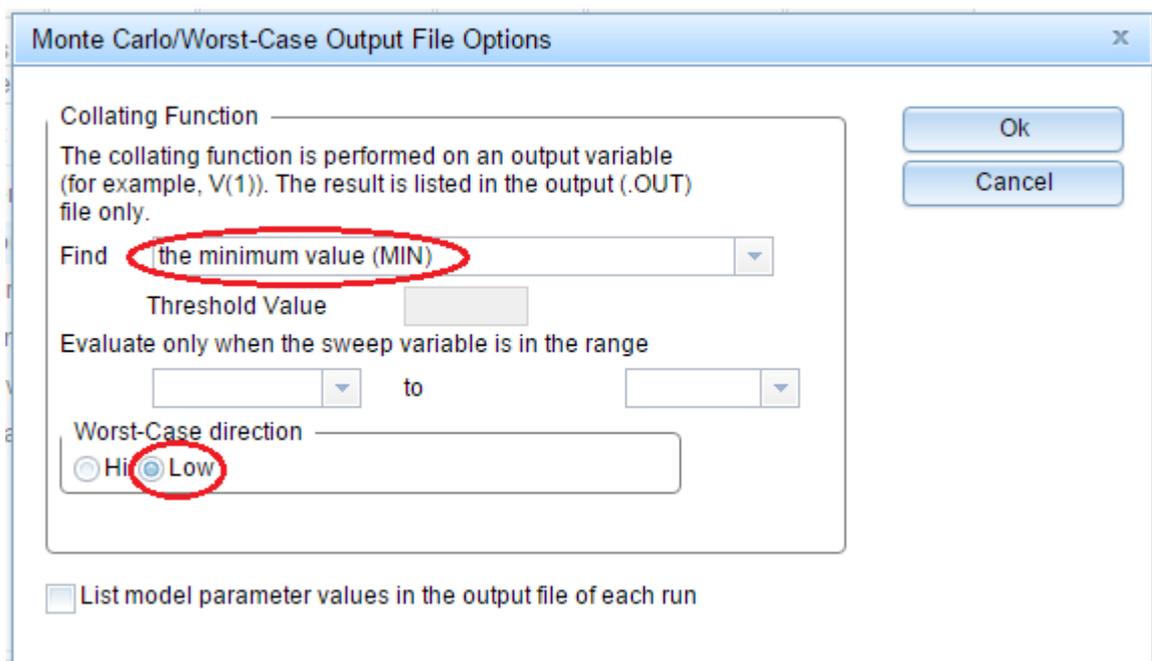


Рис. 5.2. Установка параметров поиска худшего случая

В настройках Options устанавливаем отображение выходного файла (рис. 5.3) и проверяем основные настройки аналогового моделирования (рис. 5.4).

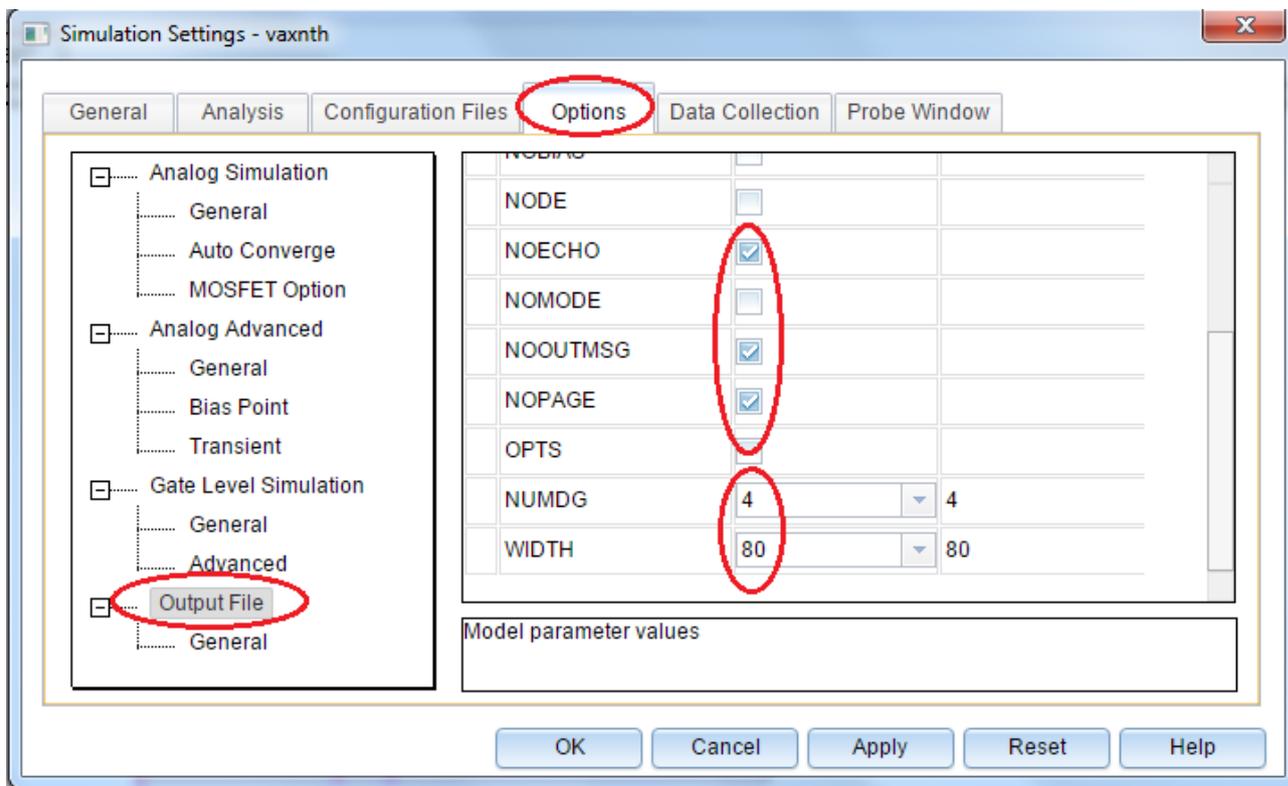


Рис. 5.3. Установка отображения выходного файла

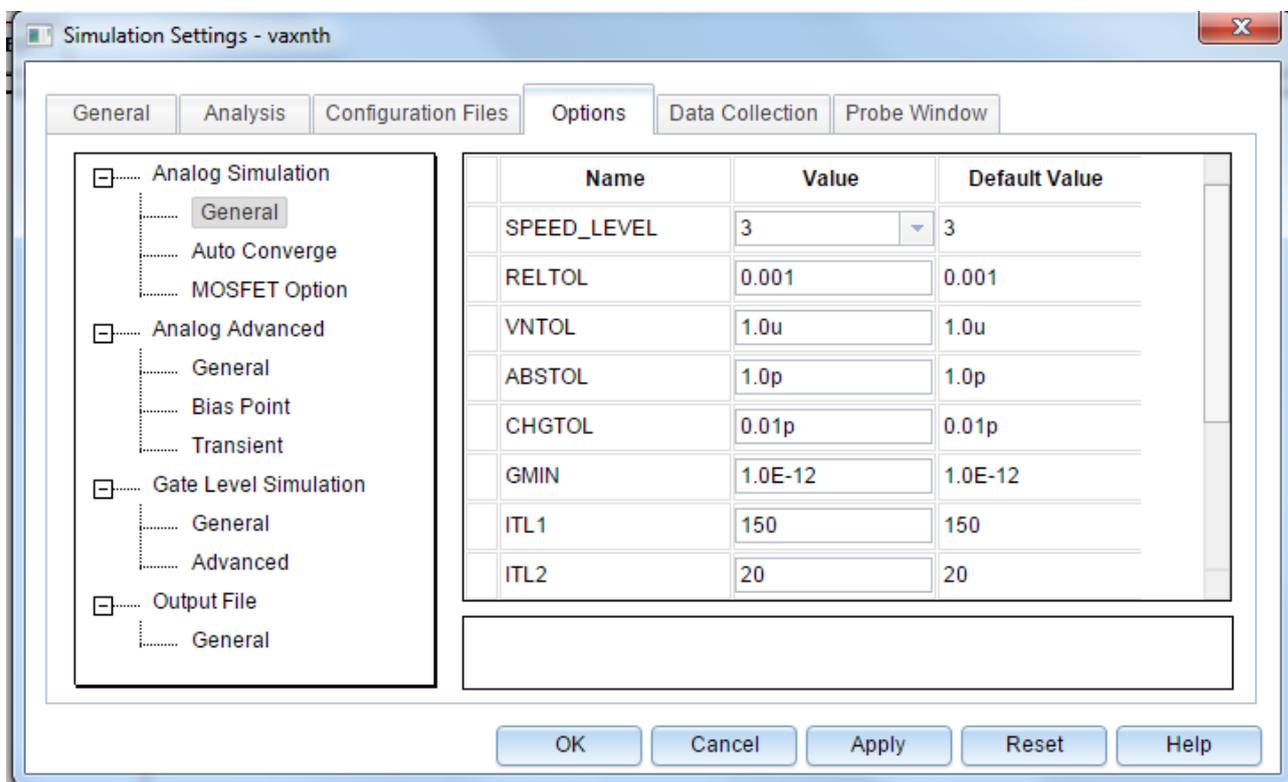


Рис. 5.4. Проверка настроек аналогового моделирования

После этого нажимаем RUN, получаем два доступных решения (рис. 5.5) и открываем графики АЧХ (Рис. 5.6).

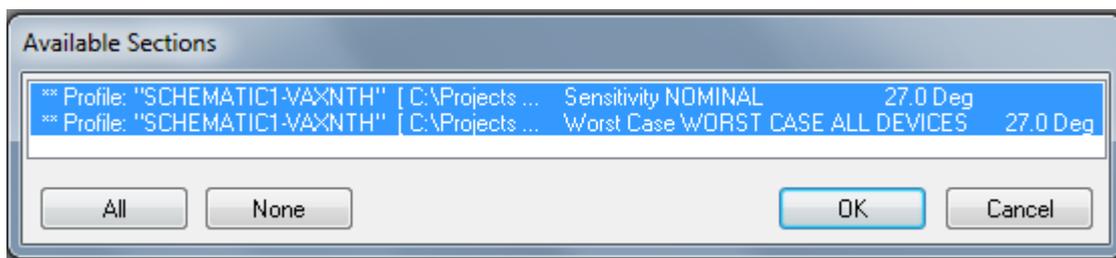


Рис. 5.5. Доступные решения поиска худшего случая.

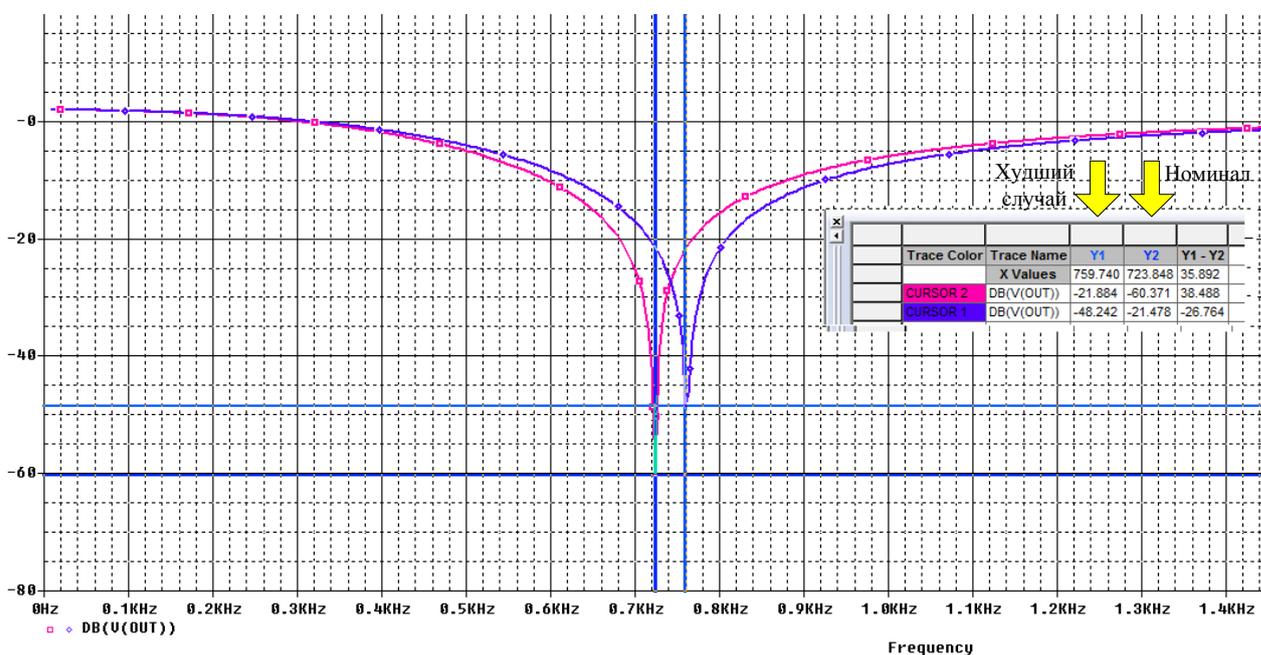


Рис. 5.6. Графики АЧХ заграждающего фильтра

Левый график с частотой режекции 723,848 Гц соответствует номинальным параметрам фильтра без разброса значений резисторов.

Правый график с частотой режекции 759,740 Гц соответствует худшему случаю. Отклонение частоты режекции от номинальной составляет 35,89 Гц.

Дополнительно введём разброс параметров конденсаторов 5% и повторим моделирование. Полученные графики номинального и худшего случая показаны на рис. 5.7.

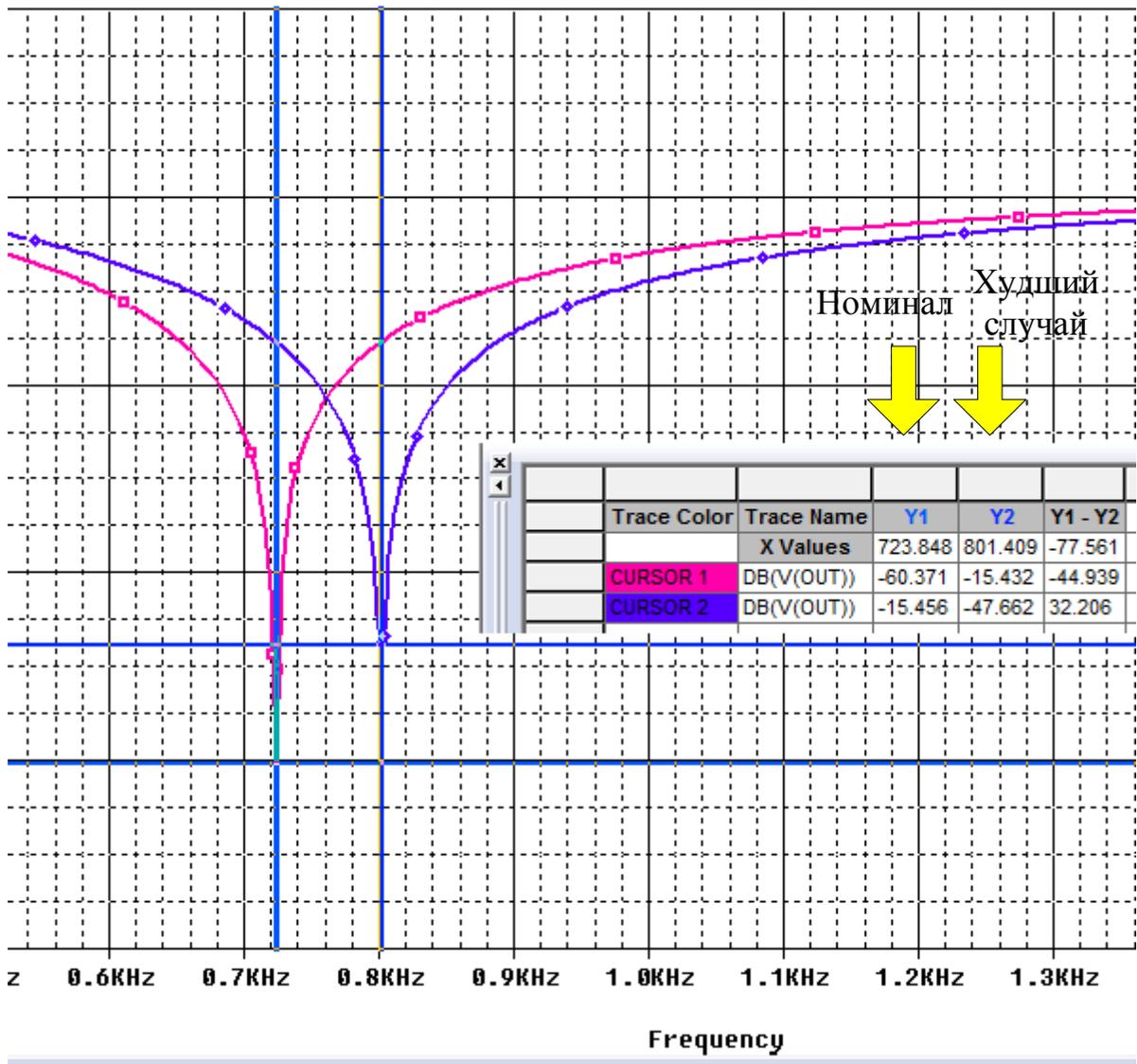


Рис. 5.7. Графики АЧХ для точности резисторов и конденсаторов 5% и отклонении в сторону уменьшения

Теперь частота режекции для худшего случая увеличилась до 801,409 Гц. Отклонение от номинальной частоты составляет 74,56 Гц.

Рекомендации как улучшить устройство содержатся в выходном файле Output File (рис. 5.8).

Результаты анализа чувствительности печатаются в выходном файле (.OUT). Для каждого измененного параметра показано процентное изменение в функции сортировки и значения переменной развертки, при которой функции сортировки были измерены. Параметры указаны для наихудшего запуска. Например, функция сортировки была наихудшей, когда первый параметр, напечатанный в списке был изменен.

Когда вы используете функцию сортировки YMAX, выходной файл также перечисляет среднее значение отклонения и среднеквадратическое отклонение «сигма». Они основаны на изменениях в выходной переменной

от номинального значения в каждой точке развертки для каждой оценки чувствительности.

5.3. Оптимизация схемы по результатам анализа худшего случая

Вы можете использовать анализ наихудшего случая для выполнения ручной оптимизации с PSpice. Условие монотонности обычно выполняется, если параметры имеют очень ограниченный диапазон. Выполнение анализа наихудшего случая с жесткими допусками на параметры выдают в выходном файле чувствительность и наихудшие результаты. Вы можете использовать их для определения того, как должны быть изменены параметры для достижения желаемого ответа. Затем вы можете сделать корректировки номинальных значений в файле схемы и выполнить моделирование худшего случая для нового набора градиентов.

```

RUN
MINIMUM VALUE
R_R4 R_R4 R 1.5978E-03 at F = 723.85
( 667.55% change per 1% change in Model Parameter)
C_C2 C_C2 C 1.5968E-03 at F = 723.85
( 666.54% change per 1% change in Model Parameter)
C_C1 C_C1 C 1.5963E-03 at F = 723.85
( 665.98% change per 1% change in Model Parameter)
R_R3 R_R3 R 1.5956E-03 at F = 723.85
( 665.33% change per 1% change in Model Parameter)
C_C3 C_C3 C 1.1846E-03 at F = 723.85
( 236.38% change per 1% change in Model Parameter)
C_C4 C_C4 C 1.1846E-03 at F = 723.85
( 236.38% change per 1% change in Model Parameter)
R_R1 R_R1 R 1.1844E-03 at F = 723.85
( 236.1 % change per 1% change in Model Parameter)
R_R2 R_R2 R 1.1844E-03 at F = 723.85
( 236.1 % change per 1% change in Model Parameter)
E
**** 03/13/18 11:11:45 ***** PSpice Lite (March 2016) ***** ID# 10813 ****
** Profile: "SCHEMATIC1-VAXNTH" [ C:\Projects 17.2\PR-9\pr-9-pspicefiles\schematic1\vaxnth.sim ]

**** UPDATED MODEL PARAMETERS TEMPERATURE = 27.000 DEG C
WORST CASE ALL DEVICES
*****
Device MODEL PARAMETER NEW VALUE (Decreased)
C_C1 C_C1 C .95 (Decreased)
C_C2 C_C2 C .95 (Decreased)
C_C3 C_C3 C .95 (Decreased)
C_C4 C_C4 C .95 (Decreased)
R_R1 R_R1 R .95 (Decreased)
R_R2 R_R2 R .95 (Decreased)
R_R3 R_R3 R .95 (Decreased)
R_R4 R_R4 R .95 (Decreased)
E
**** 03/13/18 11:11:45 ***** PSpice Lite (March 2016) ***** ID# 10813 ****
** Profile: "SCHEMATIC1-VAXNTH" [ C:\Projects 17.2\PR-9\pr-9-pspicefiles\schematic1\vaxnth.sim ]

**** SORTED DEVIATIONS OF V(OUT) TEMPERATURE = 27.000 DEG C
WORST CASE SUMMARY
*****

```

Рис. 5.8. Выходной файл

В выходном файле рекомендовано уменьшить номиналы резисторов и конденсаторов на 5%. Выполним это и повторим моделирование. Теперь в худшем случае отклонение частоты режекции от номинальной составляет 71,75 Гц (рис. 5.8).

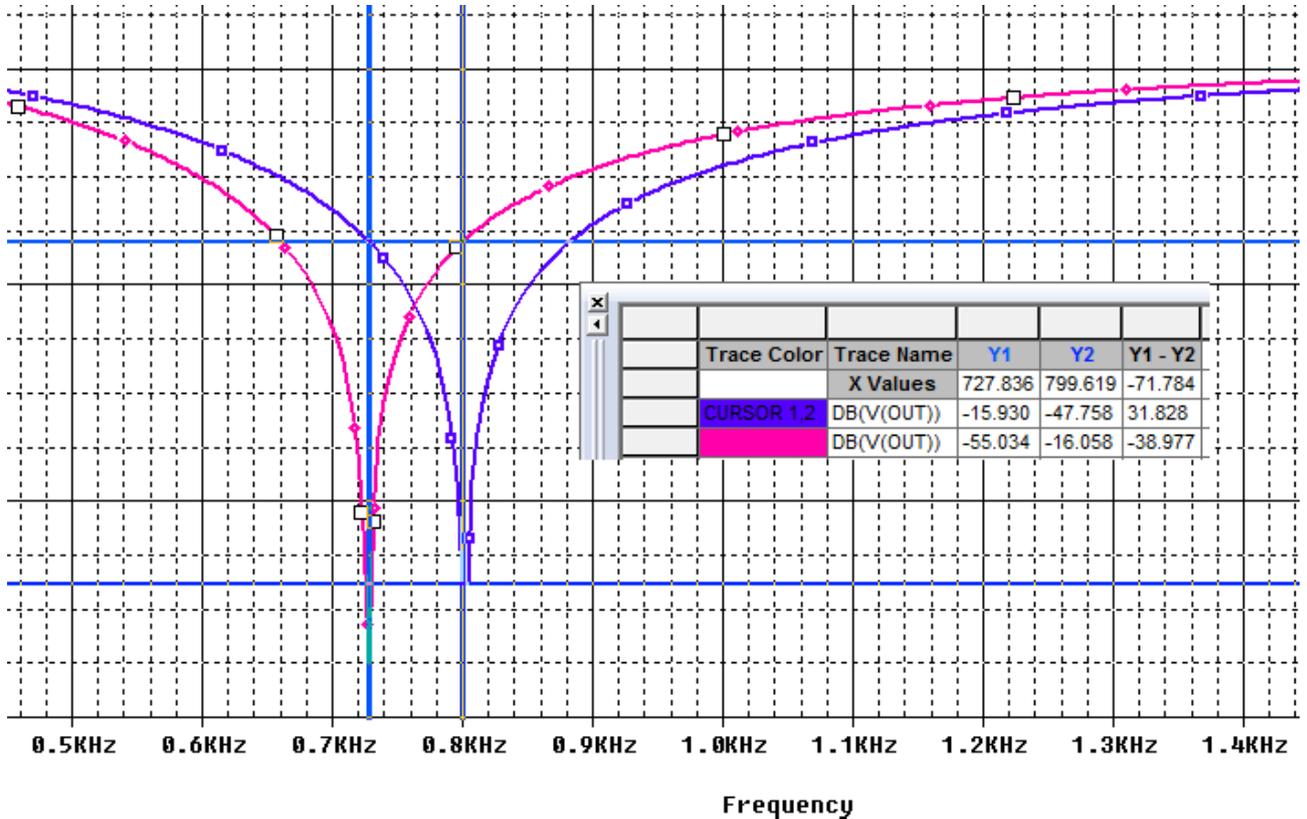


Рис. 5.8. Графики АЧХ для измененных параметров резисторов и конденсаторов

Для номинальных значений резисторов и конденсаторов выполним поиск худшего случая, если отклонения параметров происходят в сторону увеличения (рис. 5.9). Частота режекции уменьшится до 656,052 Гц, а отклонение от номинала составит 67,796 Гц.

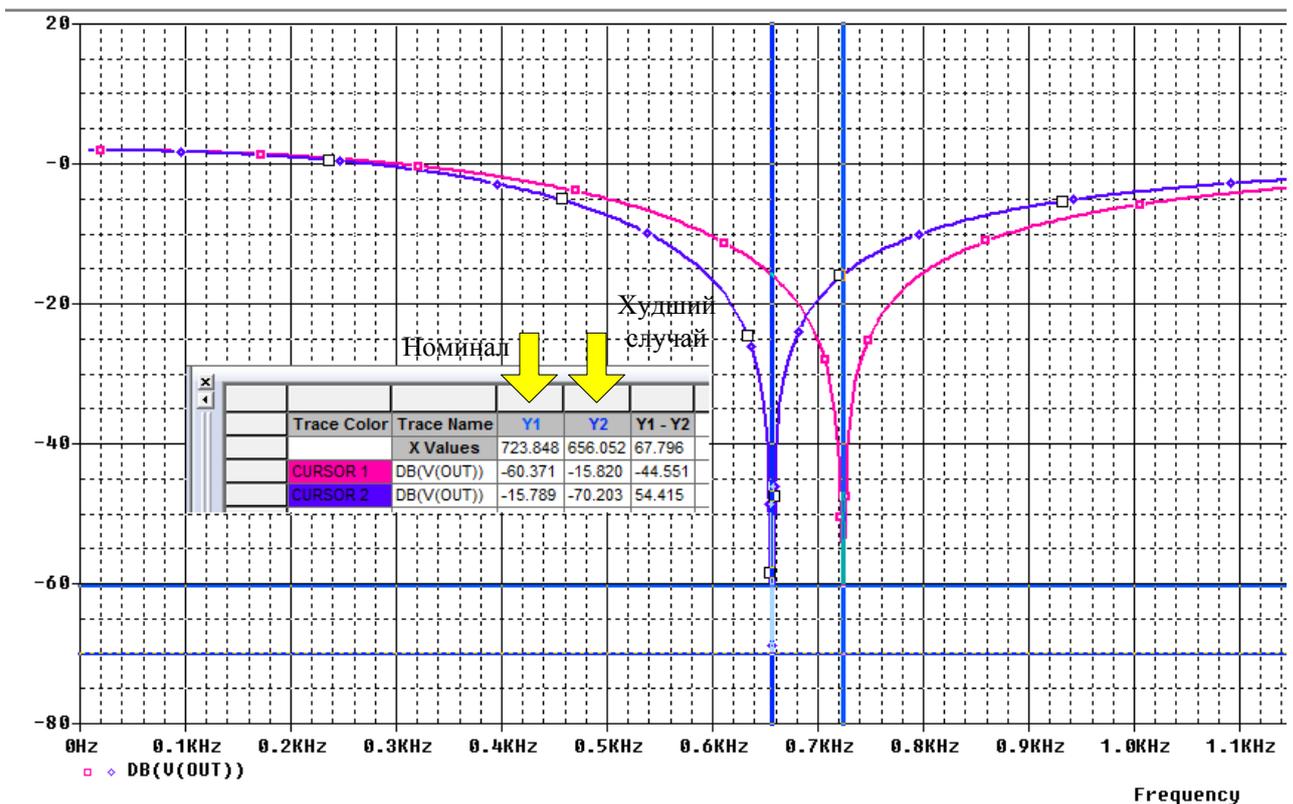


Рис. 5.9. Графики АЧХ для точности резисторов и конденсаторов 5% и отклонении в сторону увеличения

Анализ Монте-Карло (.MC) может быть полезен, когда нельзя использовать анализ наихудшего случая. Анализ Монте-Карло часто можно использовать для проверки или улучшения результатов анализа наихудшего случая.

Анализ Монте-Карло случайным образом выбирает возможные значения параметров, которые можно рассматривать как случайный выбор точек в пространстве параметров. В худшем случае предполагается, что наихудшие результаты где-то на поверхности этого пространства, и параметры (к которым чувствителен выход) находятся в одном из своих экстремальных значений.

Если это не так, то анализ Монте-Карло может найти точку, в которой результаты хуже. Чтобы попробовать это, замените .WC в файле профиля моделирования схемы на .MC <#runs>, где <#runs> - это количество симуляций, которые вы хотите выполнять. Больше трасс обеспечивает более высокое доверие к результатам.

5.4. Контрольные вопросы

1. Для чего применяют анализ наихудшего случая и как его выполняют ?
2. По каким функциям определяют наихудший случай в OrCAD ?

3. Какие установки в профиле моделирования надо сделать для анализа худшего случая ?
4. Какие оценки худшего случая можно получить для заграждающего фильтра при отклонении параметров компонентов ?
5. Как выполнить оптимизацию схемы по результатам анализа худшего случая ?

Практическое занятие №6

Моделирование цифровых устройств.

6.1. Цифровое моделирование

PSpice использует один и тот же механизм моделирования как для аналоговых, так и для цифровых компонентов. Цифровая транзисторно-транзисторная логика (ТТЛ) и комплементарные полевые транзисторы (CMOS) моделируются как подсхемы и включают в себя общие цифровые функции, такие как вентили, регистры, триггеры и инверторы. В каждой подсхеме цифровой примитив составляет функцию вентилей (AND, OR и т. д.) и определяет спецификацию времени и интерфейса для функции вентилей. Другие цифровые устройства включают в себя линии задержки, аналого-цифровые преобразователи АЦП (ADC или AtoD), цифроаналоговые преобразователи ЦАП (DAC или DtoA), память (RAM, ROM) и программируемые логические массивы.

6.2. Модели цифровых устройств

Библиотеки стандартных компонентов содержат полный набор цифровых компонентов, выполненных по разным технологиям. Каждый цифровой компонент описан электрически с помощью модели цифрового устройства в виде подсхемы и определение хранится в библиотеке моделей. Имя соответствующей подсхемы определяется значением атрибута MODEL компонента. Другие атрибуты - MNTYMXDLY, IO_LEVEL и набор PSPICEDEFAULTNET - передается в подсхему, таким образом обеспечивая высокоуровневое средство для воздействия на поведение цифровой модели устройства.

Как правило, цифровые компоненты, представленные в библиотеках, являются достаточными для большинства схем. Однако, если ваш дизайн требует цифровые компоненты, которые еще не были представлены в PSpice и библиотеках моделей, вам необходимо самостоятельно определить модели цифровых устройств, соответствующих новым цифровым компонентам.

Полная цифровая модель устройства имеет три основные характеристики:

- **Функциональное поведение:** описывается уровнем вентилей и поведением цифровых примитивов, содержащихся в подсхеме.

■ Поведение ввода-вывода: описывается моделью ввода-вывода, интерфейсом и источниками питания, связанными с логическими устройствами.

■ Временное поведение: описывается одной или несколькими моделями времени с примитивными задержками передачи от выводов к выводам (pin-to-pin) или примитивной проверкой ограничений.

6.2.1. Функциональное поведение

Функциональное поведение модели цифрового устройства определяется одним или несколькими взаимосвязанными цифровыми примитивами. Как правило, логическая диаграмма цифрового устройства может быть реализована непосредственно с использованием примитивов, предоставляемых в PSpice. В приведенной ниже таблице приведен краткий обзор цифровых примитивов.

Таблица 6-1

Сводка цифровых примитивов

Тип	Описание	Тип	Описание
BUF	Буфер	<i>Двухнаправленные шлюзы передачи</i>	
INV	Инвертор	NBTG	N-канальный шлюз передачи
AND	И	PBTG	P-канальный шлюз передачи
NAND	И-НЕ	<i>Триггеры и защелки</i>	
OR	ИЛИ	JKFF	J-K-триггер, срабатывание с отрицательным фронтом
NOR	ИЛИ-НЕ	DFD	D-триггер, срабатывание положительным фронтом
XOR	Исключающее ИЛИ	SRFF	RS-триггер
NXOR	Исключающее ИЛИ-НЕ	DLTCH	D-триггер
BUFA	Буферный массив	PULLUP	Подтягивающая резисторная матрица
INVA	Инверторный массив	PULLDN	Стягивающая резисторная матрица
ANDA	Массив И	<i>Линии задержки</i>	
NANDA	Массив И-НЕ	DLYLINE	Линия задержки
ORA	Массив ИЛИ	<i>Программируемые логические массивы</i>	
NORA	Массив ИЛИ-НЕ	PLAND	Массив И
XORA	Массив исключающего ИЛИ	PLOR	Массив ИЛИ
NXORA	Массив исключающего ИЛИ-НЕ	PLXOR	Массив Исключающее ИЛИ
AO	Составной элемент И-ИЛИ	PLNAND	Массив И-НЕ
OA	Составной	PLNOR	Массив ИЛИ-НЕ

	элемент ИЛИ-И		
AOI	Составной элемент И-(ИЛИ-НЕ)	PLNXOR	Массив исключающего ИЛИ-НЕ
Примечание: вышеперечисленные элементы с добавлением цифры 3 (AND3, OR3A и т.п.) имеют третье состояние с большим импедансом.		PLANDC	И массив, истина и дополнение

Таблица 16.1 (Продолжение)

Тип	Описание	Тип	Описание
<i>Память</i>		<i>Многобитовые преобразователи аналого- цифровые (ЦАП) и цифроаналоговые (АЦП)</i>	
ROM	ПЗУ	ADC	Многобитовый АЦП
RAM	ОЗУ	DAC	Многобитовый ЦАП
<i>Поведенческие модели</i>			
LOGICEXP	Логическое выражение	PINDLY	Задержка от пина к пину
CONSTRAINT	Проверка ограничений		

Формат цифровых примитивов аналогичен формату аналоговых устройств. Одно отличие состоит в том, что большинство цифровых примитивов требуют двух моделей вместо одной:

- Модель времени, которая определяет задержки распространения и временные ограничения, такие как время установки и удержания.
- Модель ввода-вывода, которая определяет информацию, относящуюся к входным / выходным характеристикам устройства.

Причина наличия двух моделей заключается в том, что, хотя информация о времени специфическая для устройства, характеристики ввода/вывода специфичны для целой группы логических устройств. Таким образом, многие устройства в одной и той же групповой ссылке имеют одну и ту же модель ввода-вывода, но каждое устройство имеет свою собственную модель синхронизации.

На рис. 6.1 представлен обзор определения цифрового устройства в терминах его примитивов и основных атрибутов модели. Это модель элемента И-НЕ, выполненного по технологии CMOS с двумя входами.

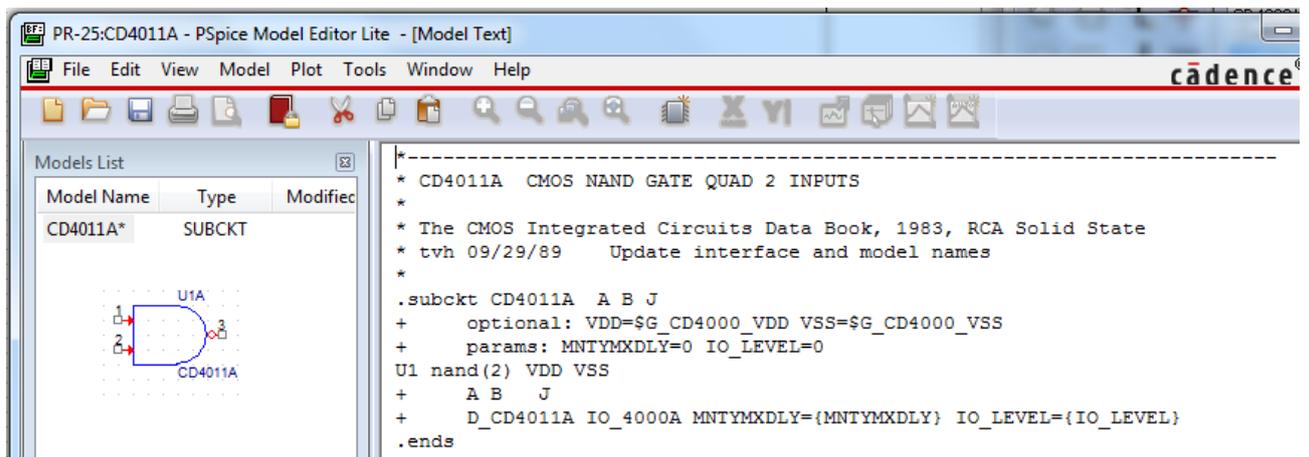


Рис. 6.1. Описание элемента И-НЕ

Первые пять строк - это комментарии, дающие описание компонента и ссылку на источники данных. В строке 6 приведено определение подсхемы CD4011B с тремя контактами A, B и J. Глобальный источник питания определяется $VDD=\$G_CD4000_VDD$ и $VSS=\$G_CD4000_VSS$. Необязательными параметрами являются $MNTYMXDLY=0$, который определяет минимальную, типичную и максимальную задержку и IO_LEVEL , который определяет одну из четырех аналого-цифровых (AtoD) или (DtoA) интерфейсных подсхем, если цифровое устройство подключается к аналоговому устройству.

Компонент U1 определяет примитив с двумя входами `nand(2)`, который имеет входные терминалы VDD, VSS, A, B и J. Знак «+» означает продолжение на следующей строке. Следующая строка (строка 11) объявляет две модели: временную модель D_CD4011B, которая определяет временные параметры, такие как задержка распространения, время установки и удержания, а также модель входа/вывода (I/O), IO_4000B, которая определяет характеристики нагрузки и переключения для вентиля. Подсхемы всегда заканчиваются выражением «.ends», как в строке 12.

Модель D_CD4011B может быть найдена в CD4000.lib и модели IO_4000B в dig_io.lib. Более подробную информацию можно найти в Справочное руководство по PSpice.

16.2. Цифровые цепи

Цифровые вентили по умолчанию не показывают свои контакты питания, потому что потребуется относительно большое количество проводов для соединения всех вентилях с питанием, что может привести к чрезмерному усложнению схемы. Вместо этого устройства TTL и CMOS подключены к глобальным узлам электропитания, которые не отображаются, и по умолчанию в них установлено значение 5 В. Различные источники питания могут быть установлены для диапазона напряжения питания от 3 до 18 В для устройств CMOS. Это не повлияет на ввод пороговых значений и выходные драйверы для CMOS-устройств, но задержки распространения будут все еще определяться для источника питания 5 В. Для точной

установки задержки распространения временные модели должны быть изменены.

Чтобы установить цифровые логические уровни на выводах интегральной схемы (IC), рекомендуется использовать цифровые символы HI и LO в меню Place> Power>(выбрать библиотеку Source.olb) и использовать цифровые подтягивающие (pullup) или стягивающие (pulldown) резисторы из библиотеки dig_misc, чтобы связать контакт с высоким или низким уровнем через резистор.

Символы No Connect из меню Place можно использовать для идентификации несвязанных выводов. На рисунке 6.2 показаны соответствующие символы и компоненты Capture.

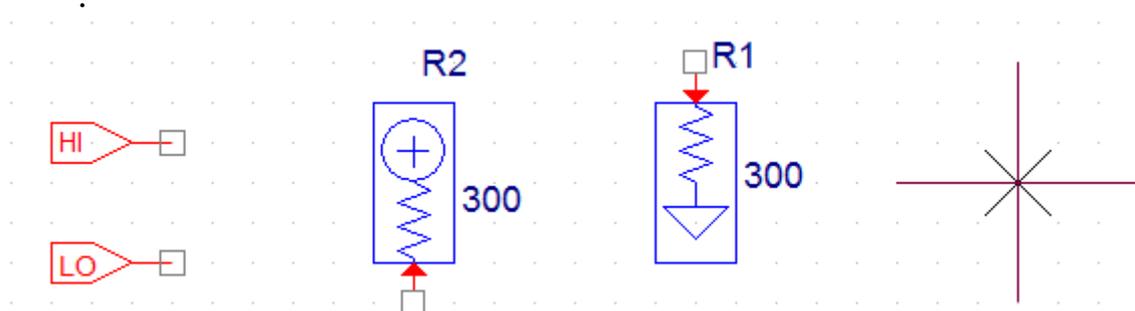


Рис. 16.2. Цифровые символы: HI, LO, pullup, pulldown, No Connect

6.2.1. Моделирование цифрового счетчика

Создадим новый проект pr-25 для моделирования цифрового счетчика. На рисунке 16.3 цифровой сигнал синхронизации подается ко входу 8-битного двоичного счетчик (U1A и U1B). Чтобы включить счетчик, ввод CLR привязан к минимуму, используя цифровой символ LO.

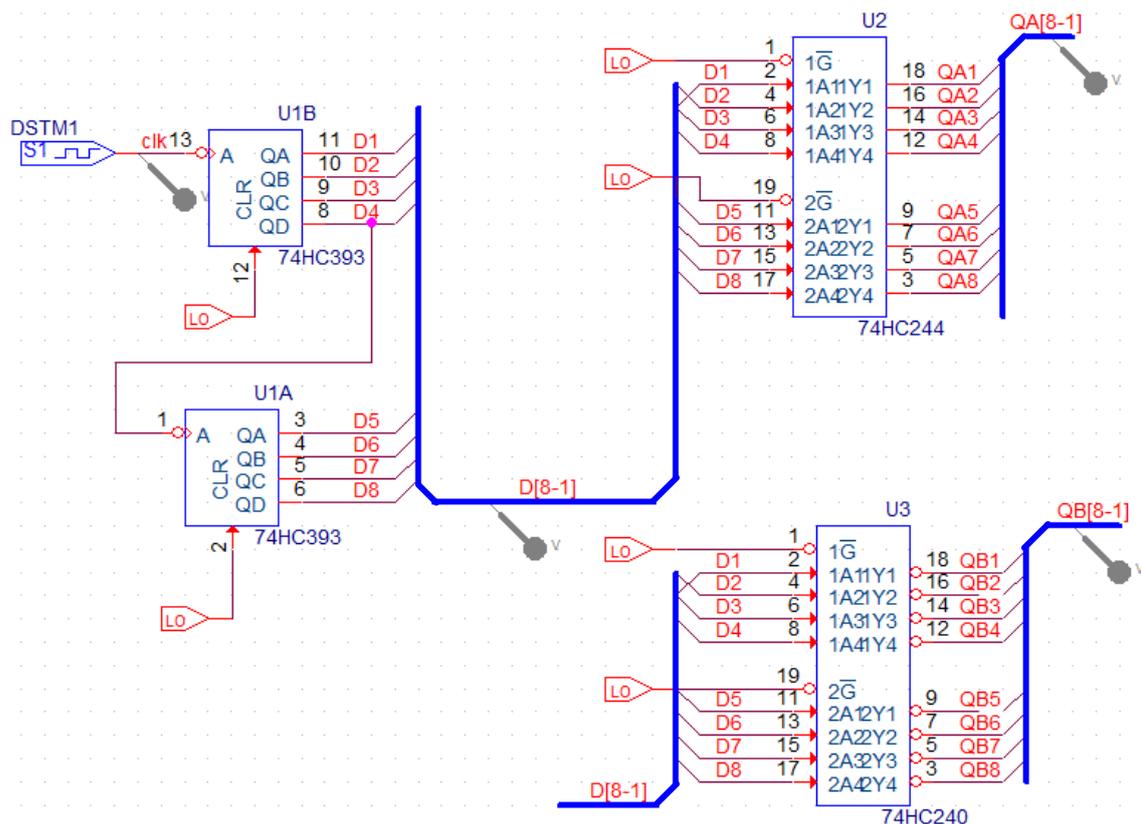


Рис. 6.3. Схема модели цифрового счетчика

Микросхемы соединены 8-разрядными шинами. Чтобы нарисовать шину, выберите Place>Bus или нажмите «В».

Чтобы нарисовать угловую шину, удерживайте Shift и нажмите левую кнопку мыши, чтобы определить угол, а затем нарисуйте шину.

Каждый выход счетчика подключается к 8-разрядной шине, используя точки входа в шину через Place> Bus Entry, выбрав значок или нажав E на клавиатуре.

Примечание:

Начиная с версии 6.3, соединительные контакты могут автоматически наноситься на шину. Нарисуйте шину, а затем выберите Place> Auto Wire > Connect to Bus. Нажмите на соединительный контакт и затем щелкните по шине (вам будет предложено ввести имя сети). Вход в точку шины и провод будут нарисованы автоматически.

Каждый провод, подключенный к точке входа шины, обозначен D1, D2 и т.д., а сама шина имеет сетевое имя D[8-1], порядок которого, определяется msb-lsb (старший значащий бит – младший значащий бит). Шина на ввод данных в U3 также называется D[8-1] и поэтому будет подключена как 8-битная шина. Шина также может быть обозначена как D [7-0] или D[7..0], согласно вашему предпочтению, если крайний правый бит вы обозначаете нулевым. Только сигналы одного типа могут быть сгруппированы вместе на шине, смешанные шины не могут быть определены в Capture. Однако в Probe сигналы различных типов могут собираться вместе и отображаться в виде сигнала шины.

Маркеры могут быть размещены как на шинах, так и на проводах.

В тактовом генераторе DSTM1 установим период 2 мкс, время включенного состояния 1 мкс, задержка 10 нс (рис. 6.4).

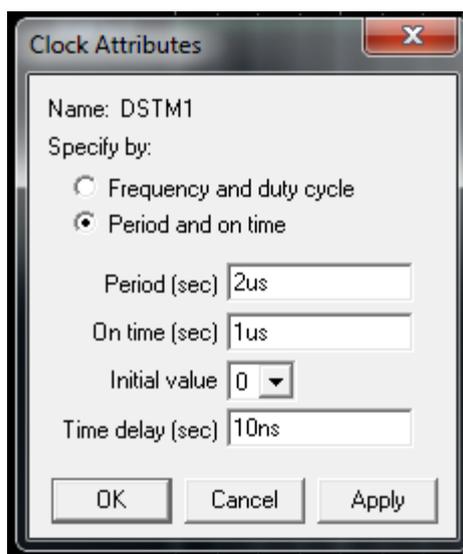


Рис. 6.4. Установка тактового генератора

6.2.2. Профиль цифрового моделирования

Сначала установим режим Transient с временем моделирования 16 мкс. Затем на вкладке Options выбираем Gate Level Simulation>General и устанавливаем типичную синхронизацию (рис. 6.5).

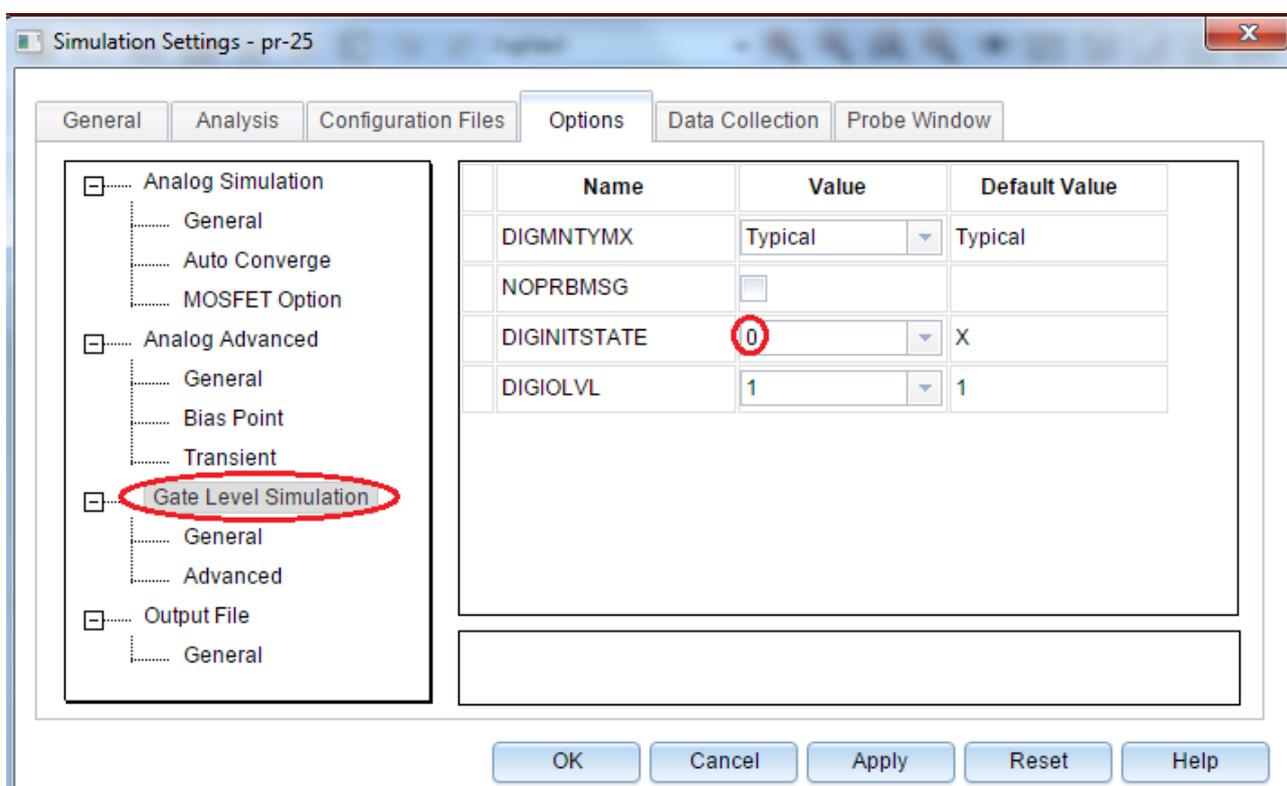


Рис. 16.5. Установка профиля цифрового моделирования

Параметр «Режим синхронизации» позволяет вам выбрать минимальный, максимальные или наихудшие временные характеристики для цифровых устройств. Есть четыре интерфейса ввода/вывода AtoD и

DtoA, которые вы можете выбрать, и, что наиболее важно, вы можете инициализировать все триггеры либо на X (бесконечный импеданс), либо в состояние логического 0 или 1, установив параметр DIGINITSTATE.

6.2.3. Отображение цифровых сигналов

Цифровые сигналы отображаются как с высоким, так и с низким уровнем логики. Однако для областей двусмысленности, когда время перехода точно не известно, возрастающие и падающие переходы будут показаны желтым цветом. Неизвестные состояния отображаются как две красные линии и высокоимпедансные состояния будут показаны как три синие линии.

Примечание:

Одна из распространенных ошибок заключается в неправильной инициализации регистров (триггеров) в цепи, так что в результате появляются две красные линии, представляющие неизвестное состояние. Убедись, что вы инициализируете триггеры, как показано на рис. 6.5.

Вы можете группировать цифровые сигналы вместе и отображать их как шину в окне Probe. Имя шины можно создать в поле Trace Expression окна Add Trace. До 32 цифровых сигналов могут быть указаны в перечне msb to lsb, с основанием шестнадцатеричного (по умолчанию), десятичного, восьмеричного или двоичного представления.

Для примера:

{D4 D3 D2 D1}; myBus; d отобразит D4 - D1 (msb-lsb), обозначенные как myBus с десятичными числами;

{WR RD CE}; control; b будет отображать управление шиной в двоичном формате.

На рисунке 6.6 после моделирования показаны сигналы на разных шинах счетчика в разных исчислениях. Вывод сделан последовательным выполнением команды Trace>Add Ttrace для следующих выражений Trace Expression:

{D[8:1]} {QA[8:1]} {QB[8:1]} {QA[8:1]};myBus; b {QB[8:1]}; myBus;
d
{QA[8:1]}; myBus; h QA[8:1]

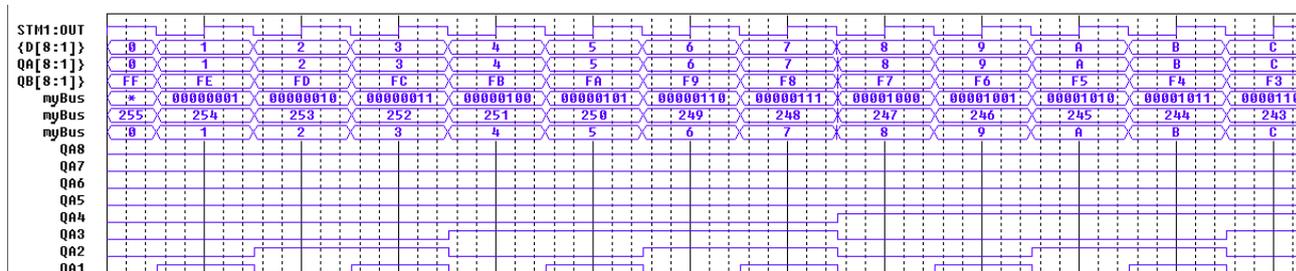


Рис. 6.6. Вывод данных в разных форматах

Примечание: в строке Trace Expression после записи очередного выражения не следует ставить какой-либо знак.

Данные на рис. 6.6 показывают увеличение счета на шинах D[8:1], QA[8:1], так как исходное состояние триггеров было DIGINITSTATE=0.

Установим в опциях профиля моделирования (рис. 6.5) DIGINITSTATE=1. В этом случае результаты моделирования на шинах D[8:1], QA[8:1] показывают счет в сторону уменьшения (рис. 6.7)

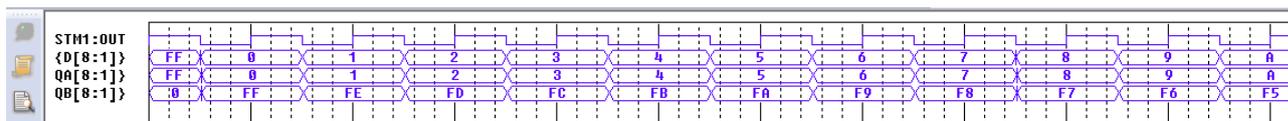


Рис. 6.7. Вывод данных для счета с уменьшением

Примитив MNTYMXDLY является необязательным параметром устройства, который указывает, следует ли использовать минимальные, типичные, максимальные или наихудшие цифровые временные значения задержки из модель устройства.

В свойствах компонента 74HC393 установлено PARAMS: MNTYMXDLY=0 (рис. 6.8). Это означает, что он принимает текущее значение параметра DIGMNTYMX. DIGMNTYMX в нашем профиле моделирования установлен как «типичный».

```
* 74HC393 COUNTER BINARY 4-BIT, ASYNCHRONOUS
*
* HIGH-SPEED CMOS LOGIC DATA BOOK, AUG 1989, TI
* JLS 6-30-92 REMODELED USING LOGICEXP, PINDLY, AND CONSTRAINT
DEVICES
*
.SUBCKT 74HC393 A_I CLR_I QA_O QB_O QC_O QD_O
+ OPTIONAL: DPWR=$G_DPWR DGND=$G_DGND
+ PARAMS: MNTYMXDLY=0 IO_LEVEL=0
```

Рис. 6.8. Фрагмент свойств счетчика 74HC393

Подробнее с основными и расширенными опциями цифрового моделирования можно познакомиться в PSpice 17.2 User Guide.

6.3. Контрольные вопросы

1. Какие основные цифровые устройства можно моделировать в PSpice?
2. Какие основные характеристики имеют цифровые модели ?
3. Какие цифровые примитивы использует PSpice ?
4. Какие две модели должны иметь цифровые примитивы ?
5. Поясните описание элемента И – НЕ.
6. Какие типовые цифровые символы используют в цифровых цепях ?
7. Как выполняют соединение цифровых микросхем многозарядными шинами ?
8. Как обозначают цифровые шиги ?
9. Как устанавливают профиль цифрового моделирования ?
10. Как можно отображать цифровые сигналы в окне Probe ?
11. Как записывают выражения Trace Expression для отображения цифровых сигналов в разных исчислениях и в разных форматах ?

12. Как можно изменять параметры цифрового компонента в списке его свойств ?

Практические занятия №7. Смешанное моделирование

PSpice использует один и тот же механизм моделирования для аналоговых и цифровых схем. Результаты моделирования в окне Probe распределены на одной и той же оси времени, но разделяются на отдельные окна аналоговых и цифровых графиков. Аналоговые и цифровые компоненты в цепи соединены вместе в узлах. В PSpice существует три типа соединительных узлов:

- аналоговый, где все подключенные части являются аналоговыми;
- цифровой, где все подключенные части цифровые;
- и интерфейс, где есть смесь аналоговых и цифровых частей.

Узлы интерфейса автоматически разделяются на один аналоговый узел и один или больше цифровых узлов, вставляя аналоговые и цифровые интерфейсные подсхемы, которые являются аналого-цифровыми (ADC, AtoD) или цифро-аналоговыми (DAC, DtoA) интерфейсами.

Эти подсхемы также будут иметь собственный источник питания. Поскольку этот процесс происходит автоматически и работает незаметно, нам обычно не приходится беспокоиться о интерфейсных подсхемах, хотя они доступны в виде графиков в окне Probe.

7.1. Исследование аналогового компаратора с цифровым выходом

На рис. 17.1 показана схема аналогового компаратора. Выходной транзистор с открытым коллектором подключен к цифровому затвору. Подтягивающий резистор подключен к цифровому источнику питания и выходное заземление компаратора подключено к цифровому заземлению. Установки источника сигнала V1 показаны на схеме. Цифровой генератор стимулов DSTM1 имеет период 2 мкс.

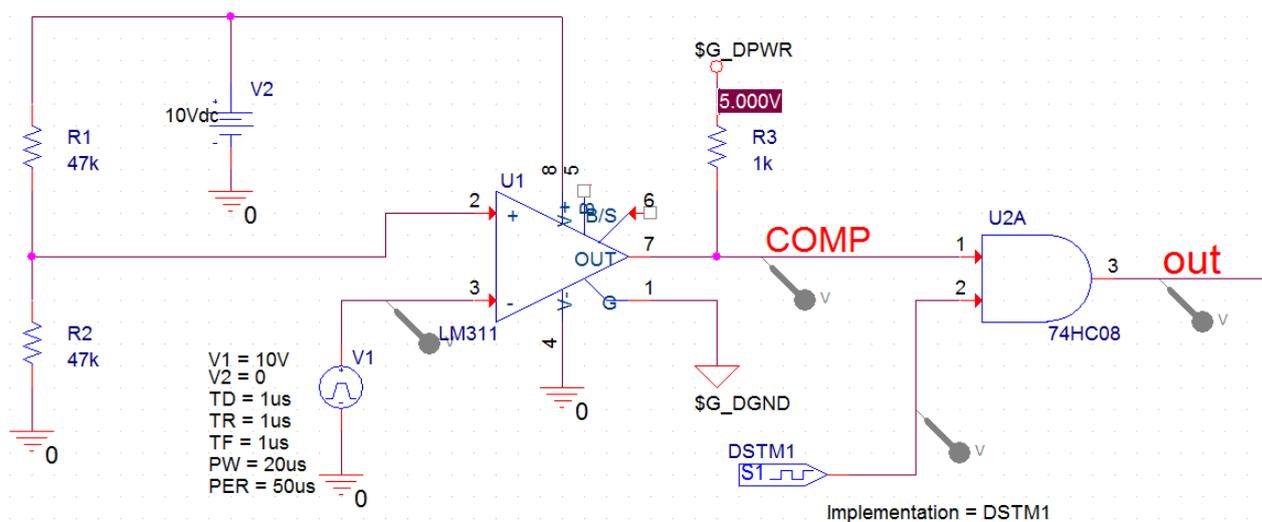


Рис. 7.1. Схема аналогового компаратора с цифровым выходом

Для смешанных аналоговых и цифровых схем выполняют те же процедуры для размещения деталей, создания профиля моделирования и моделирования.

Для упрощения цепей питания используют свойство PSPICEDEFAULTNET. Это свойство определяет сетевое имя, на которое подается питание или земля (невидимый) контакт.

Например, если контакты питания и заземления на цифровой части подключены к цифровым цепям \$ G_DPWR и \$ G_DGND соответственно, то свойства определяются следующим образом:

```
PSPICEDEFAULTNET = $ G_DPWR
```

```
PSPICEDEFAULTNET = $ G_DGND
```

Так для микросхемы 74HC08 в редакторе свойств модели (рис. 17.2) указаны обозначения цифровых цепей питания и земли. Описание определения подсхемы, которое начинается с:

```
.SUBCKT 7400 A B Y  
+ optional: DPWR=$G_DPWR DGND=$G_DGND  
+ params: MNTYMXDLY=0 IO_LEVEL=0.
```

Затем указываются соответствующие свойства компонента:

```
IMPLEMENTATION = 7400  
MNTYMXDLY = 0  
IO_LEVEL = 0  
PSPICETEMPLATE = X^@REFDES %A %B %Y %PWR %GND  
@MODEL PARAMS:IO_LEVEL=@IO_LEVEL  
MNTYMXDLY=@MNTYMXDLY
```

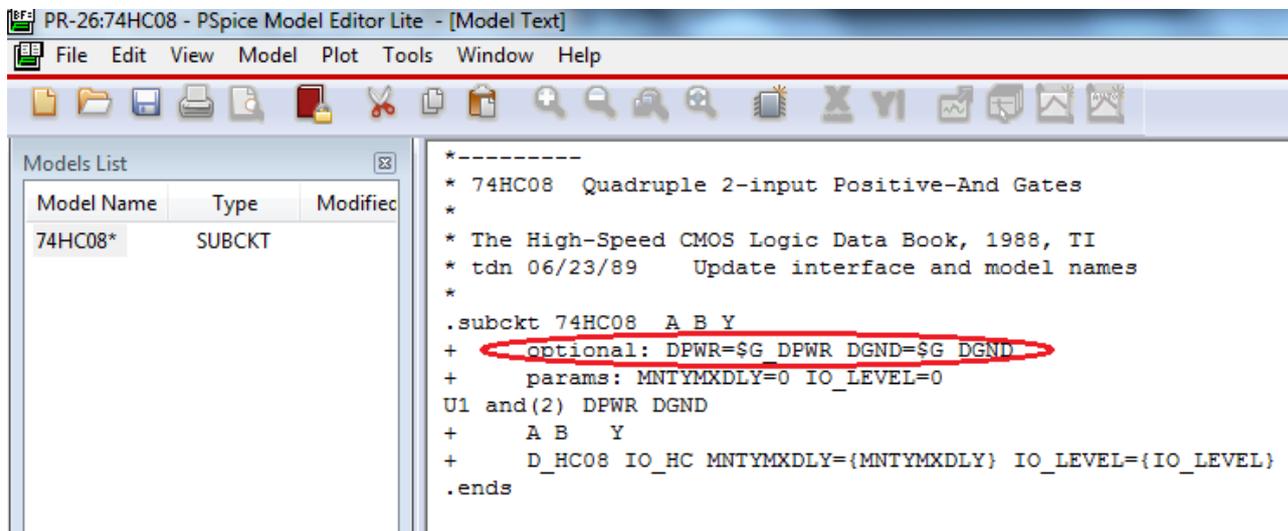


Рис. 7.2. Обозначения цифровых цепей питания и земли

После вызова подсхемы интерфейса PSpice A/D вставляет один или несколько интерфейсных блоков питания. Например, PSpice A/D вставил DIGIFPWR, который является источником питания подсхем, используемых всеми TTL-моделями в библиотеке моделей. DIGIFPWR создает глобальные узлы \$ G_DPWR и \$ G_DGND, которые используются по умолчанию для каждого компонента части TTL. Для проверки на рис. 7.1 показано измеренное напряжение в узле \$ G_DPWR.

Выполним моделирование, используя профиль Transient с длительностью 100 мкс и максимальным шагом 10 нс.

На рис. 7.3 показаны цифровые формы сигналов, изображаемые в верхней области Probe и аналоговые сигналы, изображенные в нижней области.

В схеме (рис. 7.1) напряжение на неинвертирующем входе компаратора составляет $\sim 5\text{В}$. Если $V1 > 5\text{В}$, компаратор имеет на выходе низкий уровень и на выходе элемента «И» (74НС08) тактовые импульсы отсутствуют.

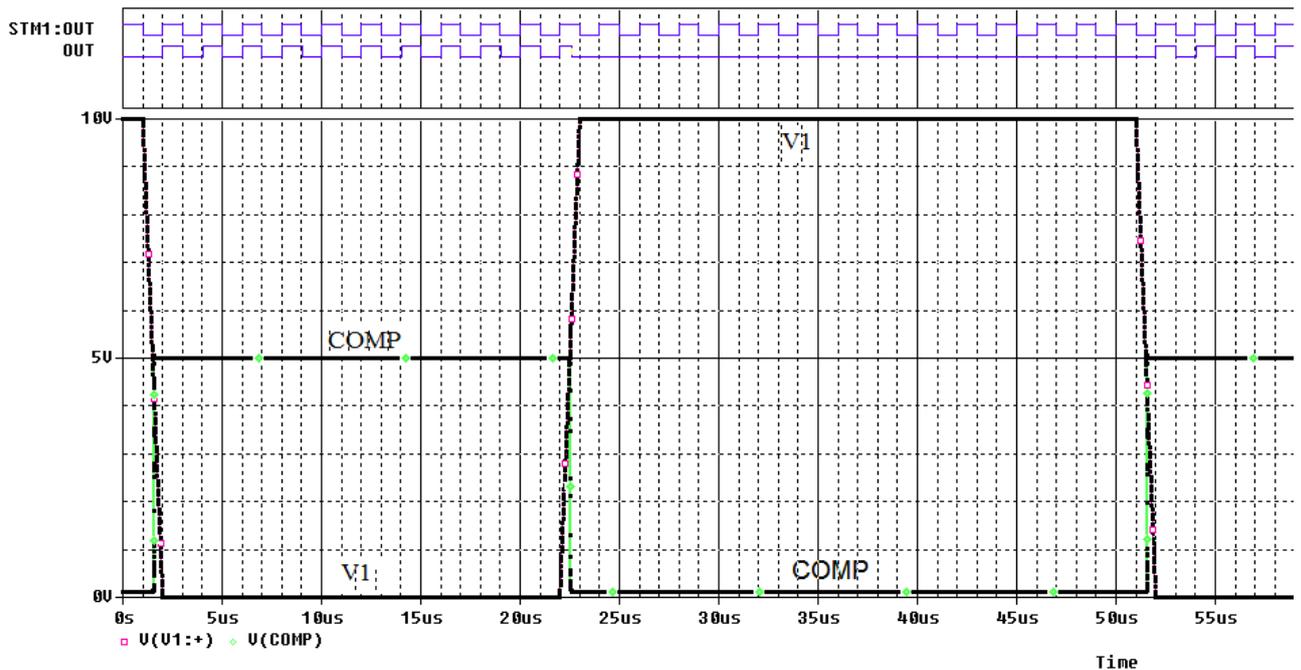


Рис. 7.3. Цифровые и аналоговые сигналы компаратора

7.2. Исследование цифро-аналогового преобразователя

На рисунке 7.4 показана функциональная схема цифро-аналогового преобразователя AD7224 (ЦАП).

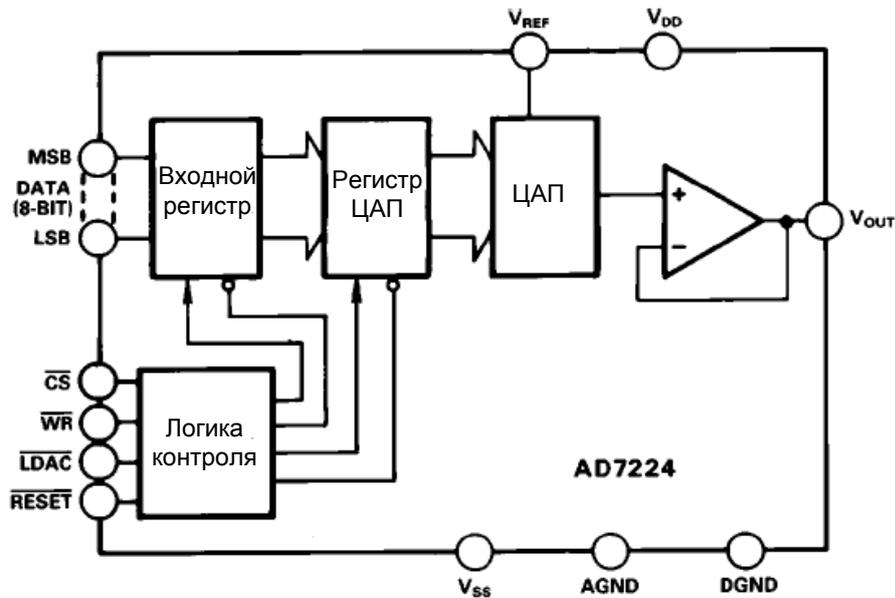


Рис. 7.4. Функциональная схема ЦАП AD7224

ЦАП AD7224 - это высокоточный 8-разрядный цифро-аналоговый преобразователь с выходным усилителем и двойным буфером интерфейсной логики на монолитном CMOS-чипе. Не требуется внешних подстроек для достижения полной заданной производительности компонента. Логика интерфейса с двойной буферизацией состоит из двух 8-битных регистров - входной регистр и регистр ЦАП. Только данные, содержащиеся в регистре ЦАП, определяют аналоговый выход преобразователя. Двойная буферизация позволяет одновременно обновлять систему, содержащую несколько AD7224. Оба регистра могут быть доступны под управлением трех внешних линий CS, WR и LDAC. Когда оба регистра доступны, линия RESET выполняет функцию установки нуля. Эта функция полезна для циклов калибровки системы. Все логические входы - это уровни совместимые с TTL и CMOS (5 В), а логика управления по скорости совместима с большинством 8-разрядных микропроцессоров.

Схема модели цифро-аналогового преобразователя показана на рис. 7.5.

На вход подано цифровое информационное слово 0111 1111. Из спецификации производителя напряжение определяется:

$$V_0 = V_{REF} \cdot \frac{127}{256} = 4,96 В$$

Циклы синхронизации ЦАП должны быть настроены в соответствии с технической спецификацией.

1. Настройте переходный анализ со временем моделирования 5 мс и максимальным шагом 10 нс.

2. Перейдите на вкладку Options и выберите категорию Gate Level Simulation> General. Установите начальное значение цифровых схем нулевым: DIGINITSTATE = 0 (рис. 7.6). Закройте профиль моделирования.

3. Поместите маркеры напряжения на цепях LDAC, WR, CS и OUT.
 4. Выполните моделирование.
- Результаты показаны на рис. 7.7.

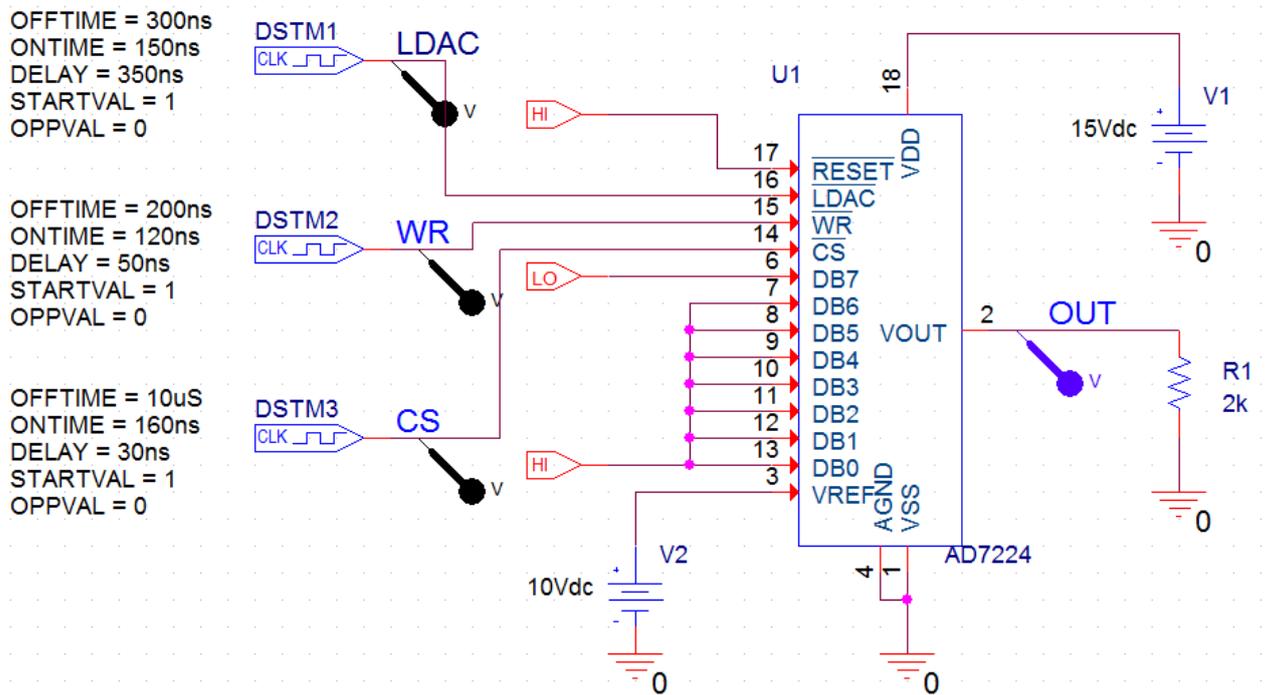


Рис. 7.5. Схема модели ЦАП

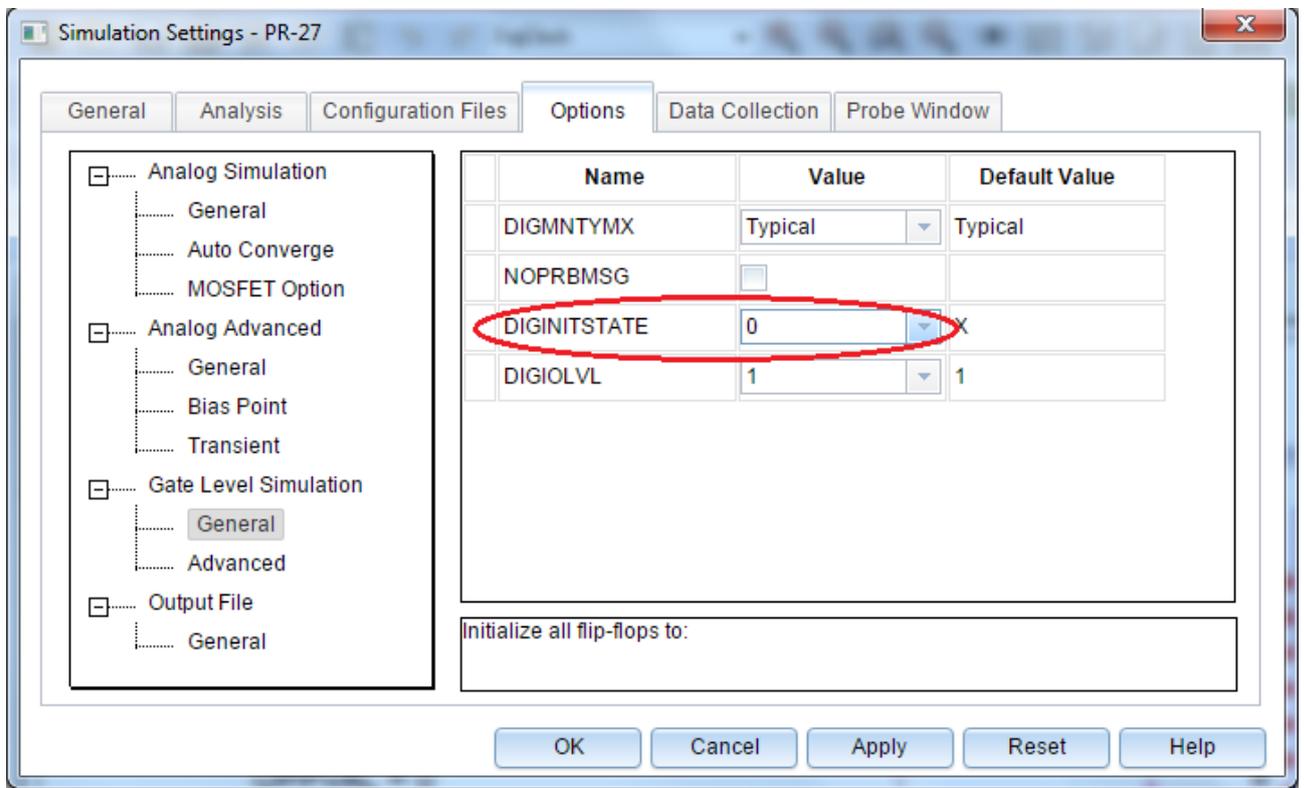


Рис. 7.6. Установка нулевого состояния цифровых схем

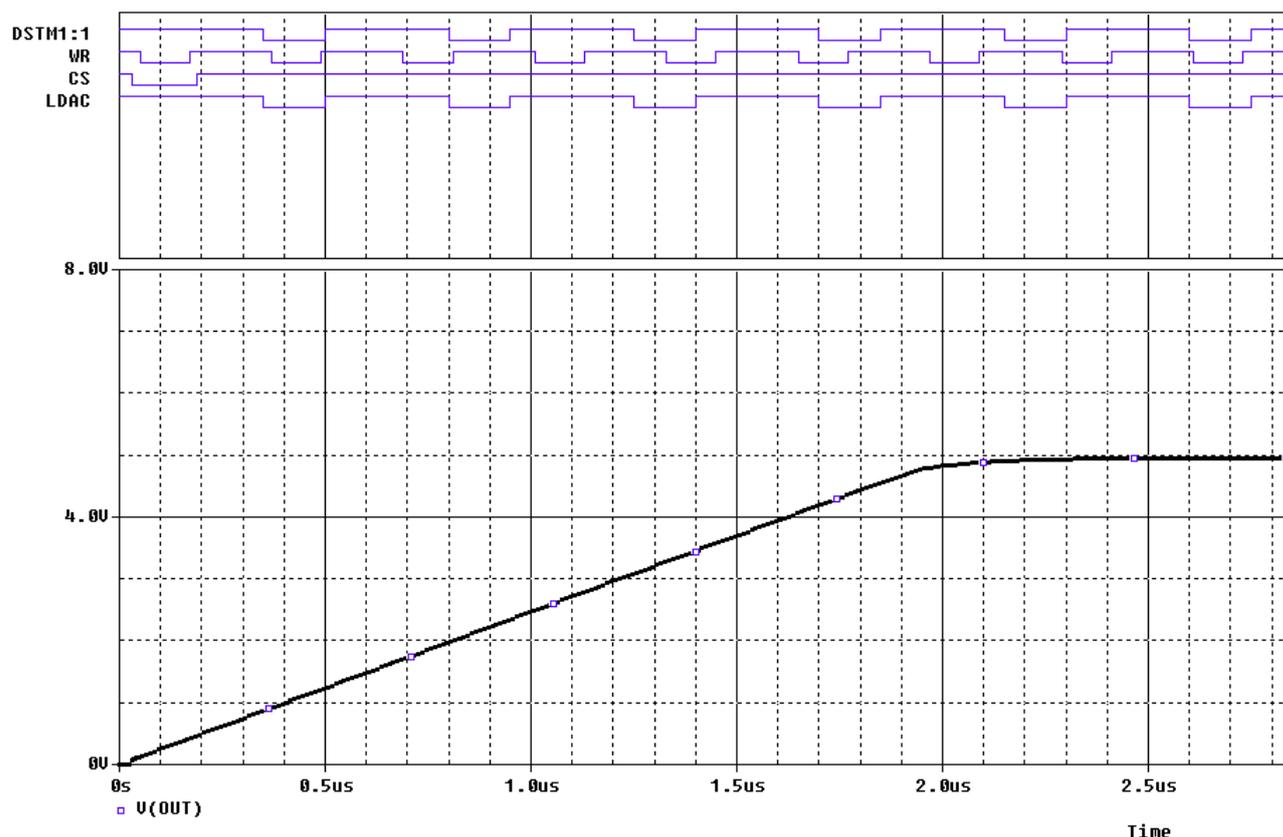


Рис. 7.7. Результаты моделирования ЦАП

В окне Probe вы увидите, что верхний график показывает цифровые сигналы, а нижний график показывает аналогового выходной сигнал, достигающий значения ~ 5 В.

Установка программного обеспечения Cadence \ OrCAD включает в себя хороший выбор примеров аналоговых, цифровых и смешанных схем в каталогах anasim, digsim и mixsim. Их можно найти в установочном каталоге, например:

```
< install path> \ Cadence \ SPB_17.2\ tools \ pspice \capture_samples \
< install path> \ Cadence \ OrCAD_17.2 \ tools \ pspice \capture_samples \
```

7.3. Контрольные вопросы

1. Как представляются результаты смешанного моделирования аналоговых и цифровых схем в окне Probe ?
2. Какие типы соединительных узлов использует PSpice ?
3. Поясните работу модели аналогового компаратора с цифровым выходом.
4. Как подводят питание к цифровым компонентам и что следует указать в свойствах модели компонента ?
5. Поясните форму цифровых и аналоговых сигналов в модели компаратора.
6. Поясните назначение управляющих сигналов ЦАП AD7224.
7. Как вычисляют выходное напряжение ЦАП для известного цифрового сигнала ?

8. Поясните настройку модели ЦАП .
9. Поясните форму графиков результатов моделирования ЦАП.

Практическое занятие №8

Создание иерархических блоков и проектов.

Создание иерархических проектов

Вводимая для моделирования принципиальная схема может быть либо плоской, в которой сигналы соединены между страницами схемы, или иерархической, в которой схема разделена на блоки и сигналы соединены поперечно вверх и вниз по иерархии.

Создадим новый проект FullAdd (полный сумматор) в папке PR-28. Плоские схемы представлены в Менеджере проекта как имеющие одну схемную папку с рядом ассоциированных страниц, в то время как иерархические схемы будет иметь более чем одну схемную папку (Рис. 8.1а).

8.1. Создание иерархического проекта

В окне менеджера проекта создаются файл fulladd.dsn. Ниже дизайн-файла, создаётся папка с именем SCHEMATIC1. Эта папка имеет страницу схемы названную PAGE1.

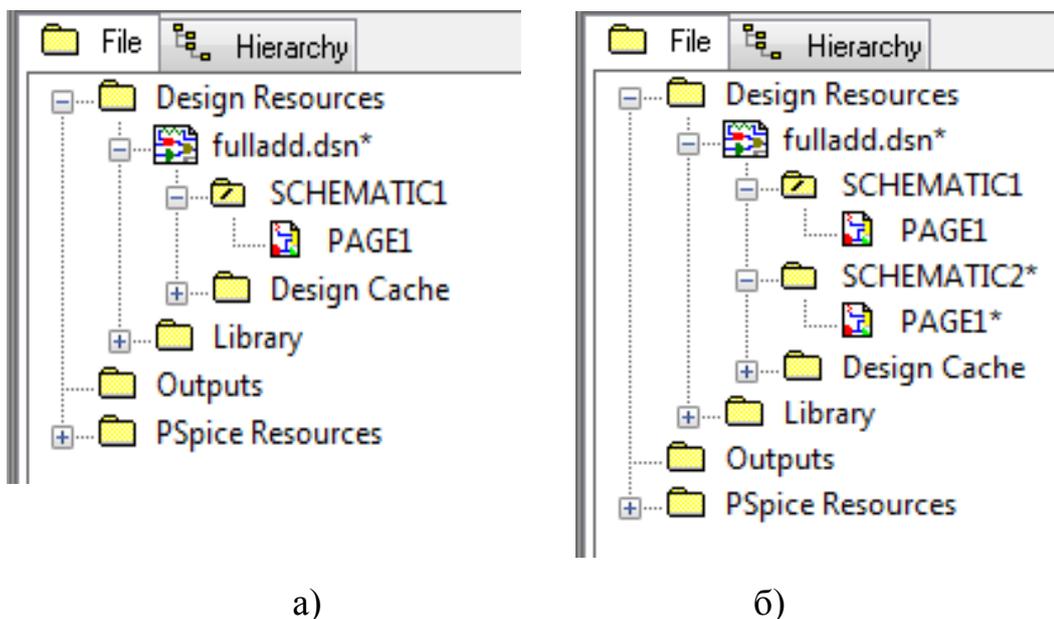


Рис. 8.1. Структура плоского проекта (а) и иерархического проекта (б)

Электрические схемы большинства проектов размещаются на нескольких страницах не самого большого формата. Имеются два способа организации схем большого объема:

- плоские обычные многостраничные структуры;
- иерархические структуры.

Электрические цепи, расположенные на разных страницах многостраничной схемы, соединяются друг с другом с помощью так называемых межстраничных соединителей (off-page connectors), имеющих

одинаковые имена. Все страницы таких схем содержатся в одной папке на одном и том же уровне. Их структура показывается в менеджере проектов при нажатии клавиши File. Например, на рис. 8.1 в папке SCHEMATIC 1 могут быть помещены страницы схемы PAGE1 и PAGE2.

В иерархическом проекте каждая схемная папка в иерархии будет представлена иерархическим блоком в схемной папке. Выбрав иерархический блок, вы выбираете основную схему и эффективно спускаетесь вниз по иерархии. Для плоской схемы (рис. 8.1а), есть одна схемная папка и одна или несколько страниц. Для иерархической схемы (рис. 8.1б) может быть две и более схемные папки в иерархии и каждая со своей собственной схемной страницей или страницами. Каждую папку мы создаем, выбрав в меню проекта FullAdd опцию New Shematic и задав название новой папки.

На схемах **иерархических** проектов размещаются специальные символы, называемые иерархическими блоками (hierarchical block). Принципиальная электрическая схема каждого такого блока размещается в виде отдельной схемы, помещаемой в папку на том же уровне иерархии, что и основная схема. Иерархическая структура показывается в менеджере проектов при нажатии клавиши **Hierarchy**.

8.1.2. Создание плоского проекта полусумматора HalfAdd

Создадим сначала плоский проект для моделирования цифрового полусумматора HalfAdd. Для полного сумматора полусумматор является проектом нижнего уровня.

Переименуем папку SCHEMATIC1 и PAGE1, назвав их HALFADD (рис. 8.2).

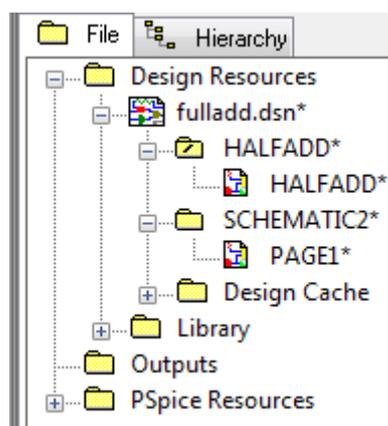


Рис. 8.2. Структура проекта с полусумматором

Напомним, что перед тем, как начать создания дизайна в OrCAD Capture, вы можете указать по умолчанию характеристики для вашего проекта с использованием шаблона дизайна. Шаблон дизайна может использоваться для указания шрифтов по умолчанию, размера страницы, заголовков блока, сетки и так далее. Чтобы настроить шаблон дизайна в OrCAD Capture, используйте диалоговое окно Design Template.

Для того, чтобы открыть диалоговое окно Design Template, из меню Options выберите Design Template (рис. 8.3).

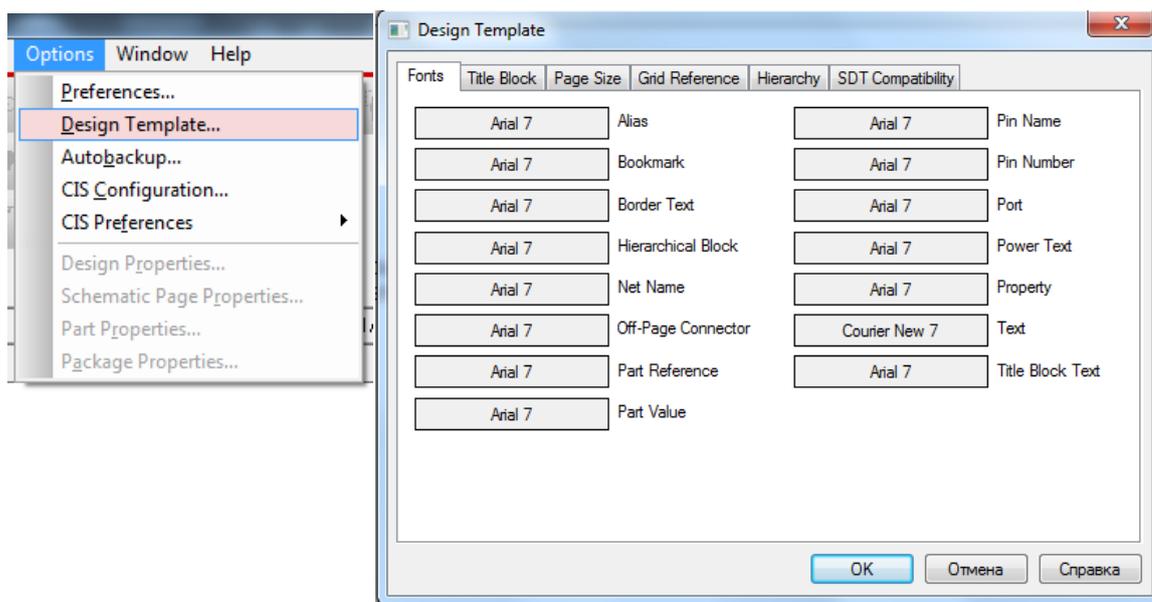


Рис. 8.3. Настройка шаблона дизайна

8.1.3. Иерархические порты и off-page разъемы

Так как полусумматор будет входить в более сложный иерерхический проект, рассмотрим новые компоненты для различных соединений.

В иерерхических схемах и в случае плоских схем обычно имеется одна папка и одна или более страниц. Для подключения сигналов между страницами, используются внестраничные разъемы: Place > Off-Page Connectors (рис 8.4). Два типа разъемов используют для указания направления потока данных, то- есть от входа к выходу. Когда провод подключается к внестраничному разъему, схемное название провода наследует имя соединителя.

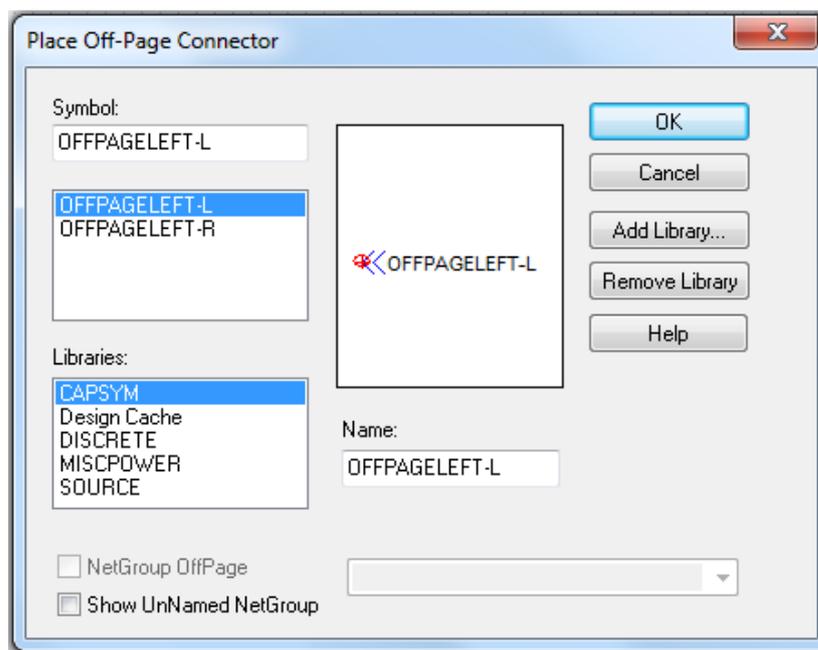


Рис. 8.4. Внестраничные порты

Иерархические порты подключают сигналы между уровнями иерархии. Для установки таких портов надо выбрать Place > Hierarchical Ports (Рис. 8.5). Как и с внестраничными разъемами, провод подключенный к иерархическому порту наследует имя порта.

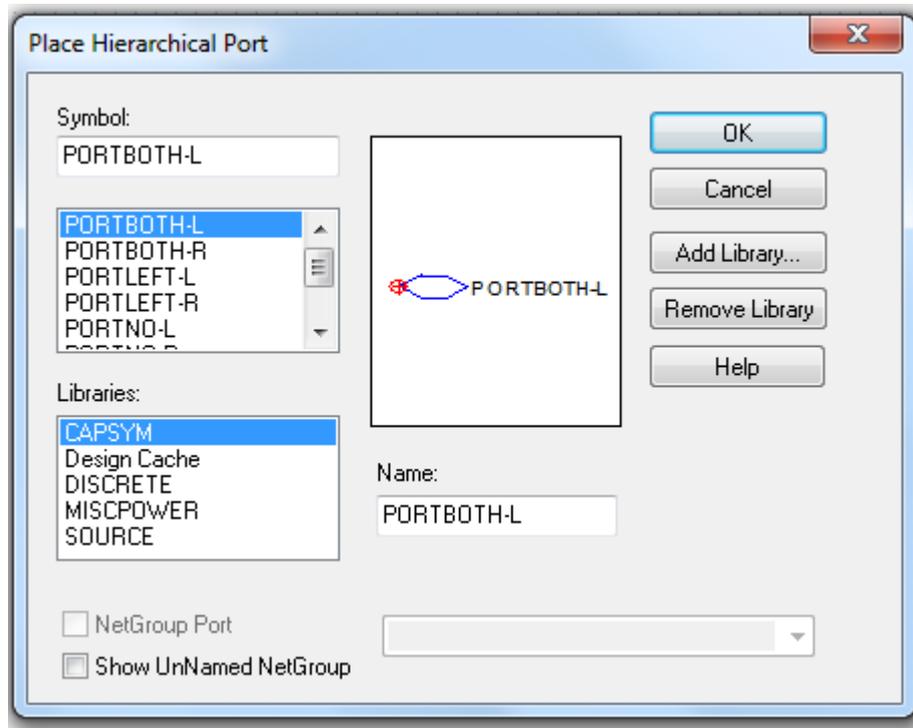


Рис. 8.5. Размещение иерархических портов

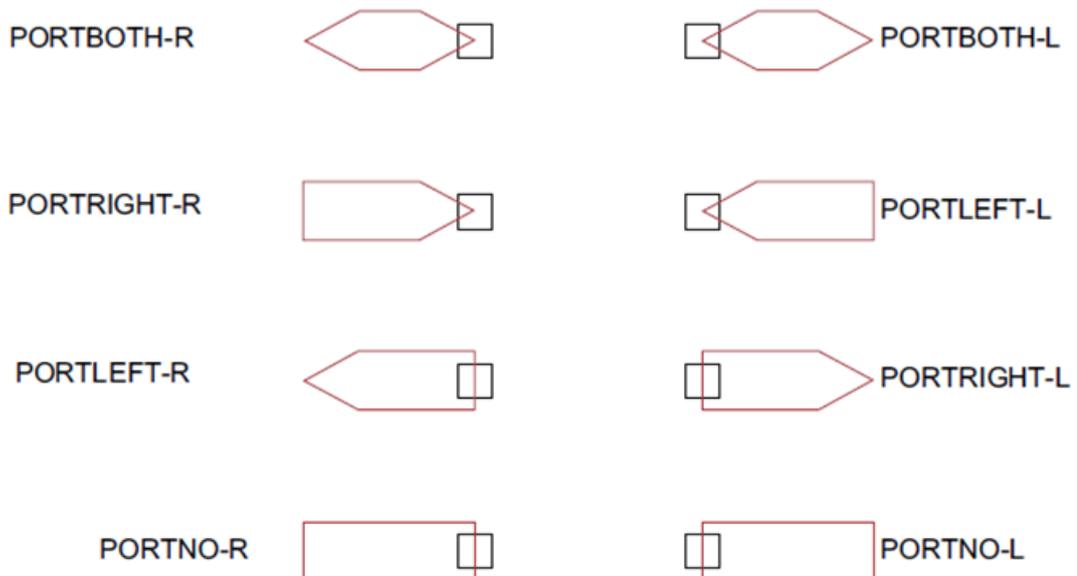


Рис. 8.6. Различные виды иерархических портов

Доступны различные иерархические порты, отличающиеся типом порта и направление потока данных. Рис. 8.6 показывает различные типы иерархических портов. Для примера: PORTRIGHT-R представляет собой

порт, который имеет направление передачи вправо и имеет соединение на правой стороне.

В этом разделе мы создадим простой плоский полусумматор с портами X и Y в качестве входов и SUM и CARRY в качестве выходов.

1. Требуется создать схему (рис. 8.7) из библиотеки Parts.

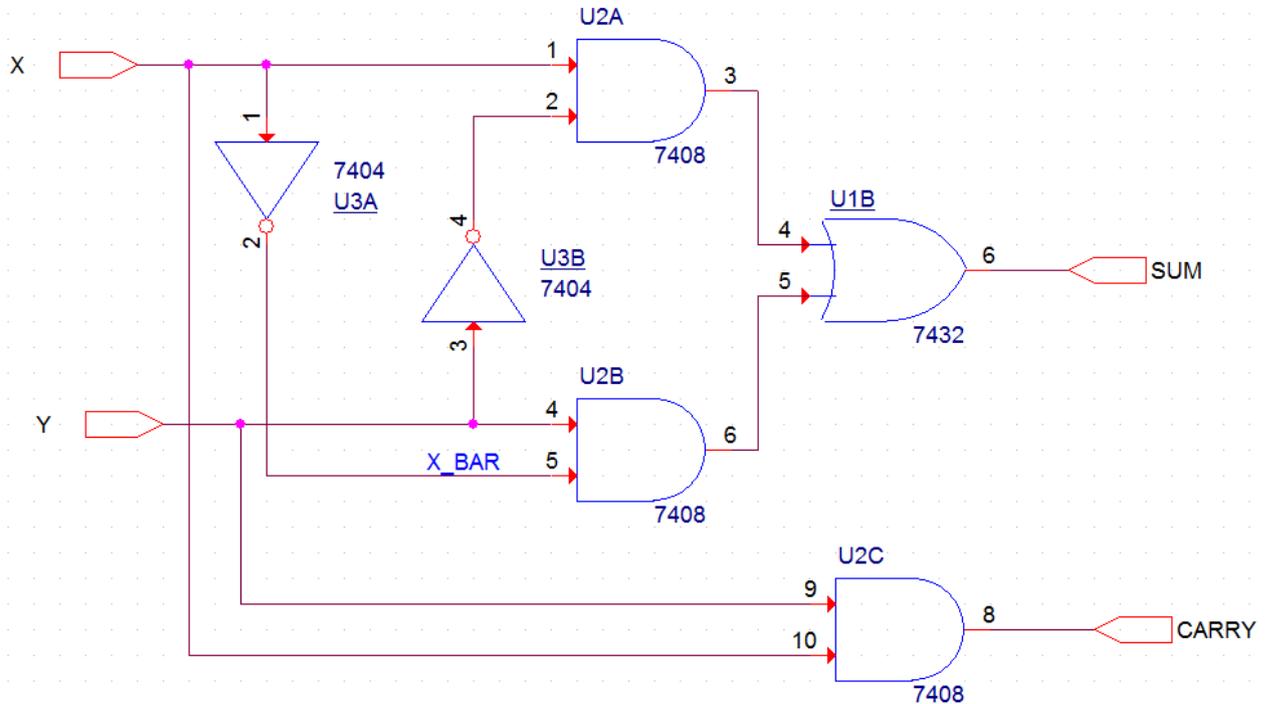


Рис. 8.7. Схема простого полусумматора

2. В меню Place в Capture, выберите Part. В диалоговом окне Place Part, сначала выберите библиотеку вентилях 7400.OLB, из которой должны быть добавлены компоненты, а затем добавьте их на страницу схемы.

3. Из меню Place выбираем иерархические порты:

входные порты из библиотеки CAPSUM : PORTRIGHT-R;

выходные порты из библиотеки CAPSUM: PORTLIGHT-L (рис. 8.6).

3. Выполняем соединения и переименовываем порты. Получаем нужную схему полусумматора (рис. 8.7).

8.1.4. Создание иерархического проекта Full Adder

В Capture можно создать иерархические проекты, используя один из следующих способов:

- восходящий метод (Bottom-up method);
- нисходящий метод (Top-down method).

Другой метод создания иерархического дизайна состоит в том, чтобы создавать компоненты или символы для дизайна на самом низком уровне и сохранять символы в определённой пользователем библиотеке. вы можете позже добавить определённую пользователем библиотеку в ваши проекты и использовать эти символы на схеме. Например, вы можете создать

компонент для дизайна полусумматора, а затем вместо иерархических блоков, использовать эту часть в новой схеме.

Более подробно мы рассмотрим этот подход в разделе «Создание компонентов для схем».

В этом разделе мы создадим иерархическую структуру полного сумматора. Конструкция с половинным сумматором, созданная в разделе «Создание плоского проекта полусумматора HalfAdd» будет использоваться в качестве дизайна самого низкого уровня.

8.1.5. Восходящий метод

При создании иерархической конструкции с использованием восходящей методологии, необходимо выполнить следующие действия.

- Создание схемы низшего уровня.
- Создание схем более высокого уровня, которые будут содержать низкоуровневыми схемы в виде иерархических блоков.

Выполняем следующие шаги:

1. Создание проекта в Capture по известной нам методике.
2. Создание схемы низшего уровня. В схеме полного сумматора, например, дизайном нижнего уровня является полусумматор.

Для того, чтобы пройти шаги по созданию дизайна полусумматора, надо повторить действия из разделов 8.1.2, 8.1.3. Можно вместо этого создать новый проект fulladd-2 на основе ранее созданного проекта fulladd.

3 Создание конструкции более высокого уровня. Надо создать схему для полного сумматора, который использует полусумматор, созданный на предыдущем шаге. Нужные шаги приведены в следующем разделе.

8.1.6. Создание схемы полного сумматора

1. В окне менеджера проекта, щёлкните правой кнопкой мыши на fulladd.dsn и выберите New Schematic.

2. В диалоговом окне Schematic укажите имя новой схематическом папки как FULLADD и нажмите ОК (рис. 8.8).

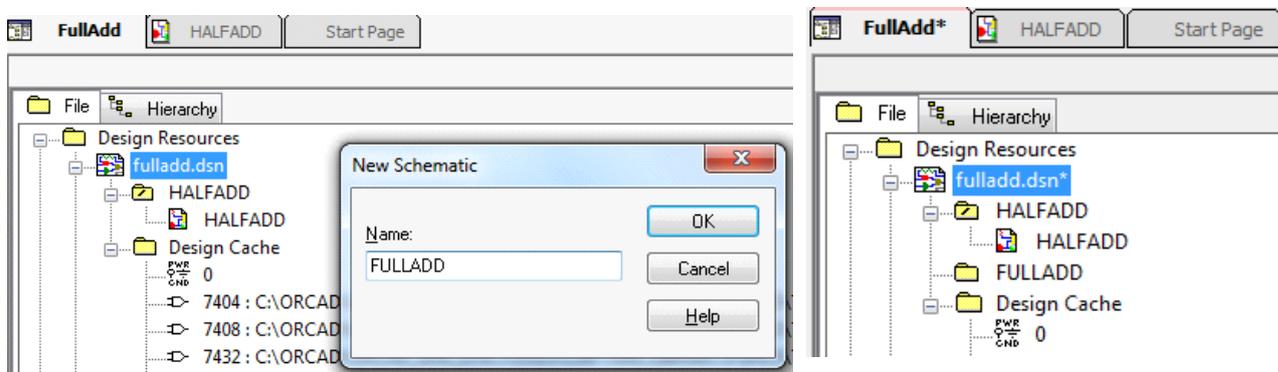


Рис. 8.8. Создание папки FULLADD

В окне диспетчера проекта, папка FULLADD появляется ниже fulladd.dsn.

3. Сохраните дизайн.

4. Для того, чтобы сделать схему полного сумматор в качестве корневого дизайна (проект верхнего уровня), щёлкните правой кнопкой мыши на FULLADD и из всплывающего меню выберите Make Root.

Папка FULLADD движется вверх и в папке появляется передний слэш (рис. 8.9).

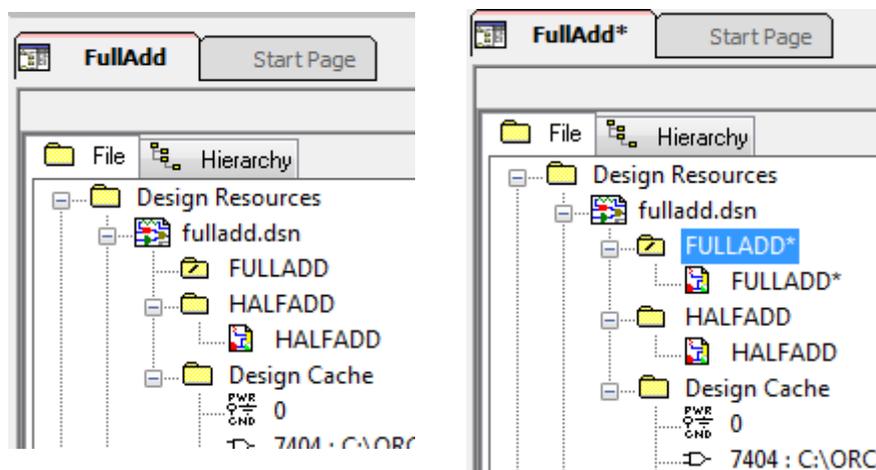


Рис. 8.9. Перемещение папки FULLADD вверх

5. Щёлкните правой кнопкой мыши на FULLADD и выберите New Page.

6. В новой странице в схеме: в окне диалога FULLADD укажите название страницы, как FULLADD и нажмите ОК. Новая страница FULLADD добавляется ниже схемной папки FULLADD.

7. Дважды щёлкните страницу FULLADD, чтобы открыть её для редактирования.

8. В меню Place выберите Hierarchical Block.

9. В диалоговом окне Place Hierarchical Block, укажите ссылку на HALFADD_A1 (рис. 8.10).

10. Укажите тип осуществления как Schematic View.

11. Укажите имя осуществления как HALFADD и нажмите кнопку ОК.

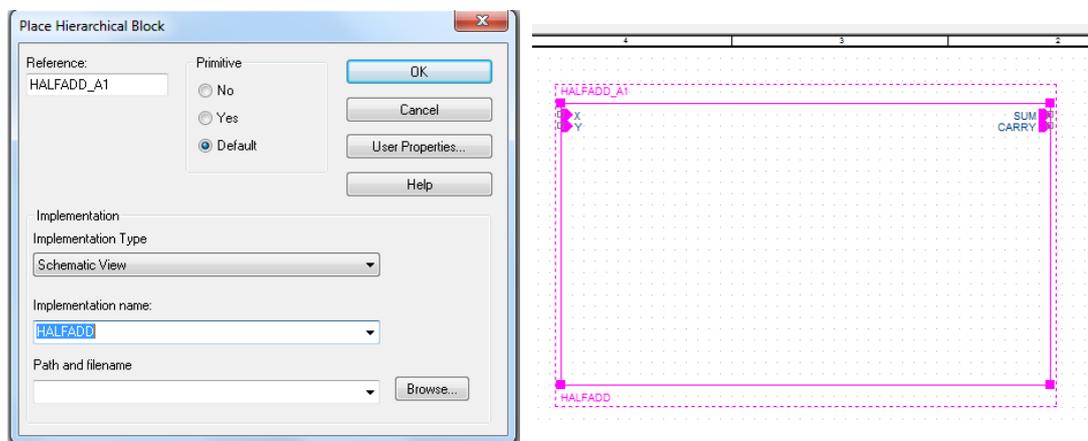


Рис. 8.10. Создание иерархического блока

Курсор изменится на перекрестие.

12. Нарисуйте прямоугольник на странице схемы.

Иерархический блок с входными и выходными портами будет нарисован на странице.

13. При необходимости измените размер блока. Кроме того, переместите входные и выходные порты на блоке путем перетаскивания.

Примечание: Для того, чтобы проверить, является ли иерархический блок правильным, выделите его, щёлкните правой кнопкой мыши на блоке и выберите Descend Hierarchy. Должна появиться ранее созданная схема полусумматора (рис.8.11).

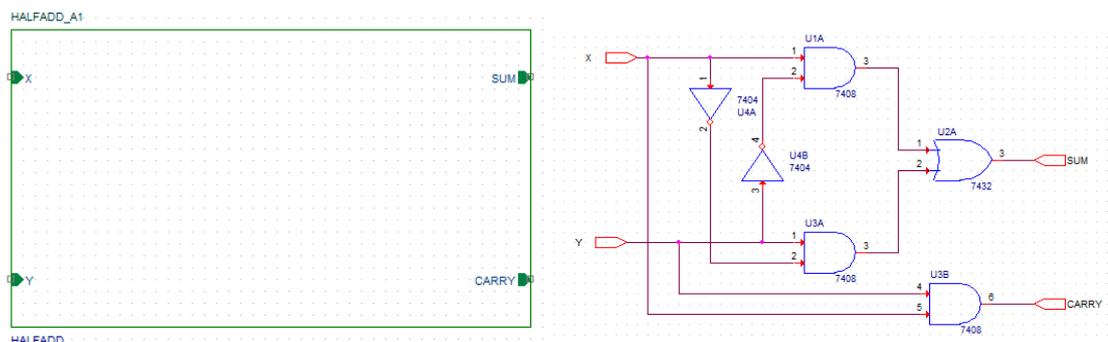


Рис. 8.11. Проверка правильности иерархического блока

14. Поместите другой экземпляр иерархического блока на схематическую страницу. Для этого :

- Выделите иерархический блок.
- В меню «Правка» выберите команду «Копировать».
- В меню «Правка» выберите команду «Вставить».
- Поместите экземпляр блока в желаемое место нахождения.

Примечание: В качестве альтернативы, вы можете использовать <Ctrl> + <C> и <Ctrl> + <V> для копирования и вставки блока.

15 По умолчанию позиционное обозначение для второго иерархического блока будет HALFADD_A2. Дважды щёлкните на позиционное обозначение, чтобы изменить ссылку на HALFADD_B1 (рис. 8.12).

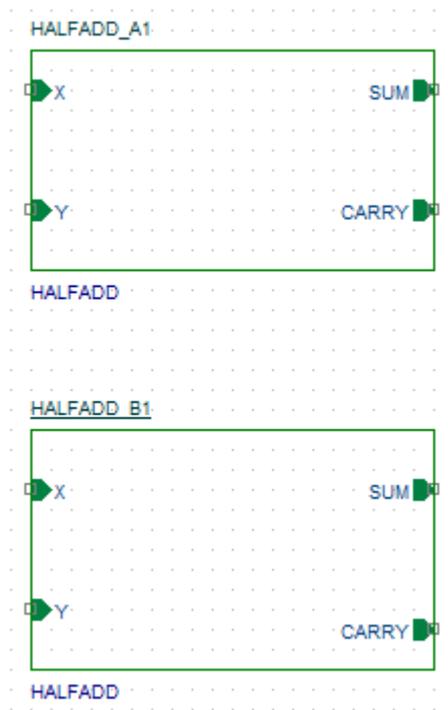


Рис. 8.12. Установка второго иерархического блока
 Двойной щелчок на блоке раскроет его содержимое.

16. Используя Place Part, добавьте вентили ИЛИ (7432) к схеме и соедините блоки проводниками, как показано на рис. 8.13.

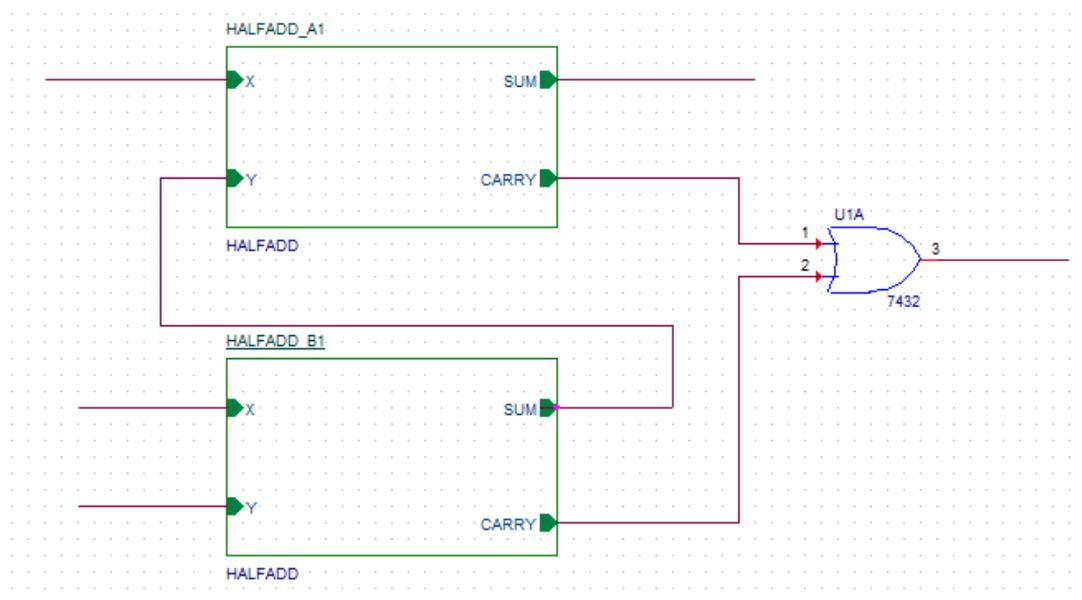


Рис. 8.13. Соединения иерархических блоков

17. Добавьте стимул к дизайну. В диалоговом окне Place Part, используйте кнопки Add Library для добавления к дизайну библиотеки SOURCSTM. OLB.

Эта библиотека находится в <install_dir>/tools/capture/library/pspice.

18. Из Part List выберите DigStim1 и нажмите кнопку ОК. Символ прикрепляется к курсору.

19. Поместите символ на трех входных портах: порт X на HALFADD_A1, порт X и Y на HALFADD_B1.

20. Щёлкните правой кнопкой мыши на схеме и выберите End Mode.

21. Укажите значение свойства по осуществлению как Carry, X и Y, соответственно (рис. 18.14).

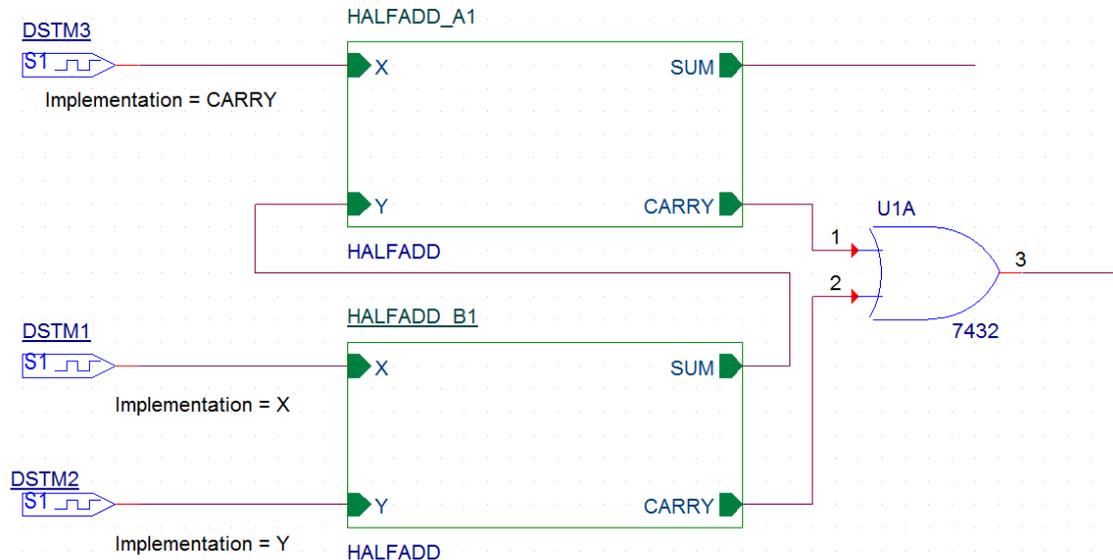


Рис. 8.14. Установка стимулов в проект

22. Выберите Place Part, чтобы добавить выходной порт CARRY_OUT на выходе логического элемента ИЛИ (рис. 8.15).

Для этого:

- Из списка библиотек выберите CAPSYM.
- Из списка символов выберите PORTLEFT-L и нажмите кнопку ОК.
- Поместите выходной порт, как показано на рис. 8.15.
- Дважды щёлкните имя порта и измените название порта на CARRY_OUT.

30. Сохраните дизайн.

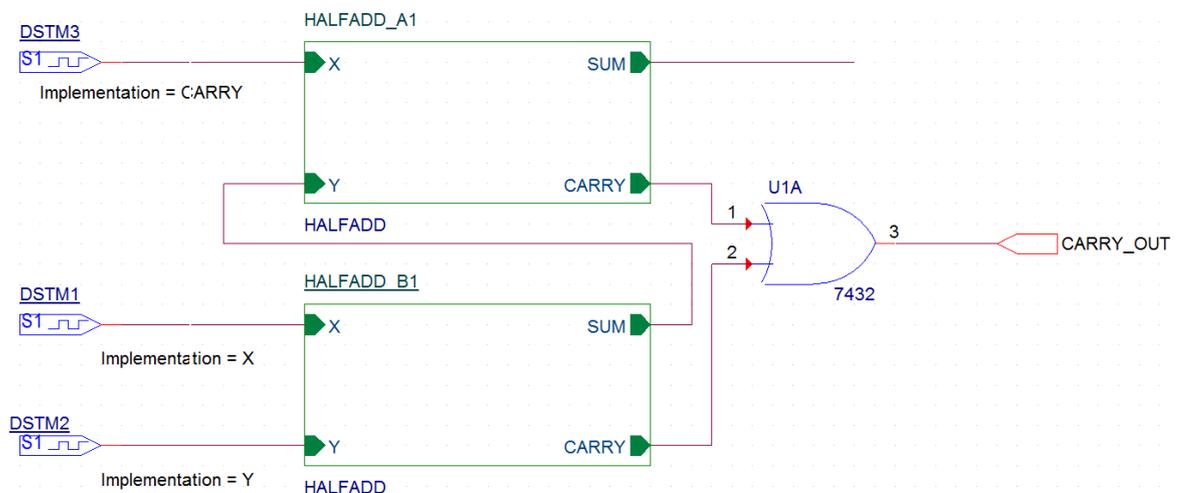


Рис. 8.15. Добавление выходного порта CARRY_OUT

8.1.7. Добавление в проект аналоговых компонентов

Мы только что добавили цифровые компоненты к конструкции. Полная схема проекта показана на рис. 8.16.

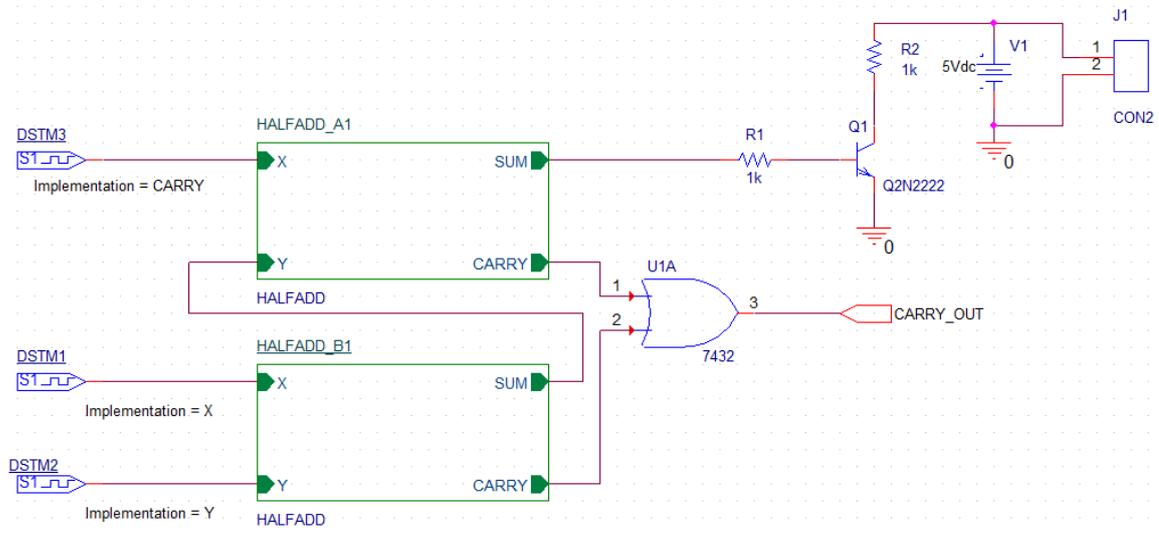


Рис. 8.16. Полная схема проекта FULLADD с аналоговыми компонентами

Резисторы можно взять из библиотеки PSpice Components или ANALOG.OLB.

Транзистор Q2N2222 находим в библиотеке EVAL, добавляем эту библиотеку в проект и помещаем транзистор в схему.

Источник напряжения 5Vdc можно взять из библиотеки PSpice Components.

Из библиотеки CONNECTOR надо добавить в проект коннектор CON2 (рис. 8.17).

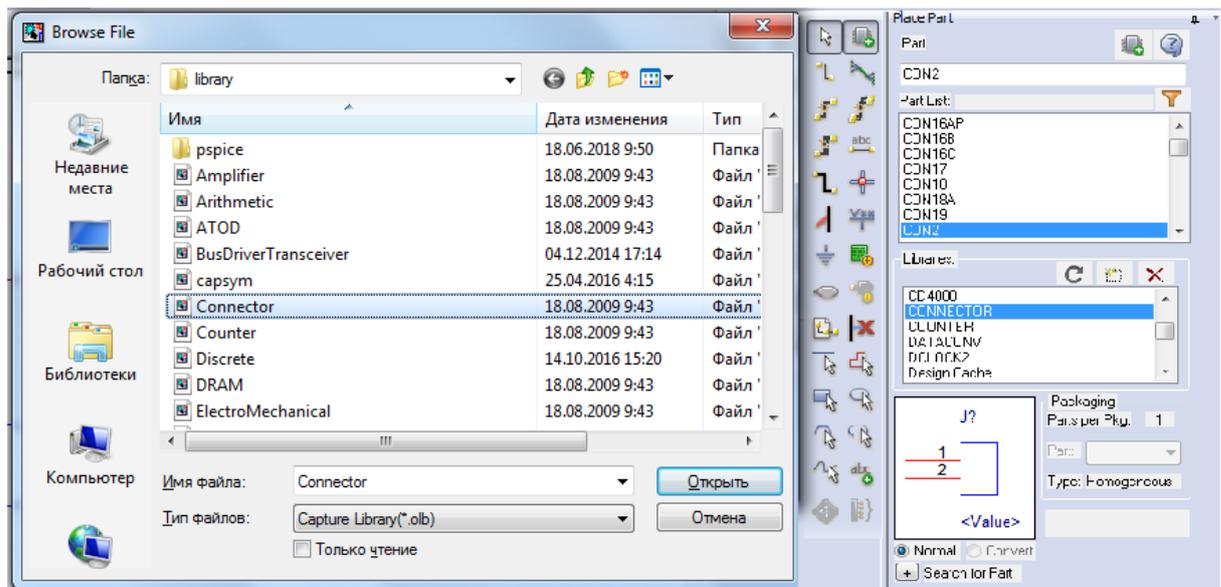


Рис. 8.17. Добавление коннектора CON2

Итак, вы успешно создали иерархический дизайн полного сумматора с использованием методологии снизу вверх. Все компоненты, используемые в этой конструкции, кроме коннектора были взяты из PSpice Library. Временно

исключив коннектор, вы можете моделировать эту конструкцию с помощью PSpice.

8.1.8. Создание и сохранение компонентов для новых проектов

В предыдущем проекте FULLADD были созданы схемы полусумматоров, которые могут быть полезны в новых проектах.

Вместо того, чтобы создавая иерархический блок, каждый раз собирать схему полусумматора, вы можете, используя уже готовую схему, создать компонент «Полусумматор», сохранить его в библиотеке, а затем повторно использовать компонент в любой конструкции, когда потребуется.

В этом разделе, мы создадим компонент для схемы простого полусумматора (рис. 8.7), который вы создали в разделе плоской схемы этой главы. Такие созданные компоненты называют ещё Hierarchical symbol (иерархический символ).

Чтобы сформировать компонент из схемы, выполните следующие шаги.

1. В окне менеджера проекта, выберите папку HALFADD.
2. В меню Tools выберите Generate Part.
3. В диалоговом окне Generate Part (рис. 8.18), укажите местоположение дизайн-файла, содержащего схему, для которой этот компонент должен быть сделан.

Для этого примера надо указать местоположение fulladd.dsn.

4. В раскрывающемся списке Netlist/source, укажите тип источника как Capture/Schematic/Design.

5. В текстовом поле Part name, укажите имя компонента, который должен быть создан как HALFADD.

6. Укажите имя и расположение библиотеки, которая будет содержать этот новый компонент. Для текущего примера дизайна, укажите имя библиотеки как fulladd.olb.

7. Если вы хотите, чтобы вместе с новым компонентом был создан схемный источник, установите флажок Copy Schematic в Library. Для этой конструкции выберите Check box.

8. Убедитесь, что выбрана опция Create new part.

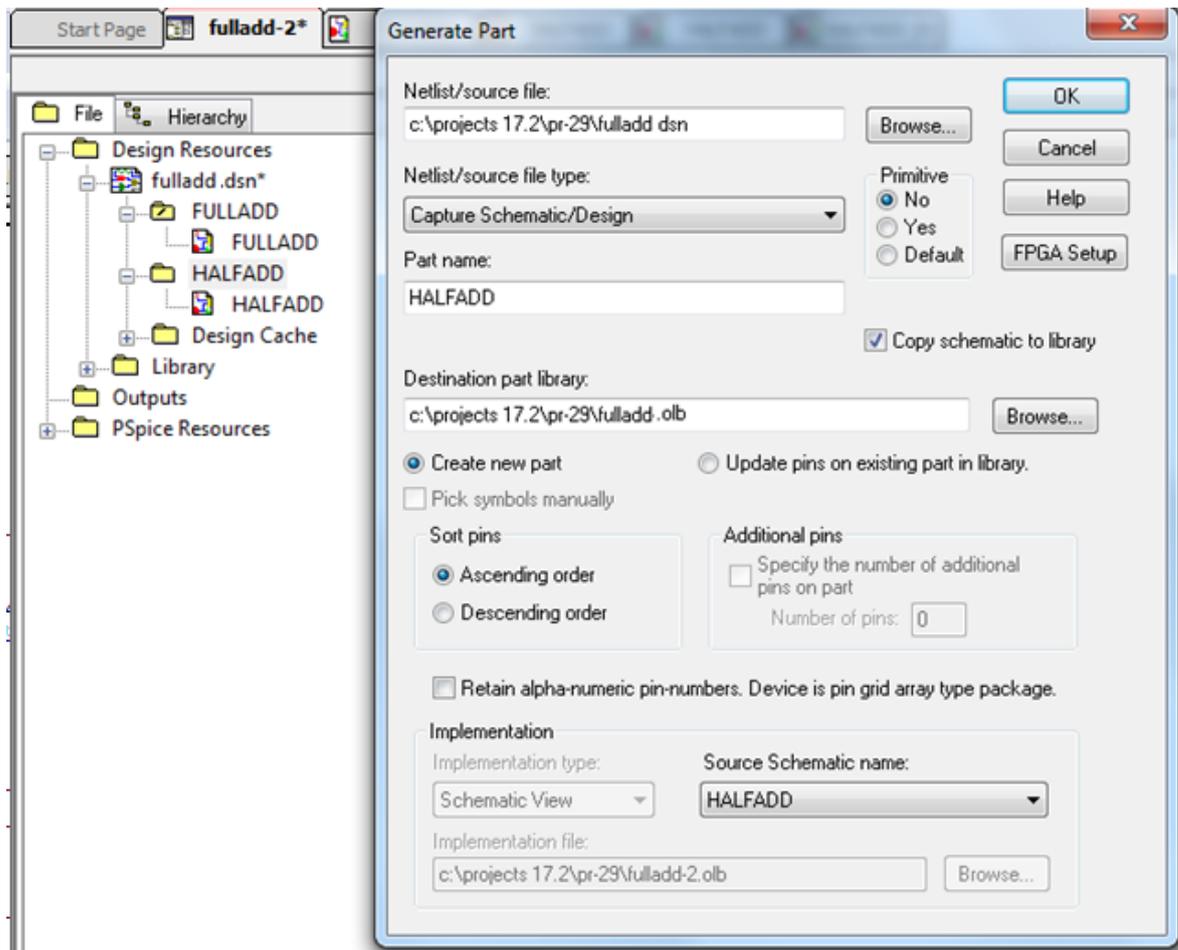


Рис. 8.18. Создание компонента HALFADD

9. Чтобы указать схемную папку, в которой содержится дизайн, для которого должен быть создан этот компонент, выберите HALFADD из имен раскрывающегося списка.

10. Нажмите кнопку ОК, чтобы сгенерировать компонент HalfAdd.

Откроется окно Split Part Section Input Spreadsheet с описанием выводов компонента (рис. 8.19).

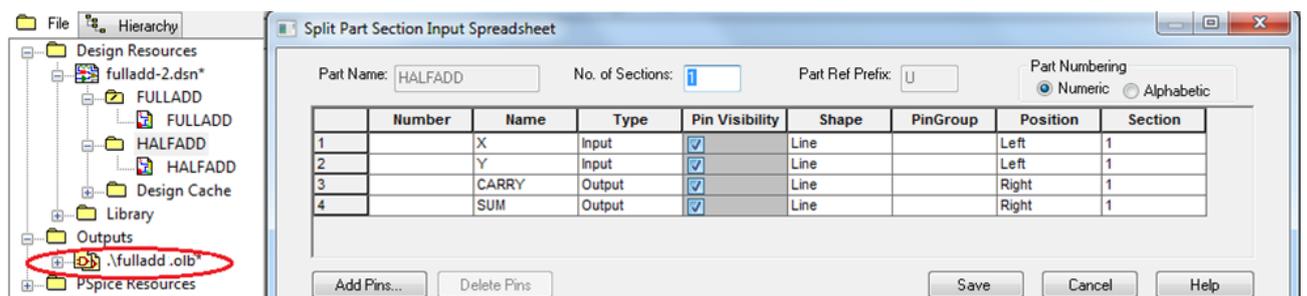


Рис. 8.19. Описание созданного компонента

Новая библиотека fulladd.olb будет сгенерирована и будет видна в папке Outputs в окне диспетчера проекта (рис. 8.19). Новая библиотека также добавляется в окно Place Part. Теперь вы можете использовать диалоговое окно Place Part, чтобы добавить компонент «Полусумматор» в любой новый дизайн.

Для этого в библиотеки нового проекта надо добавить библиотеку fulladd.olb из предыдущего проекта со схемой полусумматора из папки

библиотеки FULLADD. После этого поместите на страницу компонент HALFADD (рис. 8.20). Посмотрите его схему.

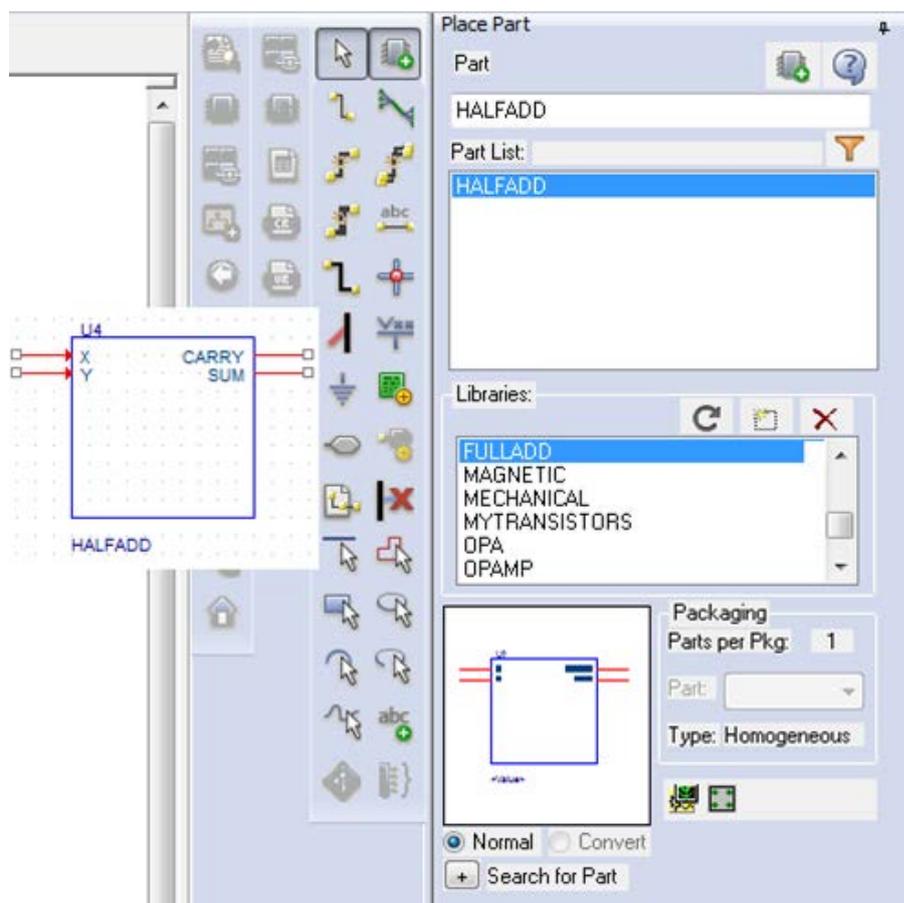


Рис. 8.20. Открытие сохраненного компонента полусумматора

8.1.9. Нисходящий метод

При создании иерархической конструкции, используя нисходящий метод, надо применять следующую последовательность шагов:

- Создать дизайн верхнего уровня с использованием функциональных блоков, входов и выходов, которые известны.
- Создать схематический дизайн для функционального блока, используемого в конструкции верхнего уровня.

В этом разделе представлен обзор шагов, которым необходимо следовать для создания полного сумматора, используя нисходящий метод.

1. Создайте проект FullAdd-TD.
2. Создайте дизайн верхнего уровня, используя следующие шаги:
 - 2.1. В меню Place выберите иерархический блок.

Примечание: В качестве альтернативы, вы можете выбрать кнопку на



панели инструментов

2.2. В диалоговом окне Place выберите Hierarchical Block, укажите ссылку как HALFADD_A1, Тип реализации, имя реализации, как HALFADD, и нажмите ОК (рис. 8.21).

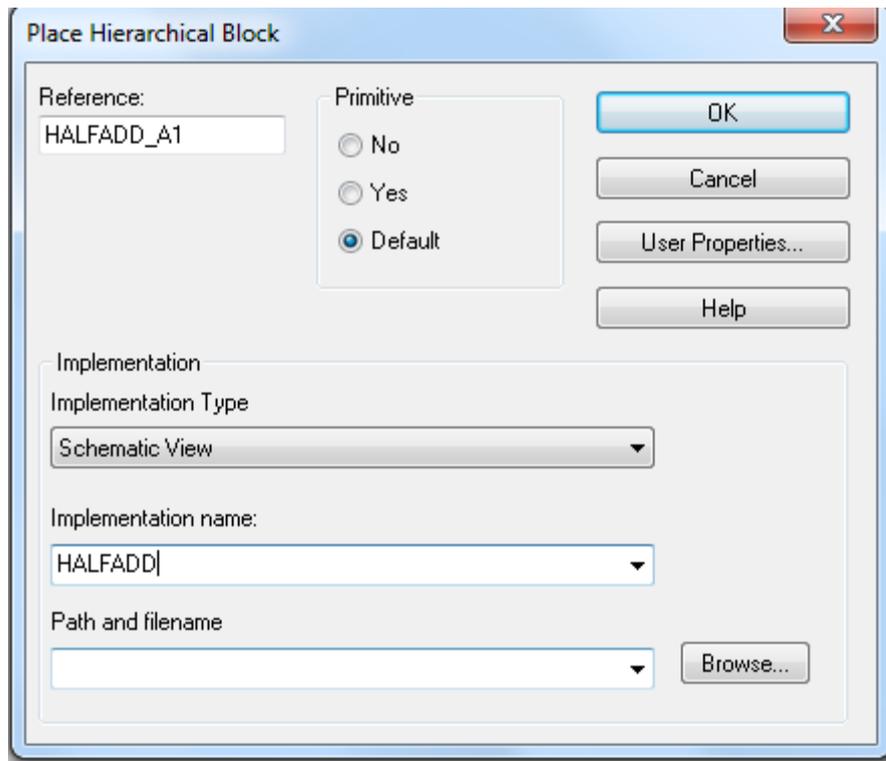


Рис. 8.21. Создание первого иерархического блока

2.3. Нарисуйте иерархический блок с нужными размерами (рис. 8.22).

Обратите внимание, что в отличие от иерархического блока, созданного в восходящем методе, иерархический блок в нисходящем методе не имеет приложенной информации о портах.

2.4. Выберите иерархический блок и затем из меню Place, выберите Hierarchical Pins (рис. 8.23).

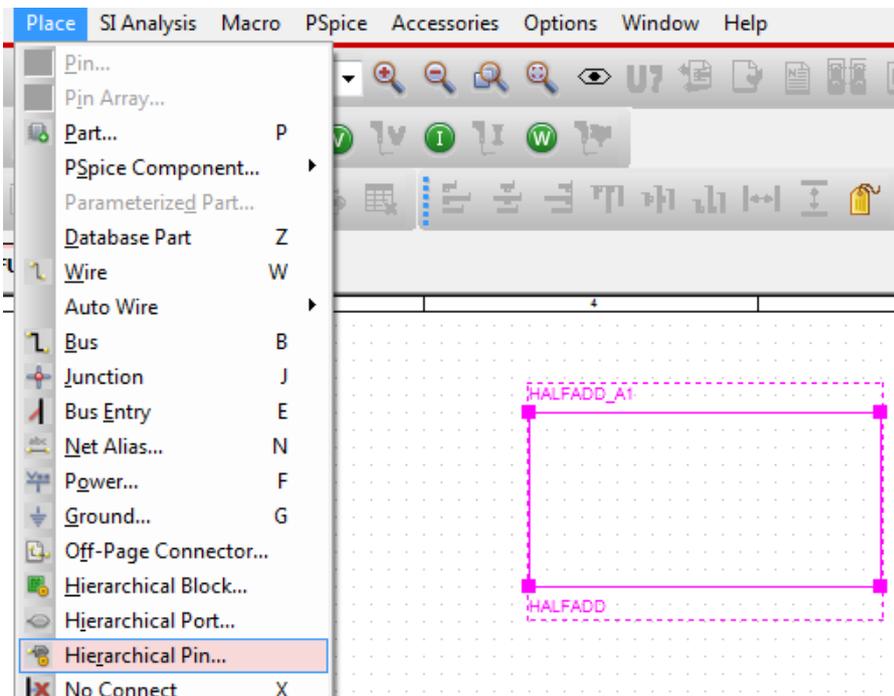


Рис. 8.22. Изображение иерархического блока

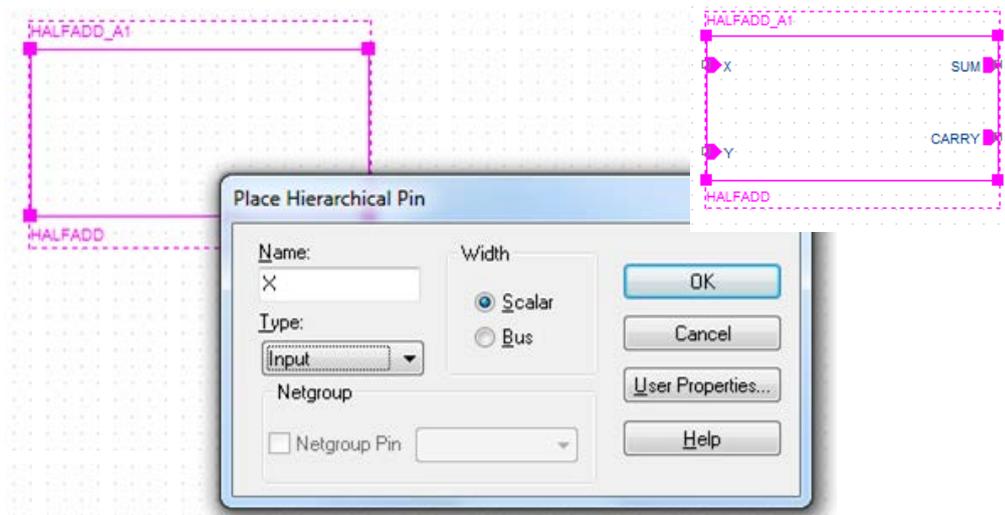


Рис. 8.23. Установка контактов блока

2.5. В диалоговом окне Place Hierarchical Pin укажите имя контакта как X, тип как вход, Width как Scalar и нажмите кнопку ОК.

2.6. Поместите пин, как показано на рис. 8.23. Аналогично добавьте пин Y и два выходных пина SUM и CARRY.

2.7. Поместите другой иерархический блок с Implementation Type как HALFADD. Простейший способ сделать это - скопировать существующий иерархический блок и вставить его на страницу схемы. По умолчанию опорное название второго иерархического блока HALFADD_A2. Измените этого название на HALFADD_B1 (рис. 8.24).

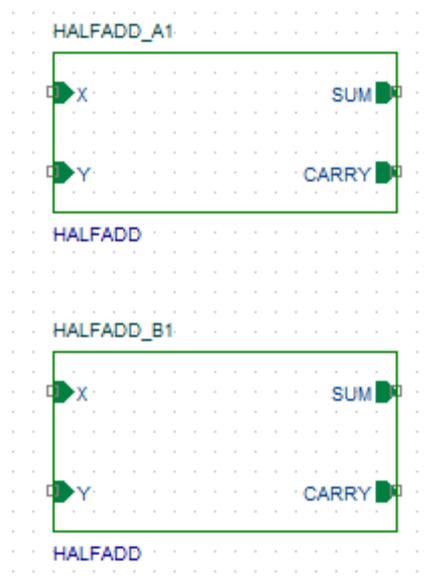


Рис. 8.24. Установка второго иерархического блока

2.8. Завершите создание схемы полного сумматора путём добавления портов, проводов и стимулов. Получится полный сумматор (рис. 8.25).

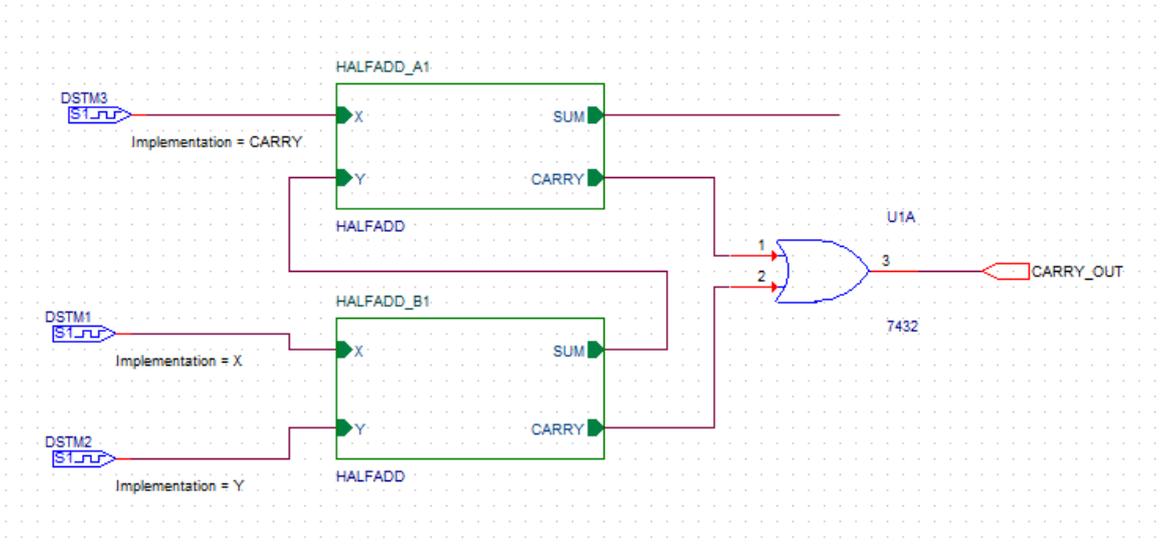


Рис. 8.25. Схема структуры полного сумматора без внутренних схем
2.9. Сохраните проект.

3. Нарисуйте дизайн низшего уровня, используя шаги, перечисленные ниже.

Например, для полного сумматора, самым низким уровнем является полусумматор.

3.1. Чтобы нарисовать схему полусумматора, щёлкните правой кнопкой мыши на любом из иерархических блоков HALFADD.

3.2. Из всплывающего меню выберите Descend Hierarchy.

3.3. Появится новая страница в Schematic: 'HALFADD'. Укажите имя страницы как HALFADD и нажмите кнопку ОК.

Новая страница схемы появится с двумя входными портами X и Y, и двумя выходными портами SUM и CARRY (рис. 8.26).



Рис. 8.26. Заготовка для схемы полусумматора

Теперь вы можете нарисовать схему полусумматора на этой странице схемы, используя шаги, описанные ранее в создании плоской конструкции (рис.8.27).

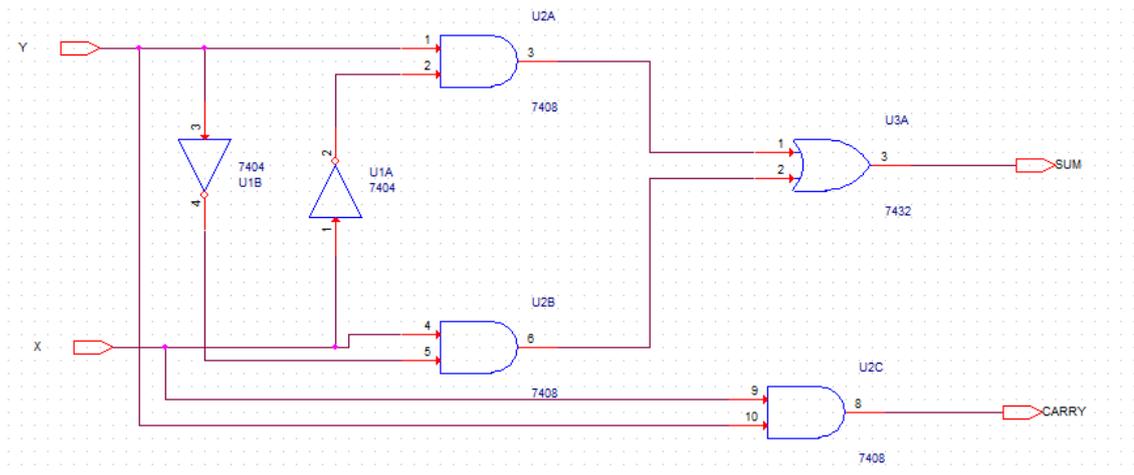


Рис. 8.27. Повторный набор схемы полусумматора

4. Вместо того, чтобы повторно создавать схему, загрузим сохраненный ранее компонент полусумматора.

Для этого в схеме (рис. 8.25) двойным щелчком откройте пустую страницу полусумматора HALFADD_A1.

Выберите Place Part и добавьте в список библиотек fulladd.olb из папки предыдущего проекта, в котором был создан и сохранен компонент «Полусумматор» (рис. 8.20).

Откройте библиотеку fulladd.olb и поместите на страницу компонент HALFADD (рис. 8.28).

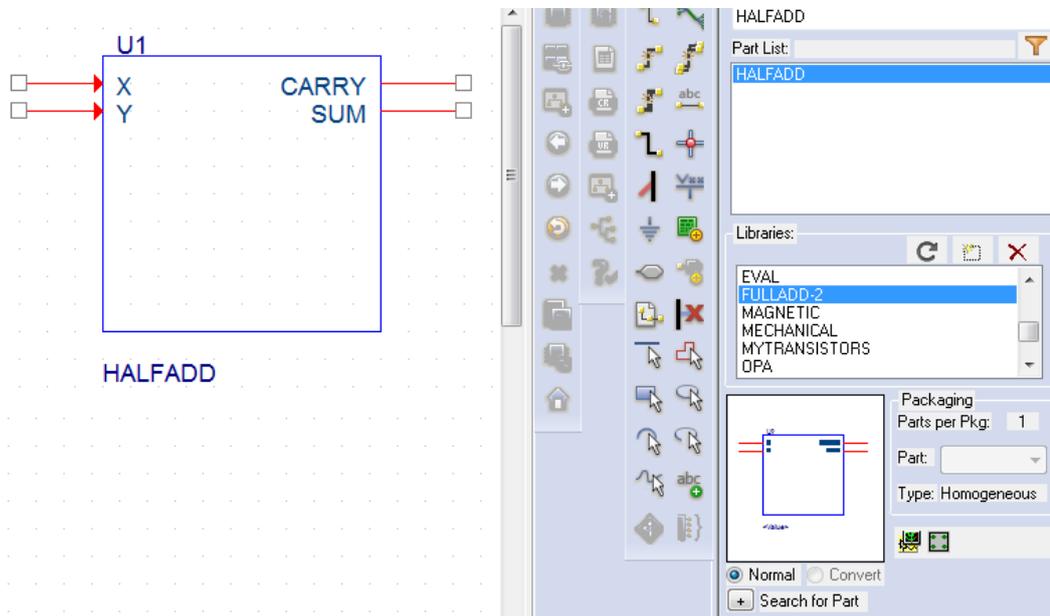


Рис. 8.28. Добавление в проект ранее созданного компонента

Сохраните проект. После этого иерархические блоки будут иметь внутри схемы полусумматоров.

В окне диспетчера проекта, добавляется новая схематичная папка HALFADD ниже полной fulladd-td.dsn (рис. 8.29).

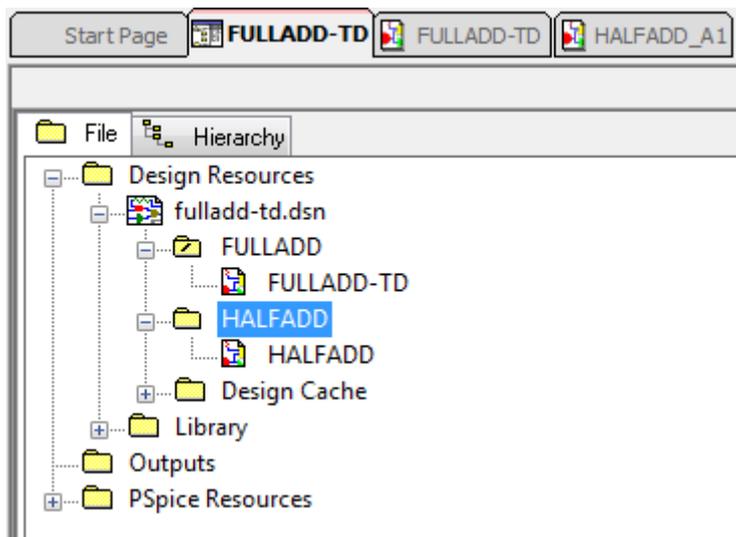


Рис. 8.29. Структура диспетчера иерархического проекта

Двойной щелчок на иерархическом блоке открывает его внутреннюю схему. Это же можно сделать так: выделите блок, щёлкните правой кнопкой и в меню выберите Descent Hierarchy.

8.2. Перемещение по иерархической конструкции

Для перехода на более низкие уровни иерархии, щёлкните правой кнопкой мыши иерархический блок и выберите Descend Hierarchy.

Точно так же, чтобы двигаться вверх по иерархии, щелкните правой кнопкой мыши на схеме полусумматора и выберите Ascend Hierarchy (рис. 8.30).

Опции меню Ascend Hierarchy и Descend Hierarchy также доступны в окне в раскрывающемся меню окна View.

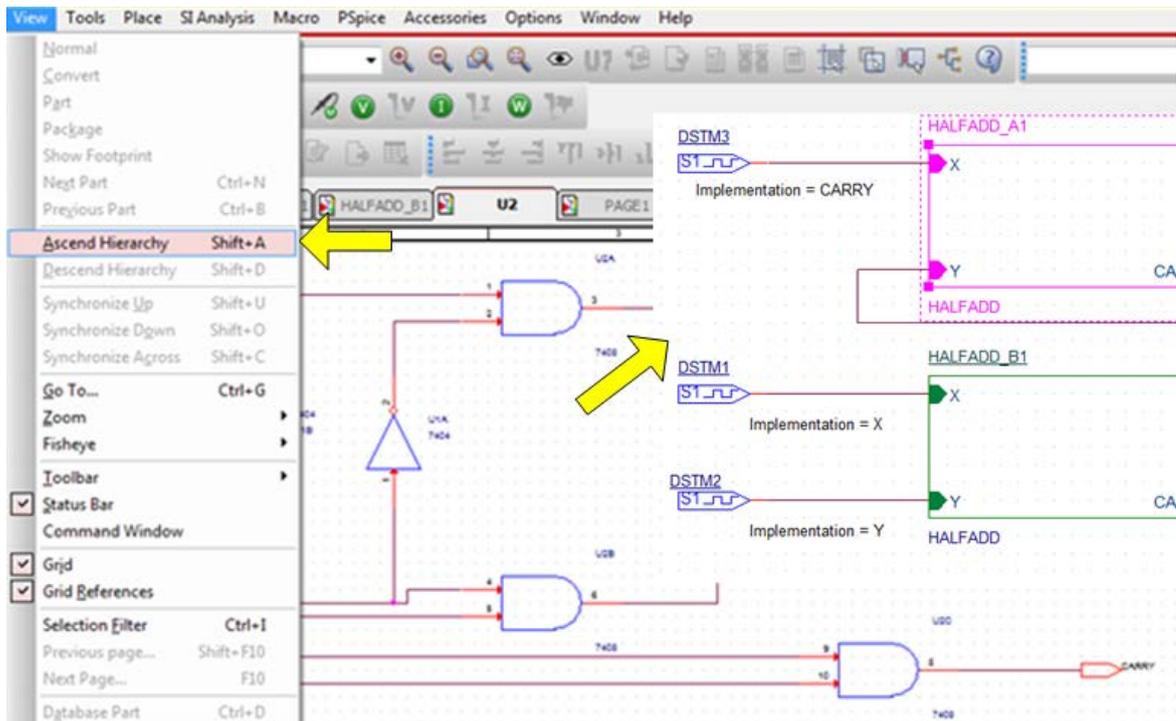


Рис. 8.30. Перемещение вверх по иерархии

Во время работы с иерархическими конструкциями, вы можете сделать изменения в иерархических блоках, а также в конструкции на самом низком уровне. Для того, чтобы сохранить обновления с изменениями различных уровней иерархии, вы можете использовать Synchronize options, которые доступны в меню View.

Выберите Synchronize Up, когда вы внесли изменения в конструкции самого нижнего уровня и хотите, чтобы эти изменения были отражены выше в иерархии.

Выберите Synchronize Across, когда после внесения изменений в иерархическом блоке необходимо, чтобы изменения были отражены во всех экземплярах блока.

Выберите Synchronize Down, когда вы внесли изменения в иерархическом блоке и хотите, чтобы эти изменения были отражены в конструкции самого нижнего уровня.

8.3. Моделирование полного сумматора

Выполним моделирование полного сумматора, чтобы получить временные диаграммы его функционирования.

Вернемся к схеме полного сумматора с цифровыми сигналами (рис. 8.31). В этой схеме временно исключен коннектор CON2, так как для него нет PSpice модели.

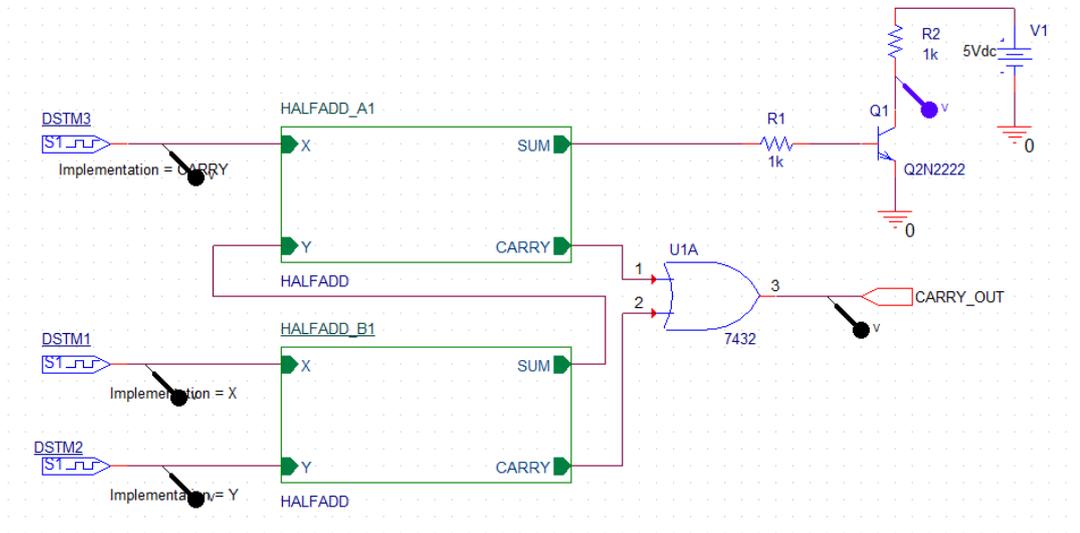


Рис. 8.31. Схема полного сумматора с цифровыми сигналами

Выполним установку цифровых стимулов (рис. 8.32).

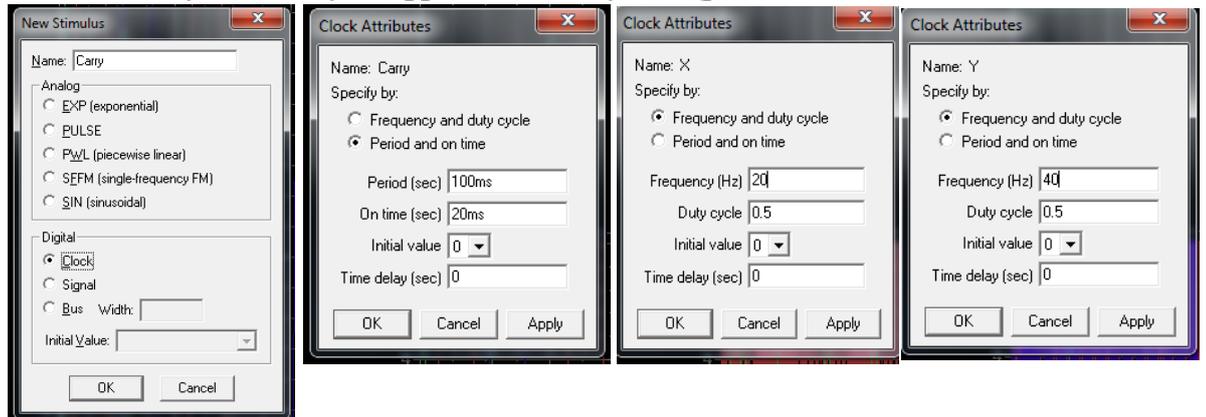


Рис. 8.32. Установка цифровых стимулов

В профиле моделирования Transient установим время 400 мс, шаг 100 мкс (рис. 8.33), а в опциях установим Gate Level Simulation.

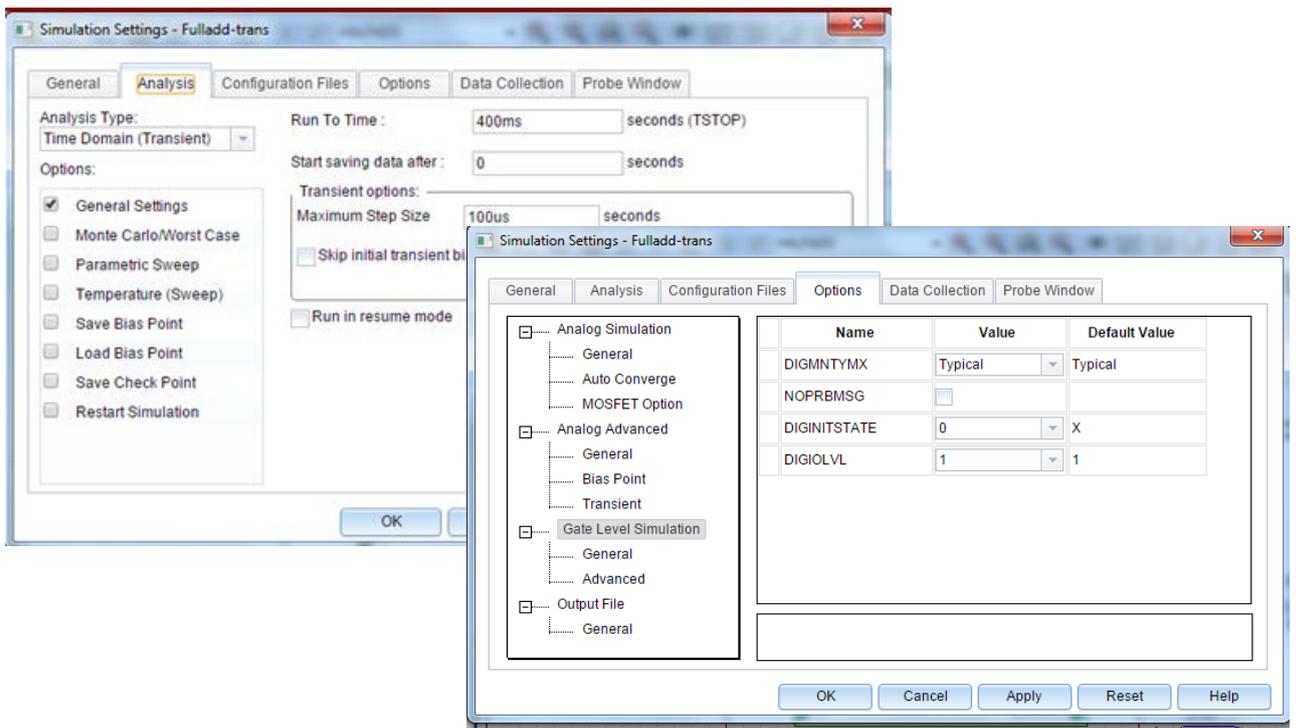


Рис. 8.33. Установка профиля моделирования
Результаты моделирования показаны на рис. 8.34.

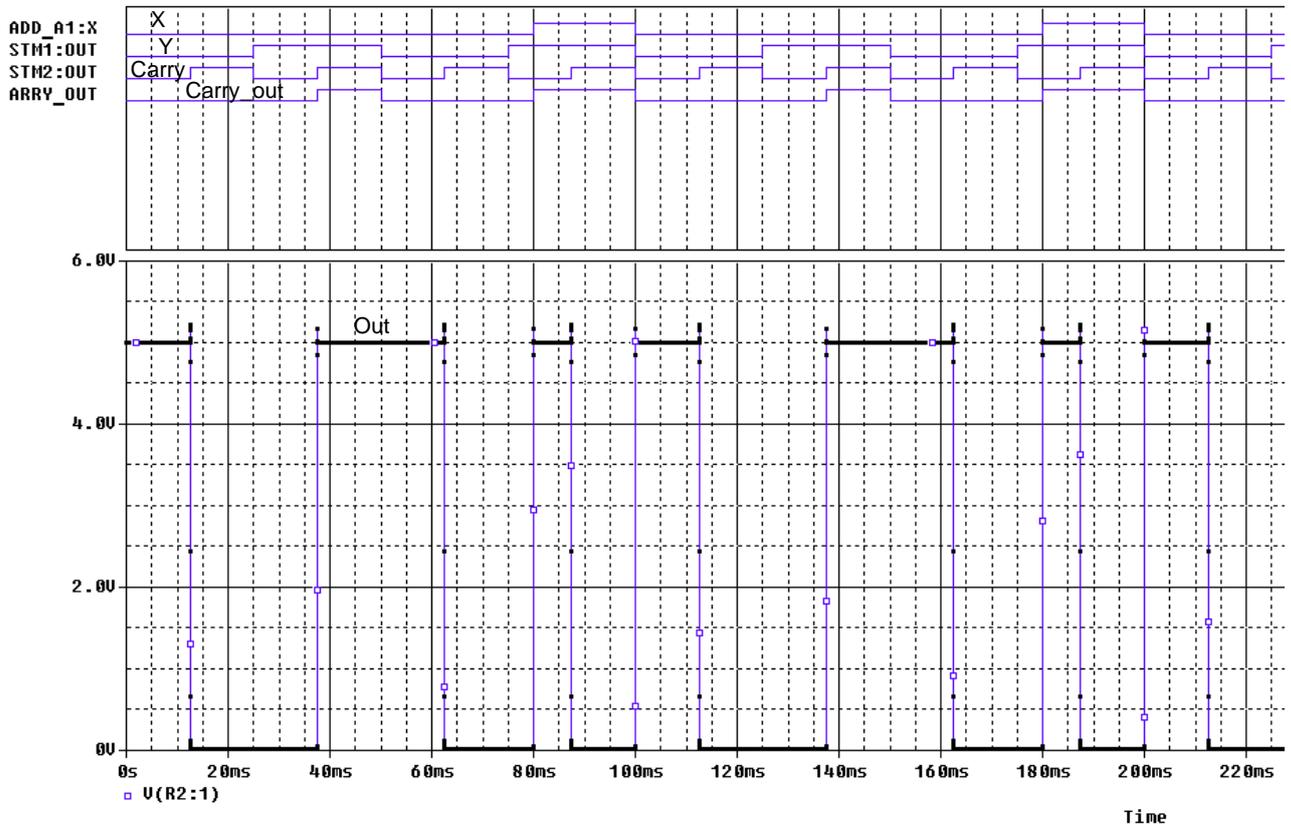


Рис. 8.34. Результаты моделирования полного сумматора

8.4. Контрольные вопросы

1. В чем разница между плоской и иерархической схемой ?
2. Какую структуру имеют иерархические проекты ?
3. Какие внестраничные и иерархические порты используют в PSpice ?
4. Расскажите о методологии создания иерархического проекта восходящим методом.
 5. Как проверить правильность схемы иерархического блока ?
 6. Как создать несколько аналогичных иерархических блоков ?
 7. Как создать и сохранить новый компонент, например, полусумматор ?
 8. Где будет сохранена новая библиотека для созданного компонента ?
 9. Расскажите о методологии создания иерархического проекта нисходящим методом.
 10. Как создать дизайн низшего уровня в нисходящем методе ?
 11. Как использовать сохраненный ранее компонент для создания дизайна низшего уровня ?
 12. Какие опции используют для перемещения по иерархической конструкции и контроля схем ?
 13. Как можно вносить изменения в иерархические проекты и сохранять их ?
 14. Почему при моделировании полного сумматора приходится временно удалять коннектор ?