

В.А. Алехин

OrCAD 17.2

Анализ и проектирование электронных устройств

Часть 2. Линии передачи. Аналоговые поведенческие модели.
Шумы. Температура. Цифровые модели. Печатные платы.

Учебное пособие для вузов

Москва 2018

Выходные данные

УДК 004.94

ББК ???

Алехин В.А.

А49 OrCAD 17.2. Анализ и проектирование электронных устройств. Учебное пособие для вузов. – М.: Горячая линия – Телеком, 2018. - с.

Рецензенты: доктор технических наук, профессор М.Л. Белов, доктор технических наук, доцент Д.А. Перепёлкин

Изложены вопросы анализа и схемотехнического проектирования электронных устройств в системе автоматизированного проектирования OrCAD 17.2 компании Cadence. Это одна из лучших программ сквозного проектирования электронной аппаратуры, представляющая дизайнерам широкие возможности разработки и моделирования электронных схем и создания печатных плат

Подробно рассмотрено моделирование разнообразных электронных схем в бесплатной учебной программе схемотехнического графического редактора проектов OrCAD Capture Lite, предназначенного для создания принципиальных схем и моделирования в программе PSpice 17.2. Изучаются основные методы работы в OrCAD 17.2: создание проектов, режимы моделирования цепей постоянного и переменного тока, переходных процессов, длинных линий, многовариантный анализ, анализ методом Монте-Карло, температурный анализ, анализ шумов, аналоговые поведенческие модели, моделирование цифровых и смешанных схем, создание иерархических проектов.

Рассмотрены вопросы подготовки схем для этапа проектирования печатных плат, приведены примеры ручной маршрутизации в редакторе печатных плат OrCAD PCB Editor и автоматической маршрутизации в OrCAD PCB Router.

Книга написана на основе технической документации компании Cadence и может служить руководством пользователя при работе с последними версиями программы OrCAD (OrCAD 16 и OrCAD 17). Материалы книги использовались в учебном процессе в МИРЭА – Российский технологический университет.

Для студентов, обучающихся по направлению 09.04.01 - «Информатика и вычислительная техника», будет полезно студентам других направлений, изучающих технологии проектирования вычислительных устройств и электронной аппаратуры средствами САПР. Может быть полезно инженерно-техническим работникам, специализирующимся в области разработки и конструирования электронной аппаратуры.

ББК: ???

Адрес издательства в Интернете WWW.TECHBOOK.RU

© В.А. Алехин, 2018

© Издательство «Горячая линия-Телеком», 2018

Оглавление

Введение 11

Глава 1. Начало работы в OrCAD 17.2 14

1.1. Системные требования 14

1.2. Что такое Spice – модели электронных компонентов 14

1.3. Установка пакета OrCAD 17.2 Lite 15

1.4. Структура и состав пакета программ OrCAD 17.2 Lite 17

1.5. Состав программ OrCAD PSpice 18

1.6. Ограничения в учебных программах OrCAD 17.2 Lite 19

1.7. Процесс моделирования в OrCAD 21

1.8. Создание первого проекта 24

1.9. Поведение менеджера проекта 30

1.10. В чем разница между понятиями *a part* и *a symbol* 31

1.11. Создаем первую схему из символов 32

1.12. Моделирование первой схемы 36

1.13. Окно команд TLC 42

1.14. Редактор схем и компонентов 43

1.14.1. Редактор схемных страниц 43

1.14.2. Редакторы схем и компонентов 44

1.15. Панели инструментов Capture 50

1.16. Поиск в режиме Capture 54

1.17. Диалоговое окно «Настройки» 56

1.18. Справочная документация OrCAD 58

1.19. Контрольные вопросы 59

Глава 2. Анализ электрических цепей постоянного тока 60

2.1. Краткие теоретические сведения 60

2.1.1. Элементы, структура и основные законы электрических цепей 60

2.1.2. Основные законы электрических цепей 62

2.1.3. Расчет цепи методом контурных токов (МКТ) 63

2.2. Расчетное задание №2.1. 63

2.3. Компьютерное моделирование задания №2.1	64
2.4. Делитель напряжения	67
2.5. Делитель токов	68
2.6. Метод эквивалентного генератора.	68
2.6.1. Расчетное задание №2.2	69
2.6.2. Компьютерное моделирование задания №2.2	69
2.6.3. Баланс мощности	70
2.7. Согласование нагрузки с генератором. Развертка параметров.	71
2.7.1. Параметрический анализ мощности при изменении значения резистора	72
2.7.2. Использование курсоров	77
2.7.3. Развертка двух параметров	78
2.8. Выходные характеристики биполярного транзистора	79
2.9. Анализ и отображение режима постоянного тока (Bias Point)	85
2.9.1. Сохранение режимов постоянного тока	87
2.9.2. Загрузка сохраненного режима постоянного тока	89
2.10. Контрольные вопросы	91
Глава 3. Анализ на переменном токе	92
3.1. Краткое теоретическое введение	92
3.1.1. Символический метод расчета	92
3.1.2. Мощность в цепи гармонического тока	93
3.1.3. Расчет цепи методом двух узлов	94
3.2. Расчетное задание	95
3.3. Компьютерное моделирование по заданию 3.2	95
3.3.1. Схема моделирования	97
3.3.2. Использование двух курсоров	99
3.4. Активный заграждающий фильтр	101
3.4.1. Моделирование активного заграждающего фильтра	103
3.4.2. Добавление и изменение графиков	106
3.5. Многовариантный анализ активного фильтра	110
3.5.1. Изменение величины резисторов	110
3.5.2. Изменение установки потенциометра обратной связи.	115

3.6. Контрольные вопросы	119
Глава 4. Анализ методом Монте-Карло	120
4.1. Принципы метода Monte Carlo	120
4.3. Исследование влияния точности двух видов компонентов	125
4.4. Повторное использование значений случайных параметров	126
4.5. Создание гистограмм	128
4.6. Контрольные вопросы	129
Глава 5. Анализ наихудшего случая	130
5.1. Функции сравнения для наихудшего случая	130
5.2. Анализ смещения частоты режекции в заграждающем фильтре	130
5.3. Оптимизация схемы по результатам анализа худшего случая	136
5.4. Контрольные вопросы	138
Глава 6. Электрические цепи с магнитной связью	140
6.1. Краткие теоретические сведения и расчет простых неразветвленных цепей	140
6.3. Связанные колебательные контуры	144
6.4. Нелинейные трансформаторы с магнитными сердечниками	147
6.5. Экспериментальное определение гистерезисной кривой	151
6.6. Типовые трансформаторы	152
6.7. Контрольные вопросы	153
Глава 7. Редактор стимулов	154
7.1. Ввод и редактирование стимулов	154
7.2. Стимулы для переходных процессов	155
7.2.1. Экспоненциальные источники	155
7.2.2. Профили моделирования	159
7.2.3. Импульсные источники	161
7.2.4. Синусоидальные сигналы	162
7.2.5. Простая частотная модуляция (SFFM)	163
7.2.6. Кусочно-линейная аппроксимация	165
7.3. Контрольные вопросы	166
Глава 8. Анализ переходных процессов	167
8.1. Краткое теоретическое введение	167

8.1.1. Классический метод расчета переходных процессов	168
8.2. Моделирование переходных процессов	173
8.3. Профиль моделирования переходных процессов	173
8.4. Планирование	177
8.5. Контрольные точки	178
8.6. Формирования временных зависимостей стимула напряжения с использованием текстовых файлов	182
8.6.1. Кусочно-линейные стимулы с однократным повторением	182
8.6.2. Текстовые стимулы с повторением	183
8.7. Контрольные вопросы	187
Глава 9. Проблемы сходимости и сообщения об ошибках	188
Глава 10. Анализ технических характеристик	189
10.1. Измерение времени фронта в RC - цепи	189
10.2. Зависимость времени нарастания от параметров цепи	192
10.3. Контрольные вопросы	195
Глава 11. Линии передачи	197
11.1. Определение линии с распределенными параметрами	197
11.2. Вывод телеграфных уравнений линии с потерями	197
11.3. Уравнения линии для гармонического сигнала.	198
Характеристические параметры линии	198
11.4. Падающие и отраженные волны	199
11.5. Входное сопротивление линии	199
11.6. Уравнения линии без потерь	200
11.7. Режимы работы линии без потерь	200
11.8. Исследование линий передачи в OrCAD-17.2	200
11.8.1. Идеальная линия передачи без потерь	201
11.8.2. Линии с потерями	202
11.9. Примеры моделирования линии без потерь	203
11.9.1. Согласованная линия без потерь	203
11.9.2. Короткозамкнутая линия без потерь	205
11.9.3. Разомкнутая линия без потерь	206
11.9.4. Режим смешанных волн в линии без потерь	207

Рис. 11.7. Режим смешанных волн	207
11.10. Исследование формы волны в линии без потерь	207
11.11. Контрольные вопросы	212
Глава 12. Аналоговые поведенческие модели	213
12.1. Обзор аналогового поведенческого моделирования	213
12.2. Размещение и спецификация компонентов АВМ	215
12.2.1. Имена цепи и имена устройств в выражениях АВМ	215
12.2.2. Необходимость использования глобального определения	216
12.3. Пример удвоителя напряжения	216
12.4. Пример компаратора	217
12.5. Пример умножителя	218
12.6. Пример фильтра нижних частот	219
12.7. Контрольные вопросы	220
Глава 13. Анализ шума	221
13.1. Виды шумов:	221
13.2. Пример исследования шума в транзисторном усилителе	223
13.2.1. Настройка и анализ шума	224
13.3. Контрольные вопросы	230
Глава 14. Температурный анализ	231
14.1. Температурные коэффициенты	231
14.2. Запуск анализа температуры	232
Пример 14.1: Влияние температуры на ВАХ диода	232
14.3. Контрольные вопросы	234
Глава 15. Редактирование и создание PSpice модели	235
15.1. Редактирования параметров PSpice модели	235
15.2. Создание PSpice модели нового компонента	237
15.3. Контрольные вопросы	244
Глава 16. Цифровое моделирование	245
16.1. Модели цифровых устройств	245
16.1.2. Функциональное поведение	245
16.2. Цифровые цепи	248
16.2.1. Моделирование цифрового счетчика	249

16.2.2. Профиль цифрового моделирования	250
16.2.3. Отображение цифровых сигналов	251
16.3. Контрольные вопросы	253
Глава 17. Смешанное моделирование	254
17.1. Исследование аналогового компаратора с цифровым выходом	254
17.2. Исследование цифро-аналогового преобразователя	256
17.3. Контрольные вопросы	259
Глава 18. Создание иерархических проектов	261
18.1. Создание иерархического проекта	261
18.1.2. Создание плоского проекта полусумматора HalfAdd	262
18.1.3. Иерархические порты и off-page разъемы	263
18.1.4. Создание иерархического проекта Full Adder	265
18.1.5. Восходящий метод	266
18.1.6. Создание схемы полного сумматора	266
18.1.7. Добавление в проект аналоговых компонентов	271
18.1.8. Создание и сохранение компонентов для новых проектов	272
18.1.9. Нисходящий метод	274
18.2. Перемещение по иерархической конструкции	280
18.3. Моделирование полного сумматора	280
18.4. Контрольные вопросы	283
Глава 19. Испытательные стенды	284
19.1. Использование частичного моделирования проекта	284
19.2. Работа с тестовым стендом	286
19.2.1. Создание тестового стенда	287
19.2.2. Активация компонентов	288
19.3. Сравнение и обновление основного проекта	290
19.4. Контрольные вопросы	292
Глава 20. Обработка схемы	293
20.1. Добавление ссылок для компонентов	293
20.2. Создание отчёта перекрёстных ссылок	296
20.3. Создание списка материалов	298
20.4. Добавление специфических свойств редактора PCB	300

20.5. Проверка правил проектирования	301
20.6. Контрольные вопросы	305
Глава 21. Проектирование печатных плат с использованием OrCAD PCB Editor	306
21.1. Обзор	306
21.2. Подготовка в Capture	307
21.2.1. Создание списка соединений для редактора печатных плат	307
21.3. Начало работы в PCB Editor	311
21.4. Создание печатной платы	313
21.4.1. Создание контура платы	313
21.4.2. Добавление монтажных отверстий	318
21.5. Размещение компонентов	322
21.5.1. Выбор компонентов с помощью RefDes	322
21.5.2. Поиск компонентов на плате	327
21.5.3. Проверка правил разработки	330
21.6. Использование категории DataTip	331
21.7. Выделение области	333
21.8. Выбор элементов дизайна с помощью Superfilter	334
21.9. Общие параметры на всплывающих меню	336
21.10. Описание режима привязки	337
21.11. Использование панели окна WorldView	338
21.12. Маршрутизация	340
21.12.1. Руководство по маршрутизации	340
21.12.2. Ручная маршрутизация цепей VCC и GND.	340
21.12.3. Маршрутизация остальных сетей вручную	344
21.13. Автоматическая маршрутизация с помощью PCB Editor	347
21.14. Автоматическая маршрутизация с помощью OrCAD PCB Router	348
21.15. Пост-обработка	352
21.15.1. Переименование компонентов вручную	352
21.15.2. Автоматическое переименование компонентов	353
21.15.3. Обратное аннотирование	354
21.16. Кросс-зондирование и кросс-выделение между редактором	357

печатных плат и Capture	357
21.17. Генерация вывода	359
21.18. Выходные файлы	359
21.19. Отчеты	363
21.20. Резюме	363
21.21. Контрольные вопросы	363
Библиография	365

Глава 11. Линии передачи

Линии передачи высокоскоростных информационных сигналов представляют собой цепи (линии) с распределенными параметрами. К ним относятся двухпроводные линии и кабели. На более высоких частотах применяют волноводы.

11.1. Определение линии с распределенными параметрами

Линией с распределёнными параметрами называется такая электрическая цепь, в которой элементарные параметры L , C , r , g и запасённая электрическая и магнитная энергия распределены вдоль всей длины цепи, а токи и напряжения в точке цепи зависят от расстояния этой точки до источника.

Первичными параметрами линии называются электрические параметры, отнесённые к единице длины, а именно: L_0 - погонная индуктивность (Гн/м); C_0 - погонная емкость (Ф/м); r_0 - погонное продольное сопротивление (Ом/м); g_0 - погонная поперечная проводимость изоляции (См/м). Линии с неизменными по длине первичными параметрами называются однородными.

11.2. Вывод телеграфных уравнений линии с потерями

Расчетная модель однородной линии показана на рис. 11.1.

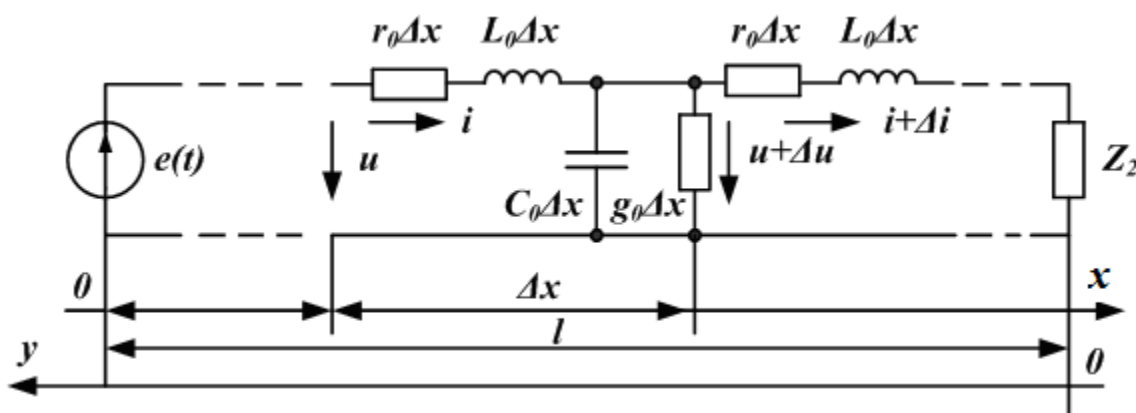


Рис. 11.1. Расчетная модель однородной линии

Малый участок линии Δx имеет продольное сопротивление $r_0 \cdot \Delta x$, индуктивность $L_0 \cdot \Delta x$, поперечную проводимость $g_0 \cdot \Delta x$, емкость $C_0 \cdot \Delta x$. На входе участка напряжение u , ток i . На выходе участка напряжение $u + \Delta u$, ток $i + \Delta i$. По расчетной схеме получаем следующую систему уравнений:

$$\begin{aligned} u(x) - u(x + \Delta x) &= L_0 \Delta x \frac{\partial i}{\partial t} + r_0 \Delta x i \\ i(x) - i(x + \Delta x) &= C_0 \Delta x \frac{\partial u}{\partial t} + g_0 \Delta x u \end{aligned} \quad (11.1)$$

При уменьшении Δx получим дифференциальные уравнения линии в частных производной при отсчете от начала линии:

$$\begin{aligned} -\frac{\partial u}{\partial x} &= L_0 \frac{\partial i}{\partial t} + r_0 i \\ -\frac{\partial i}{\partial x} &= C_0 \frac{\partial u}{\partial t} + g_0 u \end{aligned} \quad (11.2)$$

Эти уравнения называют *телеграфными уравнениями* линии при отсчета от начала (переменными являются координата x и время t). Таким образом, напряжение и ток в линии являются функциями двух переменных.

Если отсчет координаты вести от конца линии (переменными будут координата y и время t), получим телеграфные уравнения линии при отсчете от конца:

$$\begin{aligned} -\frac{\partial u}{\partial x} &= L_0 \frac{\partial i}{\partial t} + r_0 i \\ -\frac{\partial i}{\partial x} &= C_0 \frac{\partial u}{\partial t} + g_0 u \end{aligned} \quad (11.3)$$

11.3. Уравнения линии для гармонического сигнала. Характеристические параметры линии

Если на входе линии действует гармонический сигнал $e(t) = E_m \cdot \sin \omega t$, то из уравнений (11.2) можно получить обыкновенные однородные линейные дифференциальные уравнения для комплексных действующих значений напряжения и тока:

$$\frac{d^2 \underline{U}}{dx^2} - \underline{\gamma}^2 \underline{U} = 0; \quad \frac{d^2 \underline{I}}{dx^2} - \underline{\gamma}^2 \underline{I} = 0 \quad (11.4)$$

В уравнениях (11.4):

$\underline{\gamma} = \sqrt{(r_0 + j\omega L_0)(g_0 + j\omega C_0)} = \alpha + j\beta$ - коэффициент распространения; α - коэффициент затухания; $\beta = \frac{2\pi f}{V_\Phi} = \frac{2\pi}{\lambda}$ - коэффициент фазы,

V_Φ - фазовая скорость.

Решение уравнений (11.4) имеют следующий вид:

$$\begin{aligned}\underline{U}(x) &= \frac{\underline{U}_1 + \underline{Z}_\epsilon \underline{I}_1}{2} e^{-\gamma x} + \frac{\underline{U}_1 - \underline{Z}_\epsilon \underline{I}_1}{2} e^{+\gamma x} \\ \underline{I}(x) &= \frac{\underline{U}_1 + \underline{Z}_\epsilon \underline{I}_1}{2\underline{Z}_\epsilon} e^{-\gamma x} + \frac{\underline{U}_1 - \underline{Z}_\epsilon \underline{I}_1}{2\underline{Z}_\epsilon} e^{+\gamma x}\end{aligned}\quad (11.5)$$

В уравнения (11.5) входит важный параметр линии – *волновое сопротивление*:

$$\underline{Z}_B = \sqrt{\frac{r_0 + j\omega L_0}{g_0 + j\omega C_0}} \quad (11.6)$$

Коэффициенты γ, α, β и волновое сопротивление $\underline{Z}_\epsilon$ называют **характеристическими параметрами** линии.

11.4. Падающие и отраженные волны

Первые слагаемые в уравнениях (11.5) затухают при увеличении координаты x и представляют падающие волны напряжения и тока. Вторые слагаемые представляют отраженные волны и возрастают по мере приближения к нагрузке при увеличении x .

Уравнения (11.5) можно получить в гиперболической форме:

$$\begin{aligned}\underline{U}(x) &= \underline{U}_1 \operatorname{ch} \gamma x - \underline{Z}_\epsilon \underline{I}_1 \operatorname{sh} \gamma x \\ \underline{I}(x) &= \underline{I}_1 \operatorname{ch} \gamma x - \frac{\underline{U}_1}{\underline{Z}_\epsilon} \operatorname{sh} \gamma x\end{aligned}\quad (11.7)$$

Если отсчет вести от конца линии, когда задан режим в нагрузке $(\underline{U}_2, \underline{I}_2)$, то решение телеграфных уравнений имеет следующий вид:

$$\begin{aligned}\underline{U}(y) &= \underline{U}_2 \operatorname{ch} \gamma y + \underline{Z}_\epsilon \underline{I}_2 \operatorname{sh} \gamma y \\ \underline{I}(y) &= \underline{I}_2 \operatorname{ch} \gamma y + \frac{\underline{U}_2}{\underline{Z}_\epsilon} \operatorname{sh} \gamma y\end{aligned}\quad (11.8)$$

11.5. Входное сопротивление линии

Входное сопротивление в произвольной точке на расстояние y от конца, есть отношение напряжения в данном сечении к току в данном сечении:

$$\underline{Z}_{\text{вх}}(y) = \frac{\underline{U}(y)}{\underline{I}(y)} = \underline{Z}_\epsilon \frac{\underline{Z}_2 \operatorname{ch} \gamma y + \underline{Z}_\epsilon \operatorname{sh} \gamma y}{\underline{Z}_\epsilon \operatorname{ch} \gamma y + \underline{Z}_2 \operatorname{sh} \gamma y} \quad (11.9)$$

В согласованном режиме, когда $\underline{Z}_2 = \underline{Z}_e$, входное сопротивление линии в любом сечении постоянно и равно волновому сопротивлению: $\underline{Z}_{ex}(y) = \underline{Z}_e = const$.

11.6. Уравнения линии без потерь

Если потери в линии малы ($r_0 \ll \omega L_0, g_0 \ll \omega C_0$), то считают, что $r_0 = 0, g_0 = 0$ и рассматривают *линию без потерь*.

В линии без потерь коэффициент затухания $\alpha = 0$, коэффициент фазы $\beta = \omega \sqrt{L_0 C_0}$, коэффициент распространения $\underline{\gamma} = j\omega \sqrt{L_0 C_0} = j\beta$, фазовая скорость $V_\Phi = \frac{\omega}{\beta} = \frac{1}{\sqrt{L_0 C_0}}$, волновое сопротивление $\underline{Z}_e = \sqrt{\frac{L_0}{C_0}}$. При этом уравнения линии без потерь имеют следующий вид:

$$\begin{aligned}\underline{U}(y) &= \underline{U}_2 \cos \beta y + j \underline{I}_2 \underline{Z}_e \sin \beta y \\ \underline{I}(y) &= \underline{I}_2 \cos \beta y + j \frac{\underline{U}_2}{\underline{Z}_e} \sin \beta y\end{aligned}\tag{11.10}$$

Входное сопротивление линии без потерь:

$$\underline{Z}_{ex} = \underline{Z}_e \frac{\underline{Z}_2 \cos \beta y + j \underline{Z}_e \sin \beta y}{\underline{Z}_e \cos \beta y + j \underline{Z}_2 \sin \beta y}\tag{11.11}$$

Задав величину фазовой скорости V_Φ в линии (например, $V_\Phi = 3 \cdot 10^8$ м/сек для воздушной линии) и волновое сопротивление $Z_v = 1200$ Ом, можно рассчитать первичные параметры линии без потерь L_0, C_0 и длину отрезка имитированной линии l .

11.7. Режимы работы линии без потерь

Распределение напряжения по длине линии обусловлено наложением и интерференцией падающей и отраженной волны. В зависимости от характера нагрузки (импеданса) различают:

- режимы стоячих волн при нагрузке вида: холостой ход, короткое замыкание, индуктивность, емкость;
- режим бегущей волны при активной нагрузке, равной волновому сопротивлению линии;
- режимы смешанных волн при активной нагрузке, не равной волновому сопротивлению линии.

11.8. Исследование линий передачи в OrCAD-17.2

Целостность сигнала в высокоскоростных линиях передачи связана с частотой сигнала и дисперсионными потерями линий передачи. Потери мощности

сигнала объясняются увеличением сопротивления проводников (скин эффект) и увеличением диэлектрической проводимости (диэлектрические потери) с увеличением частоты. Дисперсия - это искажение формы волны сигнала в результате задержек, вызванных распределенной частотно-зависимой индуктивностью и емкостью линии передачи. Любые отраженные сигналы из-за несоответствие импеданса будут также проявляться в потерях и дисперсии, и в результате будут ухудшать производительность линии передачи. Идеальные линии и линии передачи с потерями моделируются в PSpice с использованием распределенных Tline моделей и моделей сегментированных линий TLUMP.11

11.8.1. Идеальная линия передачи без потерь

Параметрами, необходимыми для идеальной линии передачи, являются характеристикой импеданс (Z_0) (волнового сопротивления) и либо задержка линии передачи (TD), либо нормированная длина линии (NL), которая представляет собой число длин волн вдоль линии при заданной частоте. Вы не можете вводить TD и NL вместе. Если вы не указали частоту для NL, тогда частота по умолчанию соответствует для $NL = 0,25$, что представляет собой четверть волны.

Временная задержка, TD, вдоль линии передачи определяется следующим образом:

$$TD = \frac{LEN}{v_p},$$

где TD - задержка передачи (с), LEN - длина линии передачи в (м), v_p - скорость распространения волны (м/с). Для линий передачи скорость распространения выражается в процентах от скорости света, так что:

$v_p = c \times VF$, где VF - это фактор скорости, который имеет значения от 0 до 1, а c - скорость света, равная 3×10^8 м/с.

Нормализованная длина линии $NL = \frac{LEN}{\lambda}$.

Из выражения $v_p = f \lambda$ длину волны получим так: $\lambda = \frac{v_p}{f}$.

Это выражение затем перепишем так: $NL = LEN \frac{f}{v_p}$, где f - частота

(Гц), λ - длина волны (м).

PSpice использует устройство T из аналоговой библиотеки для моделирования идеальной передачи линия. На рис. 11.2а показан компонент Capture для устройства T линии без потерь и связанные с этим компонентом свойства в редакторе свойств.

Итак, для идеальной линии передачи, если вы не знаете время задержки (TD), тогда вы можете ввести значения для NL и f и, как указано выше, если вы не введете частоту, то используется значение по умолчанию 0,25, которое представляет собой четверть волны.

К линии передачи могут быть применены исходные условия для напряжения и тока.

11.8.2. Линии с потерями

Линии передачи могут считаться состоящими из нескольких одинаковых участков с известными условно сосредоточенными параметрами сегментов линии, как показано на рисунке 11.1. При этом $R = r_0 \cdot \Delta x$ представляет собой продольное линейное сопротивление, $L = L_0 \cdot \Delta x$ - индуктивность линии, $C = C_0 \cdot \Delta x$ - диэлектрическая емкость и $G = g_0 \cdot \Delta x$ - поперечная диэлектрическая проводимость. Для длинных линий электропередачи одним решением будет использование несколько сосредоточенных сегментов RLCG, соединенных вместе.

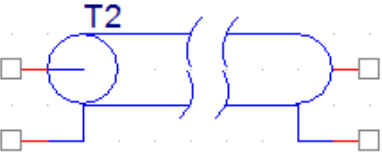
На рис. 11.2.б показан компонент Capture для устройства линии с потерями и связанные с этим компонентом свойства в редакторе свойств.

PSpice обеспечивает до 128 сегментов линии в библиотеке TLine. Однако, объединение больших сегментов линии может привести к длительному времени моделирования.

Простые модели линий передачи RC также доступны в библиотеке TLine, так как имеется более 40 моделей коаксиальных кабелей и моделей с витой проволокой.

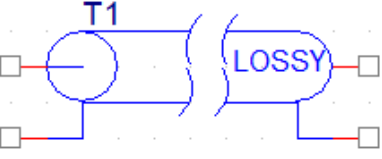
Альтернативный подход для линий передачи с потерями заключается в использовании распределенной модели, которая опирается на метод свертки с импульсной характеристикой для определения отклика в линии передачи. На рис. 11.3 показано устройство TLOSSY PSpice и связанные с ним свойства в редакторе свойств.

Длина линии передачи представлена свойством LEN, а свойства R, L, C и G указаны для единичной длины.



	A
	SCHEMATIC1 : PAGE1
Implementation	
Implementation Type	<none>
IO_LEVEL	
IOMODEL	
MNTYMXDLY	
Name	INS472
Part Reference	T2
Source Library	C:\CADENCE\SPB_17.2
Source Package	T
PSpiceTemplate	T*@REFDES %A+ %A- %B
PSpiceOnly	TRUE
Reference	T2
Value	T
RES	
ratio	
C	
G	
L	
LEN	
Location X-Coordinate	160
Location Y-Coordinate	180
NL	
Source Part	T.Normal
TD	
Z0	

Рис. 11.2.а



	A
	SCHEMATIC1 : PAGE1
Implementation	
Implementation Type	<none>
IO_LEVEL	
IOMODEL	
MNTYMXDLY	
Name	INS445
Part Reference	T1
Source Library	C:\CADENCE\SPB_17.2
Source Package	TLOSSY
PSpiceTemplate	T*@REFDES %A+ %A- %B
PSpiceOnly	TRUE
Reference	T1
Value	TLOSSY
RES	
ratio	
C	1
G	1
L	1
LEN	1
Location X-Coordinate	540
Location Y-Coordinate	200
R	1
Source Part	TLOSSY.Normal

Рис.11.2.б

Примечание.

Максимальный внутренний временной шаг, созданный для моделей распределенных линий передачи, ограничен одной половиной задержки линии передачи TD. Поэтому для короткой линии передачи, время моделирования может быть значительно больше для распределенных моделей линий по сравнению с использованием для короткой линии передачи модели с сосредоточенными параметрами.

11.9. Примеры моделирования линии без потерь

11.9.1. Согласованная линия без потерь

В новом проекте PR-19 соберем схему (рис. 11.3). Линию передачи T1 выбираем из аналоговой библиотеки, а импульсный источник напряжения из библиотеки Source. Когда вы размещаете нагрузочный резистор RL на схеме, по умолчанию, контакт 1 включен в левой части резистора. Надо повернуть резистор RL три раза, чтобы в вертикальном положении контакт 1 находился сверху и был подключен к T1. По соглашению ток, текущий в контакт 1, определяется как положительный, так что измеренный отрицательный ток на выводе 1 представляет собой ток, вытекающий из контакта 1.

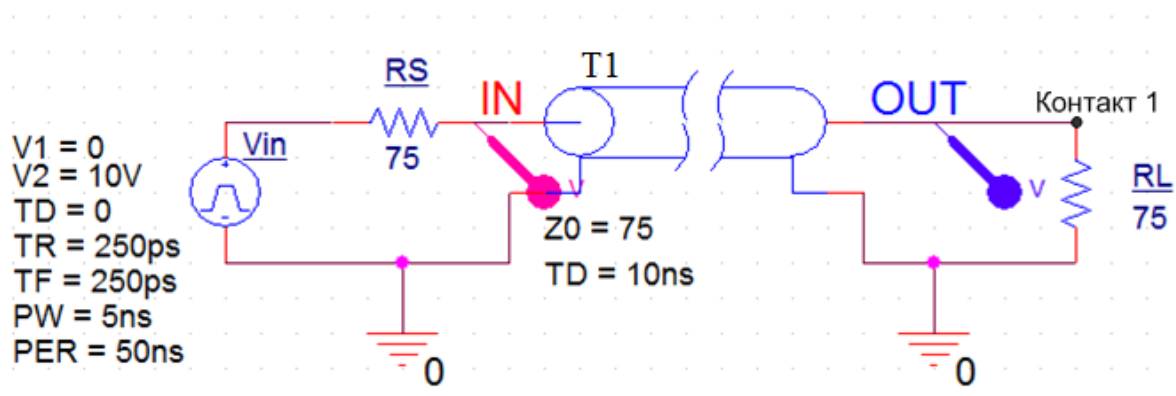


Рис. 11.3. Схема модели согласованной линии передачи

Для линии передачи установим типовые значения волнового сопротивления $Z_0 = 75 \text{ Ом}$ и задержки $TD = 10 \text{ нс}$.

Для работы линии в согласованном режиме сопротивление источника сигнала R_S и сопротивление нагрузки R_L должны равняться волновому сопротивлению линии 75 Ом .

Установки импульсного источника сигнала показаны на рис. 11.3.

Выполним моделирование с профилем Transient и установим Run To Time = 50 ns , Maximum Step Size = 50 ps .

Результаты моделирования формы сигналов показаны на рис. 11.4.

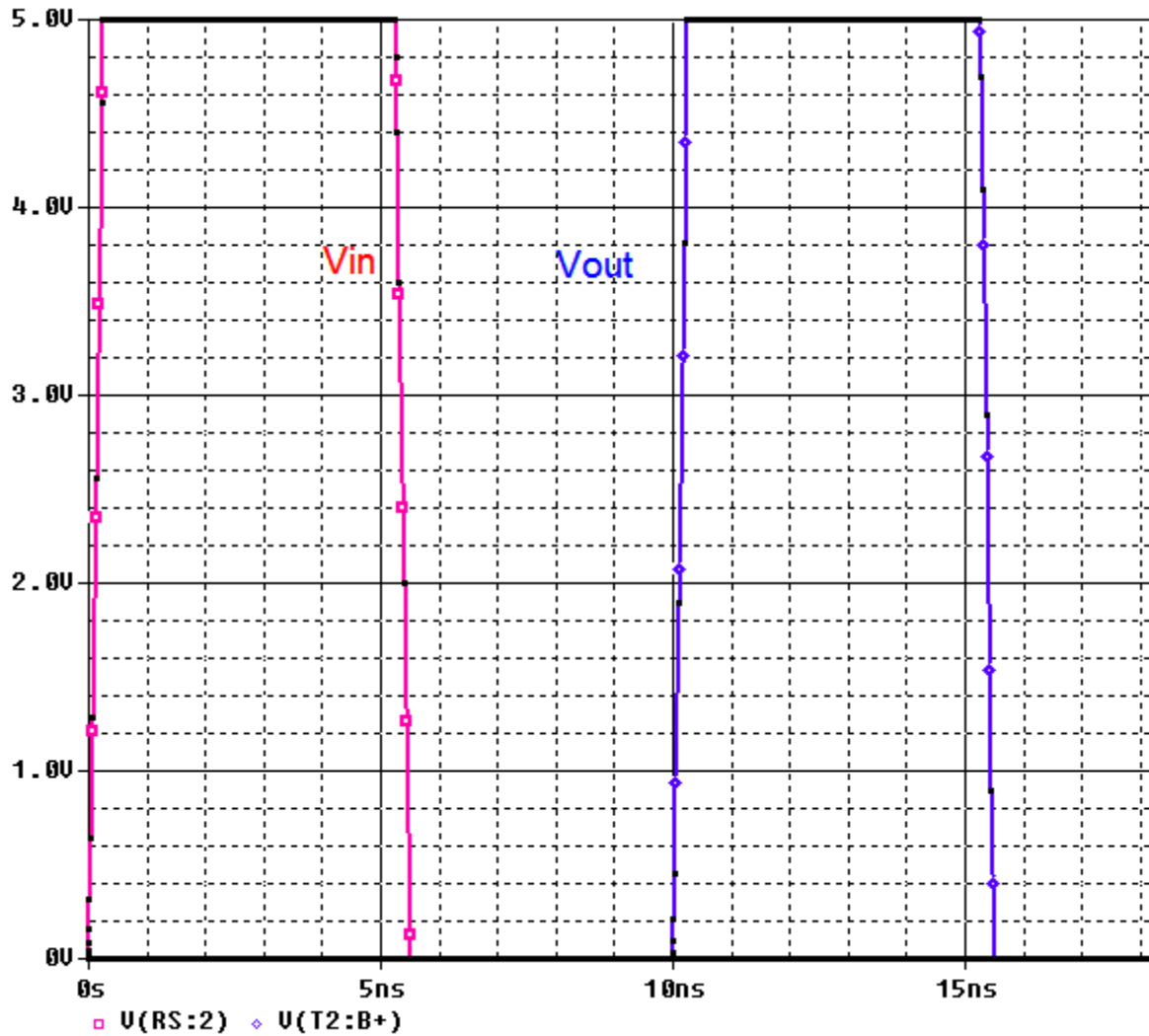


Рис. 11.4. Форма сигналов в согласованной линии без потерь

Как и следует из теории, выходной сигнал не искажается, полностью соответствует входному, но задержан на время задержки линии 10 нс.

11.9.2. Короткозамкнутая линия без потерь

Для моделирования короткозамкнутой линии установим в схеме рис. 11.3 нагрузку $R_L = 75 \text{ мОм}$. Моделирование показывает, что на выходе импульс напряжения отсутствует, а на входе с задержкой 20 нс появляется отраженный импульс (рис. 11.5).

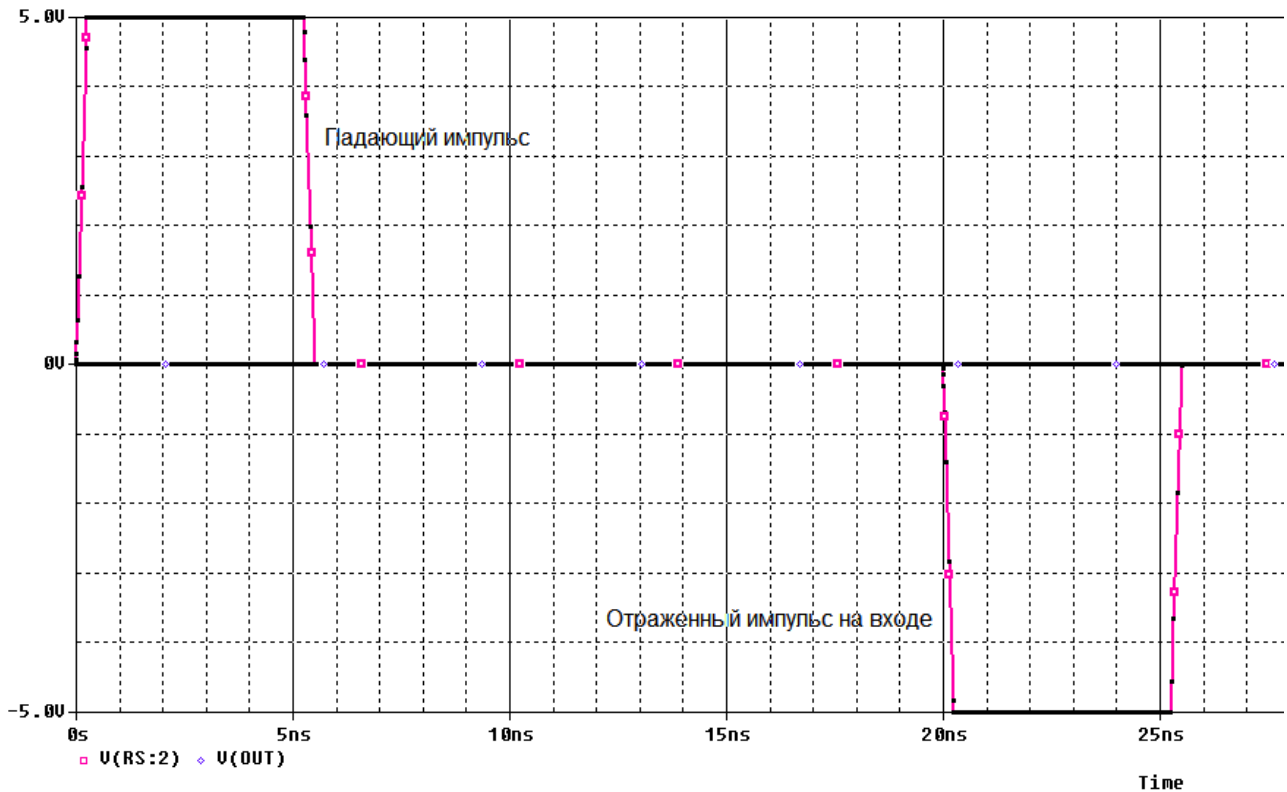


Рис. 11.5. Режим короткого замыкания на выходе

11.9.3. Разомкнутая линия без потерь

Для моделирования разомкнутой линии установим нагрузку $RL=75$ ГОм. В этом случае на выходе наблюдаем удвоенный импульс напряжения, а на входе появляется отраженный импульс с задержкой 20 нс

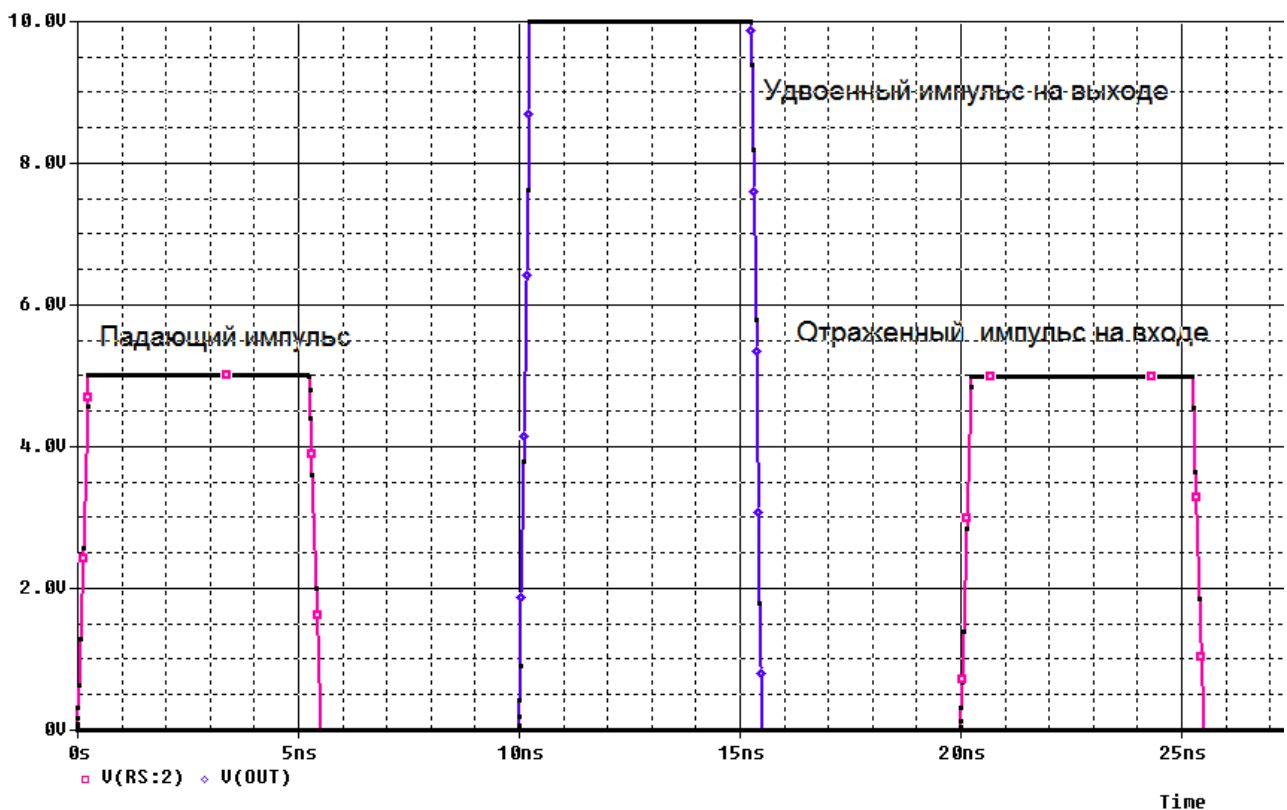


Рис. 11.6. Режим разомкнутой линии

Короткозамкнутая и разомкнутая линия работают в режиме стоячей волны: энергия не передается в нагрузку так как в первом случае напряжение на нагрузке равно нулю, а во втором случае ток в нагрузке равен нулю.

11.9.4. Режим смешанных волн в линии без потерь

Если нагрузка активная, но не равна волновому сопротивлению линии, установится режим смешанных волн. Моделирование для $RL=150$ Ом показывает, что в нагрузке наблюдается импульс с амплитудой 7,2 В, а на вход с задержкой 20 нс поступает отраженный импульс с амплитудой 1,7 В.

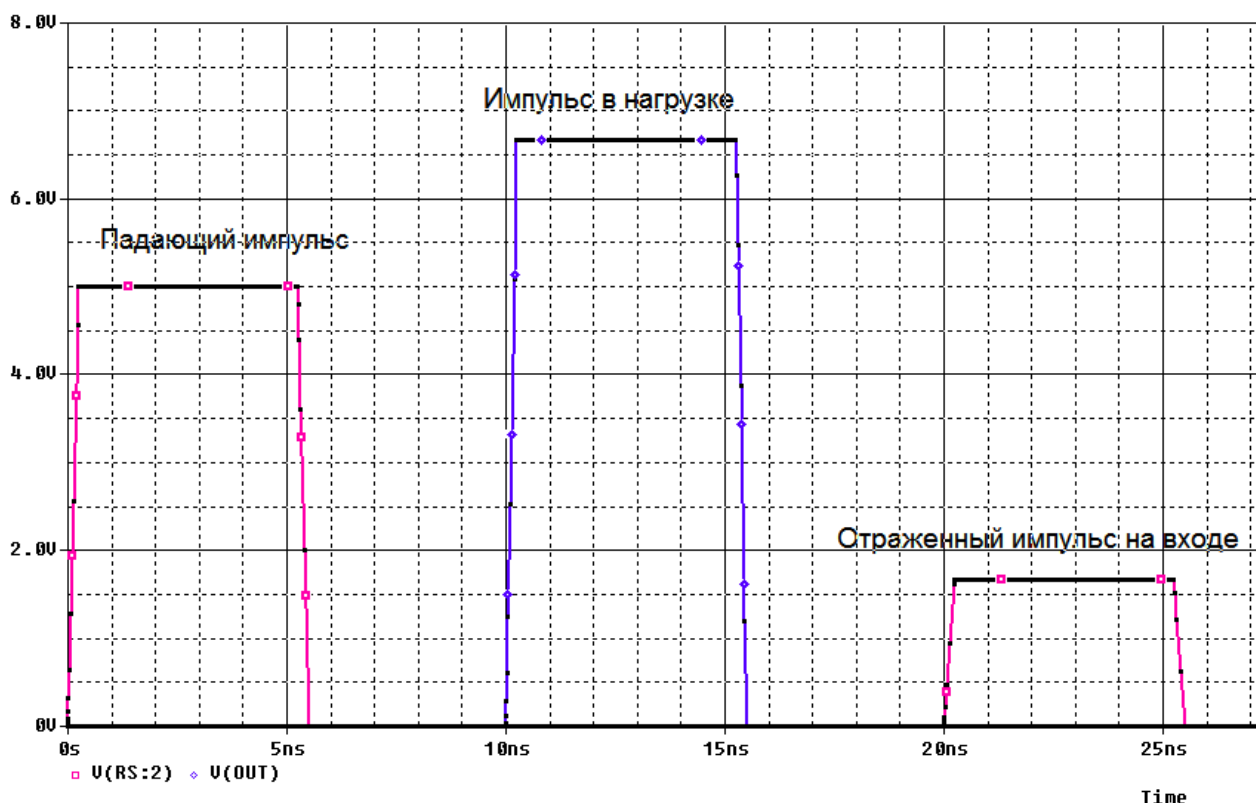


Рис. 11.7. Режим смешанных волн

11.10. Исследование формы волны в линии без потерь

Распределение напряжения волны вдоль линии зависит от характера нагрузки, частоты и свойств линии.

Чтобы исследовать это, выполним следующее:

1. В новом проекте соберем модель линии с источником переменного напряжения (рис. 11.8).

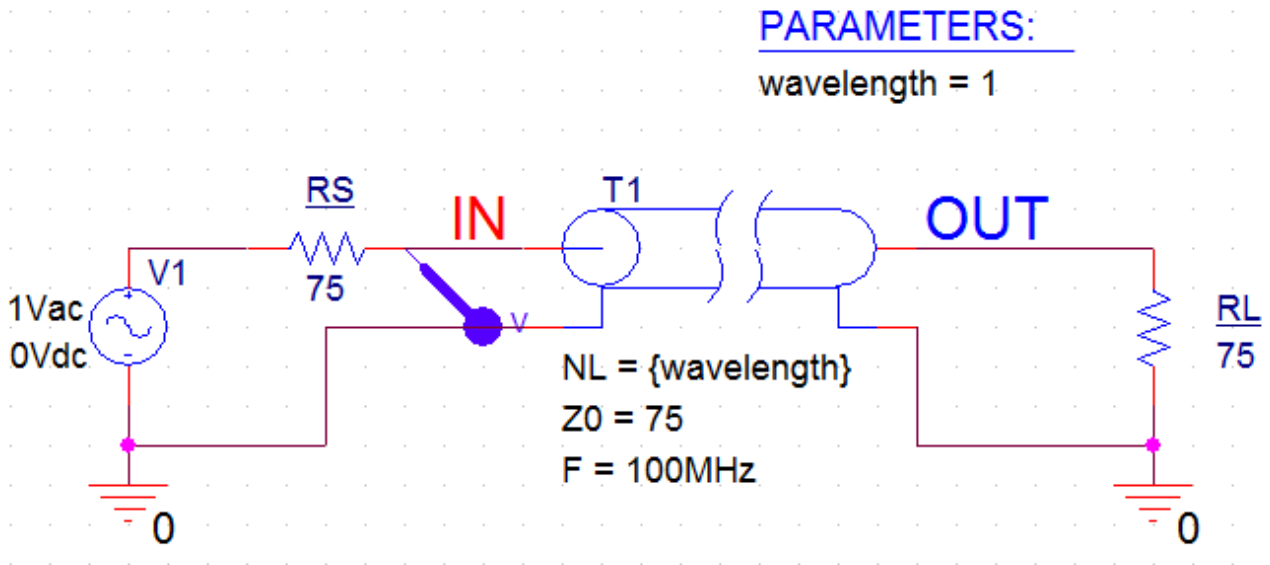


Рис. 11.8. Модель для исследования формы волны

2. Мы будем менять значение свойства линии передачи NL, поэтому необходимо параметризовать значение свойства NL в редакторе свойств.

Дважды щелкните по компоненту T1, чтобы открыть Редактор свойств. Выделите для NL поле значения свойства, которое имеет затененные линии и введите {wavelength}. Скобки {} представляют собой «контейнер» для переменного параметра. Не закрывайте редактор свойств, нажмите Display и выберите Name and Value. Тогда на схеме появится запись NL={wavelength}.

3. Установите частоту 100 МГц и волновое сопротивление 75 Ом (рис. 11.9).

A	
SCHEMATIC1 : PAGE1	
Implementation	
Implementation Type	<none>
IO_LEVEL	
IOMODEL	
MNTYMXDLY	
Name	INS445
Part Reference	T1
Source Library	C:\ICADENCE\SPB_17.2
Source Package	T
PSpiceTemplate	T*@REFDES %A+ %A- %B
PSpiceOnly	TRUE
Reference	T1
Value	T
RES	
wavelength	
F	100MHz
Location X-Coordinate	310
Location Y-Coordinate	160
NL	{wavelength}
Source Part	T.Normal
TD	
Z0	75

Display Properties

Name: NL

Value: {wavelength}

Change... Use Default

Display Format

☐ Do Not Display
☐ Value Only
☒ Name and Value
☐ Name Only
☐ Both if Value Exists
☐ Value if Value Exists

Font: Arial 7

Color: Default

Rotation:
 ☒ 0° ☐ 180°
☐ 90° ☐ 270°

Text Justification: Default

OK Cancel Help

Рис. 11.9. Установка длины линии и частоты

4. Далее необходимо определить значение по умолчанию для параметра длины волны. Добавьте компонент Param из специальной библиотеки и двойным щелчком на компоненте откройте его Редактор свойств. Выберите New Properties, введите Name как wavelength волны и свойство Value = 1 как показано на рис. 11.10. Установите отображение Name and Value для wavelength и закройте редактор свойств для компонента PARAM.

В схеме появятся дополнительные свойства (рис. 11.8).



Рис. 11.10. Установка свойств компонента PARAM

5. Далее вам нужно будет настроить развертку параметрического моделирования вместе с анализом AC. Создайте новый профиль моделирования PSpice, например, ACSIN и выберите анализ AC Sweep / Noise от 100 МГц до 200 МГц при использовании логарифмической развертки с плотностью точек 1/декада (рис. 11.11). Нажмите Apply и Ok.

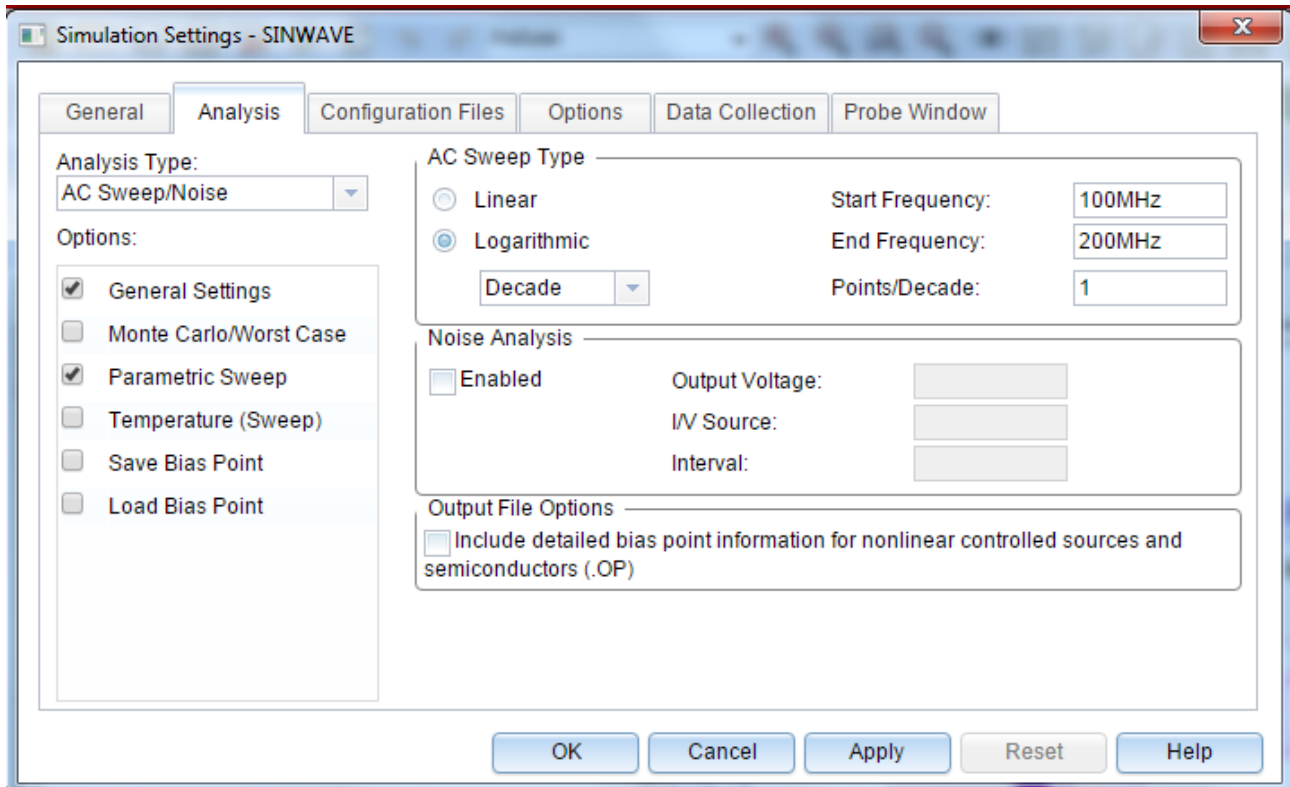


Рис. 11.11. Установка профиля моделирования с разверткой по частоте

6. Установите параметрическую развертку и настройте глобальный параметр развертки wavelength. Длины волны меняется от 0 до 1 с шагом 0.01, как показано на рисунке 11.12. Нажмите «ОК».

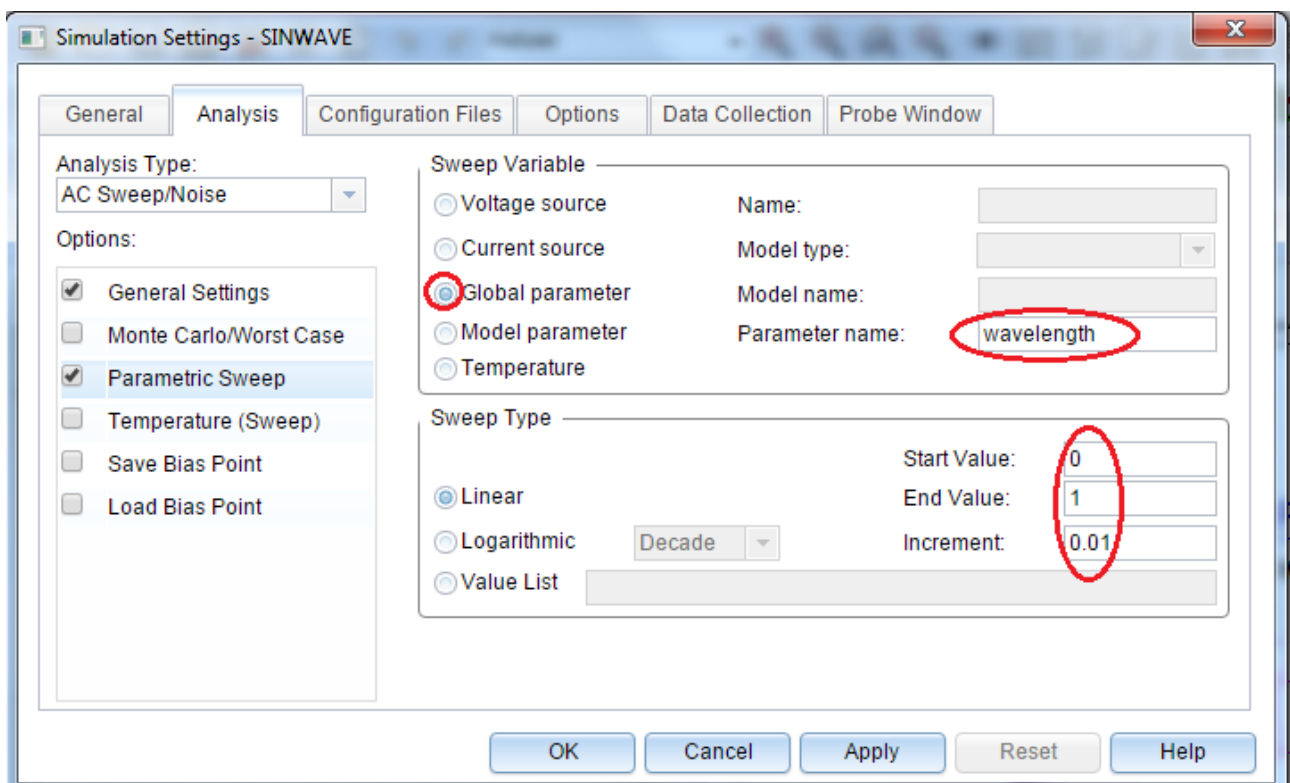


Рис. 11.12. Настройка параметрической развертки длины волны

7. Установите в схеме (рис. 11.8) $RL=75$ Ом и выполните моделирование. После окончания моделирования отобразите в окне Probe все доступные результаты.

В режиме бегущей волны напряжение вдоль линии будет постоянным (рис. 11.13).

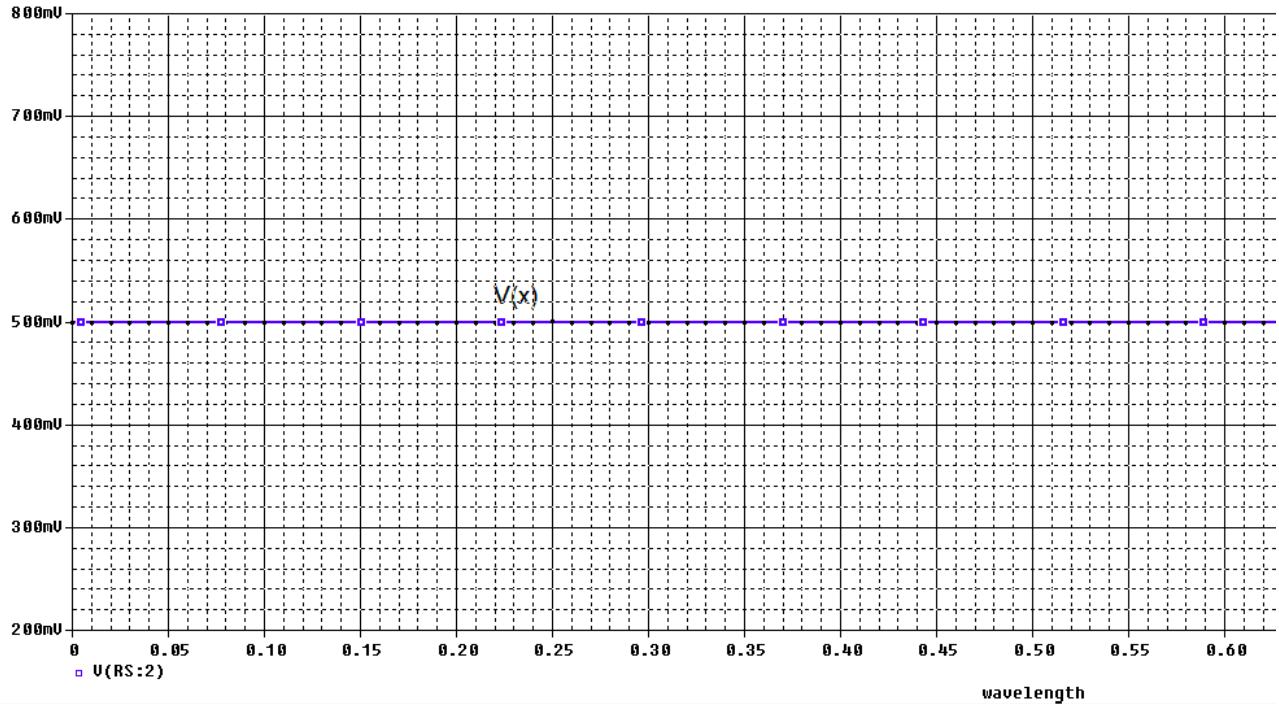


Рис.11.13. Напряжение в линии в режиме бегущей волны

8. Установите в схеме (рис. 11.8) $RL=75$ мОм (режим короткого замыкания). Выполните моделирование. В линии установится режим стоячей волны. В конце линии будет минимум напряжения (рис. 11.14).

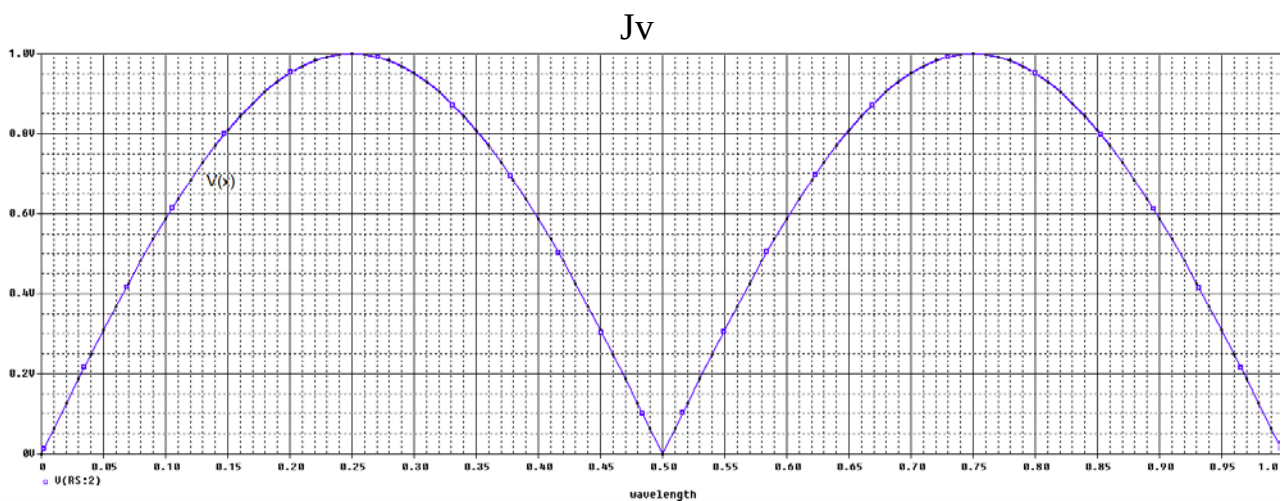


Рис. 11.14. Напряжение в линии с режиме стоячей волны

9. Установите $R_L = 150 \text{ Ом}$. В линии будет режим смешанных волн. Так как нагрузка больше волнового сопротивления, в конце линии будет максимум напряжения (рис. 11.15).

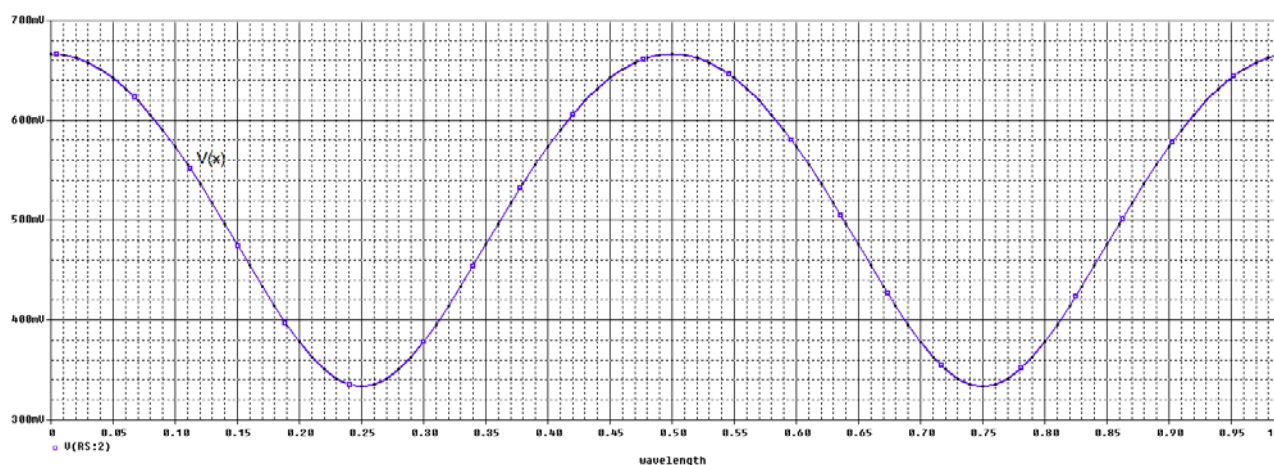


Рис. 11.15. Напряжение в линии с режиме смешанных волн

Таким образом, мы изучили моделирование линий передачи в среде OrCAD-17.2. Более детальные сведения вы получите при самостоятельном освоении программы.

11.11. Контрольные вопросы

1. Дайте определение линий с распределенными параметрами.
2. Назовите первичные параметры линий с распределенными параметрами.
3. Какие линии называют однородными ?
4. Как выглядит модель участка однородной линии ?
5. Как выглядят телеграфные уравнения линии для произвольного сигнала ?
6. Как выглядят уравнения линии с потерями для гармонического сигнала ?
7. Назовите характеристические параметры линии ?
8. Что такое падающие и отраженные волны ?
9. Как выглядят уравнения линии без потерь и входное сопротивление такой линии ?
10. Какие режимы работы бывают в линии без потерь ?
11. Какие компоненты используют в OrCAD 17.2 для моделирования линий без потерь и как устанавливают параметры этих компонентов ?
12. Какие компоненты используют в OrCAD 17.2 для моделирования линий с потерями и как устанавливают параметры этих компонентов ?
13. Поясните пример моделирования линии без потерь с различными нагрузками.
14. Поясните метод исследования формы волны в линии без потерь.

Глава 12. Аналоговые поведенческие модели

12.1. Обзор аналогового поведенческого моделирования

Аналоговые поведенческие модели (ABM) устройства являются расширенными версиями традиционных Spice-моделей E устройств - управляемых напряжением источников напряжения (VCVS), G устройств, источников тока, управляемых напряжением (VCCS). Они обеспечивают функции передачи, математические выражения или таблицы LUT для описания поведения электронного устройства или схемы. Система ABM может обеспечить системный подход к проектированию электронных схем. Электронная система представлена блок-схемой, каждый блок представлен ABM устройством, которое может уменьшить общее время моделирования. Если система удовлетворяет необходимым техническим характеристикам, то каждый блок может быть последовательно заменен на его окончательную электронную схему. В качестве альтернативы, работающие электронные схемы могут быть заменены эквивалентными блоками ABM.

Существуют два типа устройства ABM устройств:

PSpice эквивалентные блоки, которые имеют дифференциальный вход и двухсторонний выход, систему управления блоками, которая имеет один входной и выходной контакт.

Стандартные E, F, G и H устройства могут быть найдены в аналоговой библиотеке, в то время как устройства ABM могут быть найдены в ABM библиотека.

Некоторые компоненты поведенческих моделей показаны на рис. 12.1

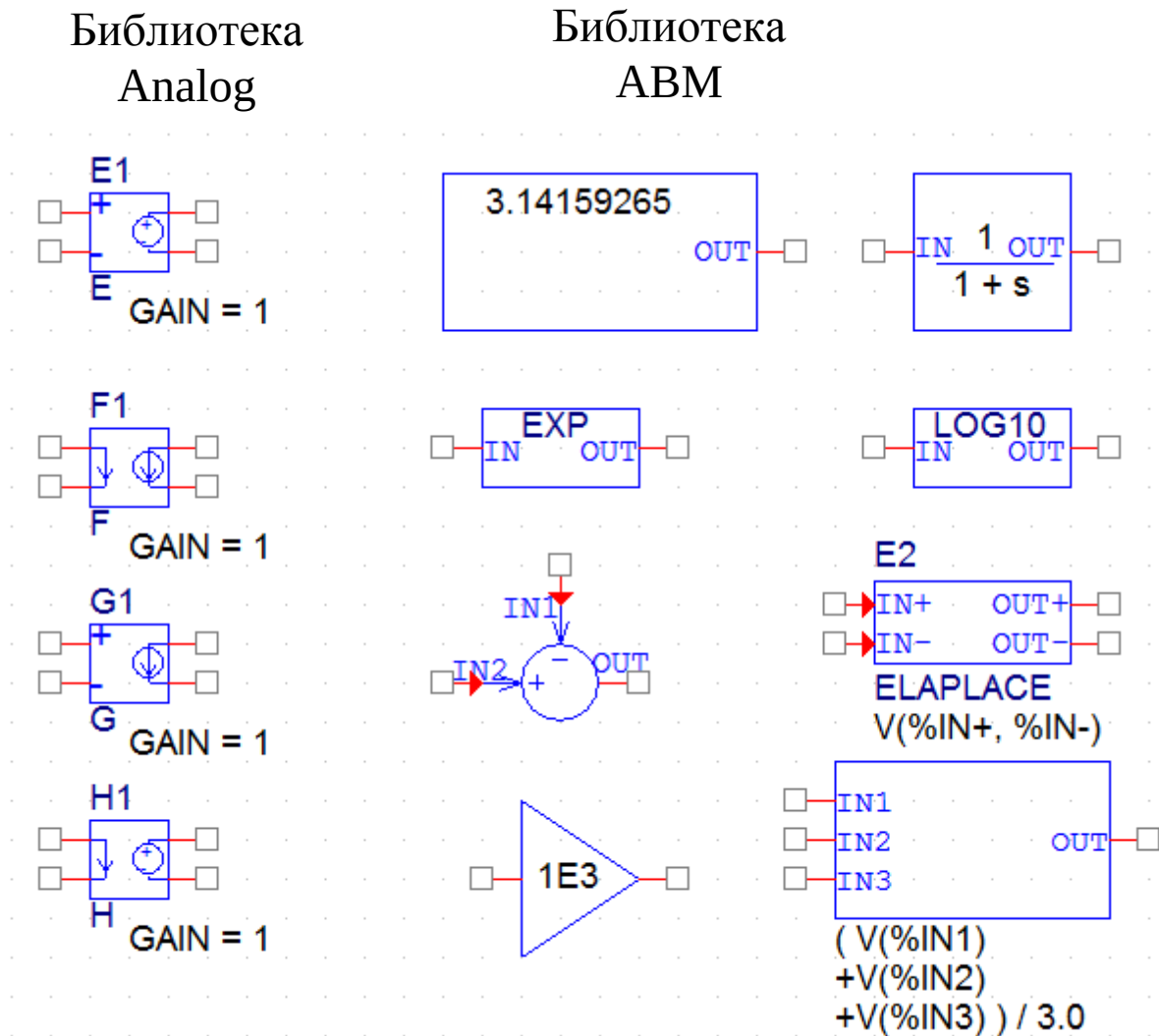


Рис. 12.1. Некоторые компоненты поведенческих моделей

Расширенные источники предоставляют пять дополнительных функций, которые определяются как:

- Value - Математическое выражение, значение;
- Table- Таблица – Look-Up-Table;
- Freq - Частота откликов;
- Chebyshev -Характеристики фильтра Чебышева;
- Laplace - преобразование Лапласа.

Вы можете использовать функцию Analog Behavioral Modeling (ABM) PSpice для гибкого описания электронных компонентов при заданной передаточной функции или справочной таблицы. Другими словами, математическое отношение используется для моделирования сегмента цепи, поэтому вам не нужно составлять этот сегмент по компонентам.

Библиотека компонентов содержит несколько компонентов ABM, которые классифицируются либо как части системы управления, либо как части, эквивалентные PSpice моделям.

Элементы системы управления определяются с предустановленным опорным напряжением, чтобы каждый управляющий вход и выход были представлены одним контактом компонента.

Компоненты, эквивалентные PSpice, отражают структуру PSpice E и G типов устройств, которые реагируют на дифференциальный вход и имеют двухсторонний выход.

Вы также можете использовать набор устройств разработчика для моделирования такого типа, но рекомендуется использовать функцию ABM везде, где возможно.

Модели устройств, выполненные с использованием ABM, могут использоваться в большинстве случаев, являются гораздо проще в создании и совместимы с обновлениями PSpice.

Файл библиотеки компонентов ABM содержит два раздела.

В первом разделе есть компоненты, которые можно быстро подключить к структуре системы управления. Эти компоненты имеют такие имена, как SUM, GAIN, LAPLACE и HIPASS.

Второй раздел содержит компоненты, которые полезны для более традиционных контролируемых исходных форм схемных деталей. Эти PSpice-эквивалентные части имеют имена, такие как EVALUE и GFREQ, и основаны на расширении к традиционным типам устройств PSpice E и G.

Несколько компонентов генерируют многострочные записи списка соединений, но большинство из них реализованы как один PSpice E или G.

12.2. Размещение и спецификация компонентов ABM

Размещайте и соединяйте части ABM так же, как и другие детали.

После размещения компонента ABM вы можете редактировать свойства экземпляра, чтобы настроить рабочее поведение детали. Это эквивалентно определению выражения ABM, описывающего преобразование входов в выходы. В следующих разделах описываются правила для указания ABM-выражения.

12.2.1. Имена цепи и имена устройств в выражениях ABM

В выражениях ABM сигналы указывают по имени. Это тоже значительно удобнее, чем подключение провода от контакта на компоненте ABM до точки, несущей интересующее напряжение.

Если вы использовали выражение типа V(2), то указанная сеть (2 в этом случае) интерпретируется как имя локальной или глобальной сети. Местная цепь - это сегментированный фрагмент провода или шины в иерархической схеме или помеченный соединитель offpage. Глобальная сеть - это маркированный провод или сегмент шины на верхнем уровне или глобальный соединитель.

Примечание. Имя порта интерфейса не распространяется на любые подключенные сети. Чтобы сослаться на сигнал, поступающий через порт интерфейса, подключите порт к разъему offpage с требуемым именем.

OrCAD Capture распознает эти конструкции в выражениях ABM:

V (<имя сети>)

V (<net name>, <net name>)

I (<vdevice>)

Когда один из них распознается, Capture ищет <net name> или <vdevice> в пространстве имен цепей или в пространстве имен устройств, соответственно. Имена сначала ищутся на иерархическом уровне, причем компонент не включен в список. Если они не найдены, то выполняется глобальный поиск имен. Если фрагмент не найден, то поступает предупреждение, но Capture все же выводит итоговый список соединений. Когда совпадение найдено, исходный фрагмент заменяется полным именем сети или устройства.

Имена источников напряжения обрабатываются аналогичным образом. Например, выражение, включающее термин I (Vsense), будет выводиться как I (V_U1_Vsense), если источник напряжения существует локально, и как I (V_Vsense), если источник напряжения существует на верхнем уровне.

12.2.2. Необходимость использования глобального определения

Если имя сети существует как на локальном иерархическом уровне, так и в верхнем уровне, механизм поиска, используемый Capture, найдет локальное определение. Вы можете переопределить это и заставить Capture использовать глобальное определение путем префикса имени с символом одной кавычки (').

Например, предположим, что есть сеть под названием Reference внутри иерархической части U1 и на верхнем уровне. Тогда фрагмент ABM V (Reference) приведет к V (U1_Reference) в списке соединений, в то время как фрагмент V (^Reference) произведет V (Reference).

12.3. Пример удвоителя напряжения

Создадим новый проект PR-18 и соберем схему с умножителем напряжения EVALUE (рис. 12.2). В свойствах компонента установим множитель 2*. Выполним моделирование в режиме Transient и получим графики входного и увеличенного в два раза выходного напряжения (рис.12.3).

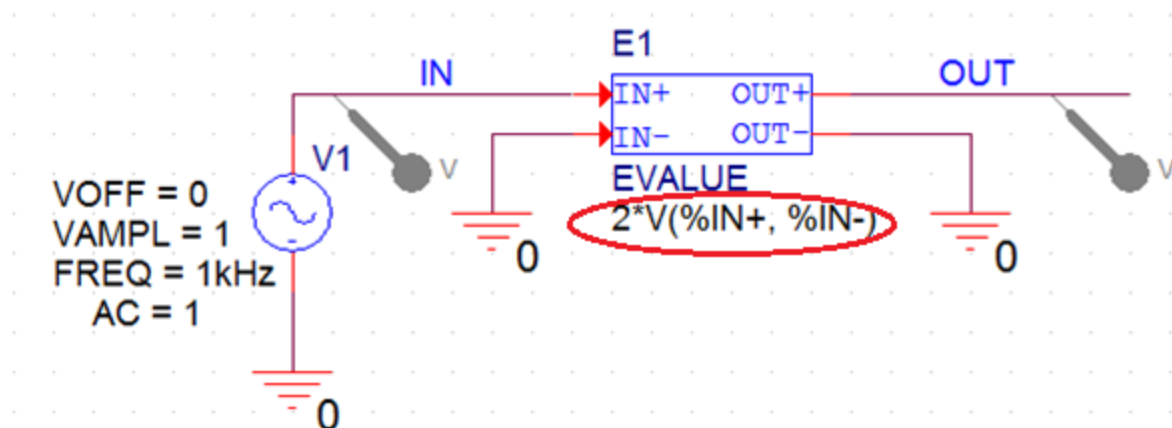


Рис. 12.2. Удвоитель напряжения

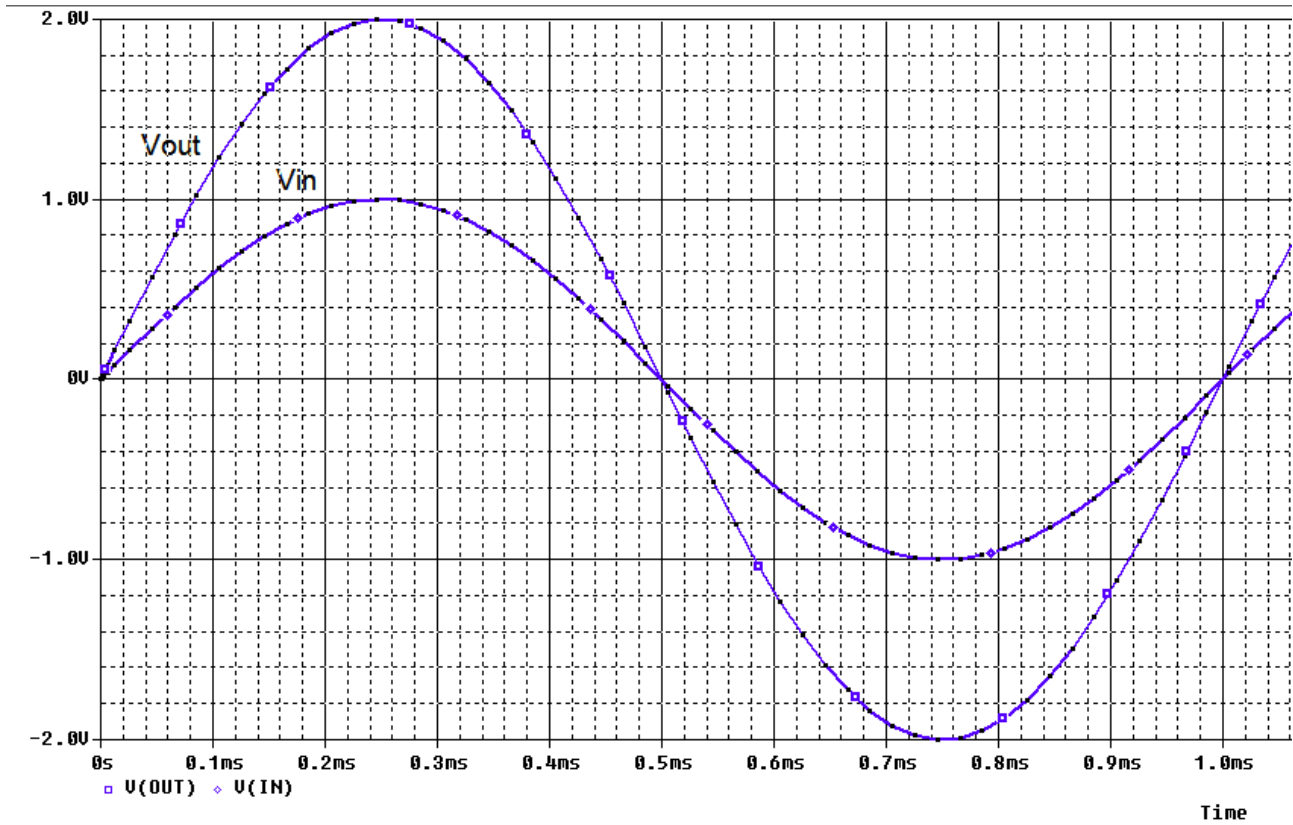


Рис. 12.3. Напряжения в удвоителе

12.4. Пример компаратора

Условные операторы также могут быть применены к АВМ частям. Например, на рис. 12.4, если входное напряжение больше 4 В, то надо вывести 0 В, иначе выход равен 5 В. Это фактически является компаратором. Полученная форма волны показана на рисунке 12.5.

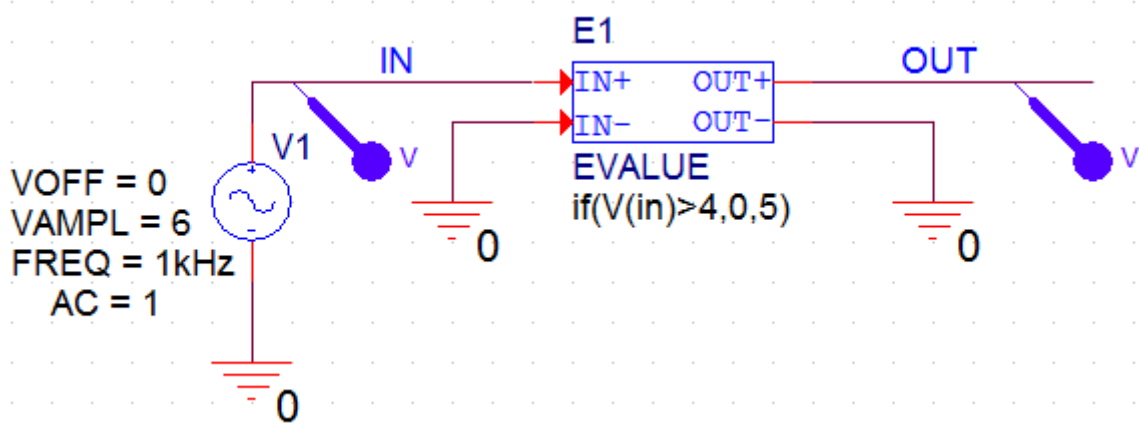


Рис. 12.4. Схема компаратора

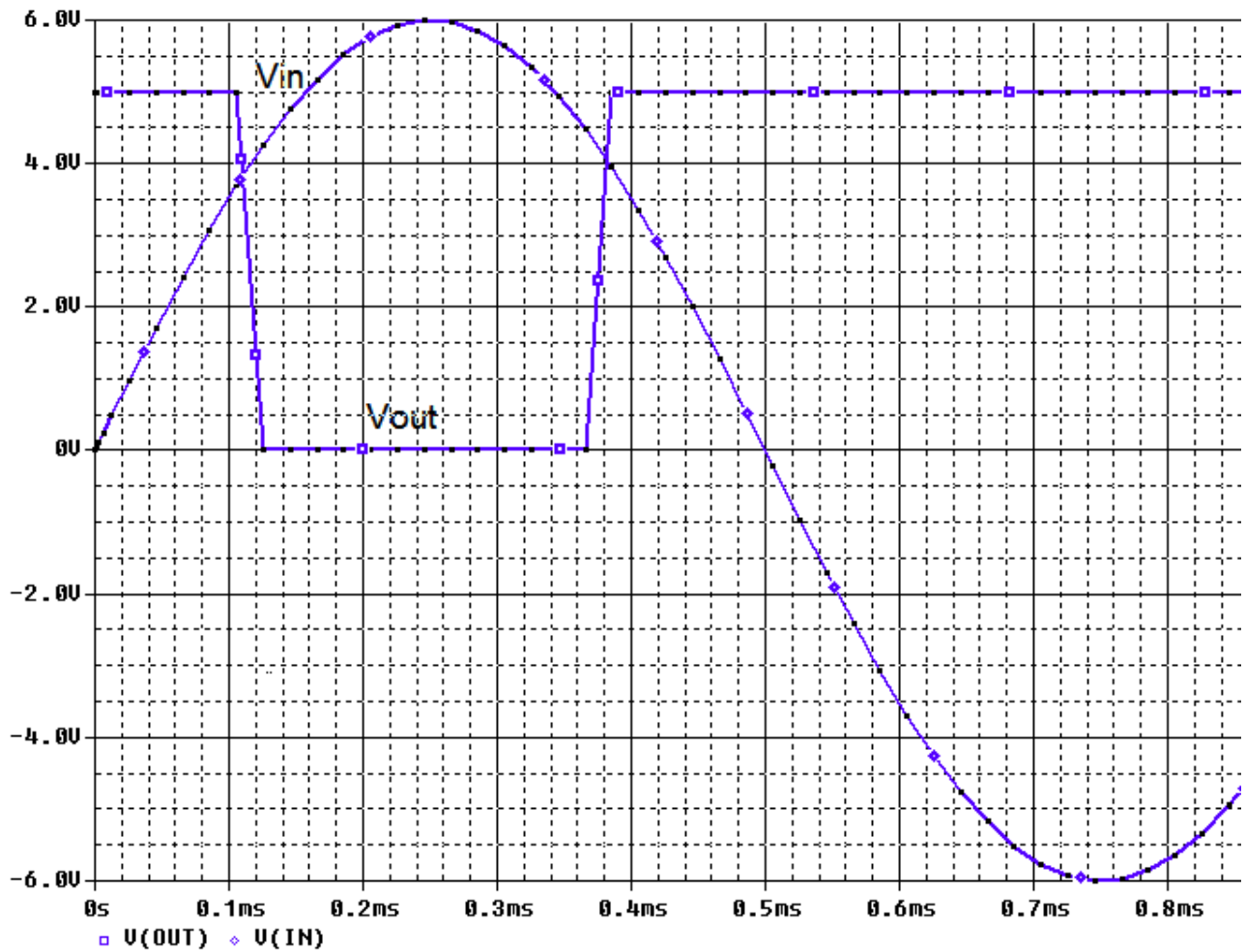


Рис. 12.5. Графики на входе и выходе компаратора

12.5. Пример умножителя

На рис. 12.6 показана схема умножителя. Синусоидальные источники напряжения имеют значения: SIN1 – $V_{amp}=1V$, $F=50$ Гц; SIN2 – $V_{amp}=2V$, $F=100$ Гц. Эти сигналы перемножаются

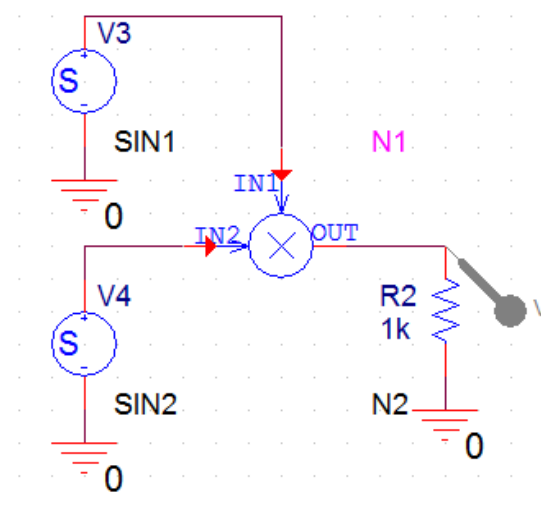


Рис. 12.6. Схема умножителя

Моделирование проведено с профилем Transient. Результат умножения показан на рис. 12.7.

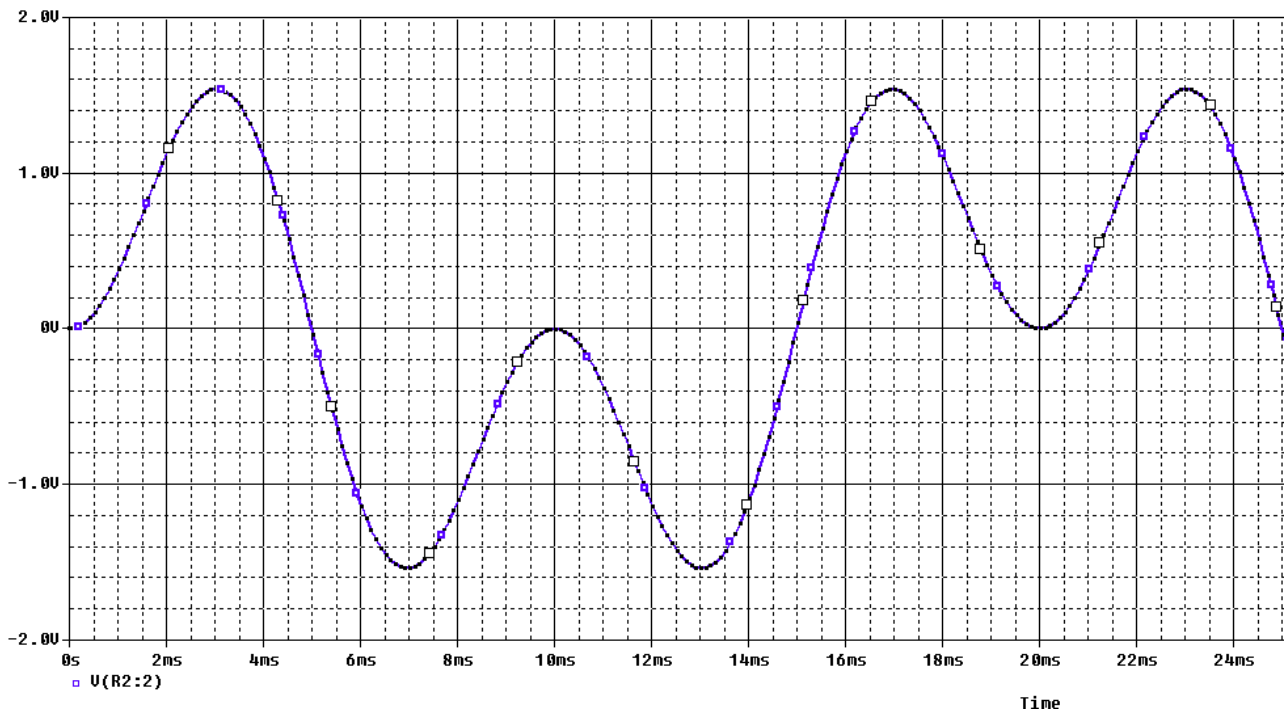


Рис. 12.8. Произведение синусоидальных сигналов

12.6. Пример фильтра нижних частот

На рис. 12.8 показан фильтр нижних частот Чебышева из библиотеки АВМ. Пульсации коэффициента передачи в полосе пропускания не должны превышать 5 дБ. На частоте 100 Гц ослабление составляет 20 дБ.

Выполним моделирование с профилем AC Sweep в диапазоне от 1 Гц до 300 Гц. Результаты показаны на рис. 12.9.

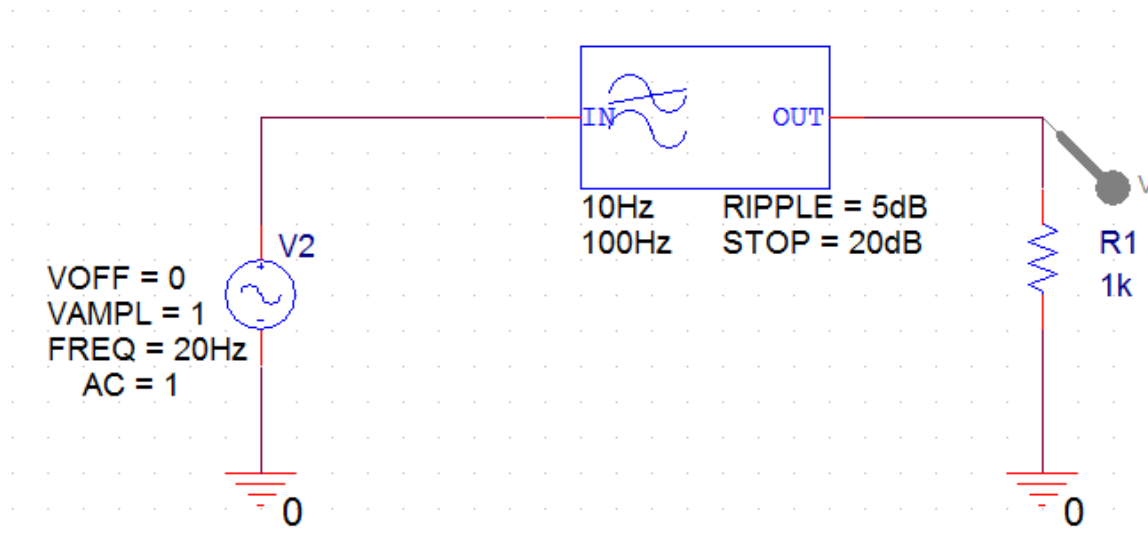


Рис. 12.8. Модель фильтра нижних частот

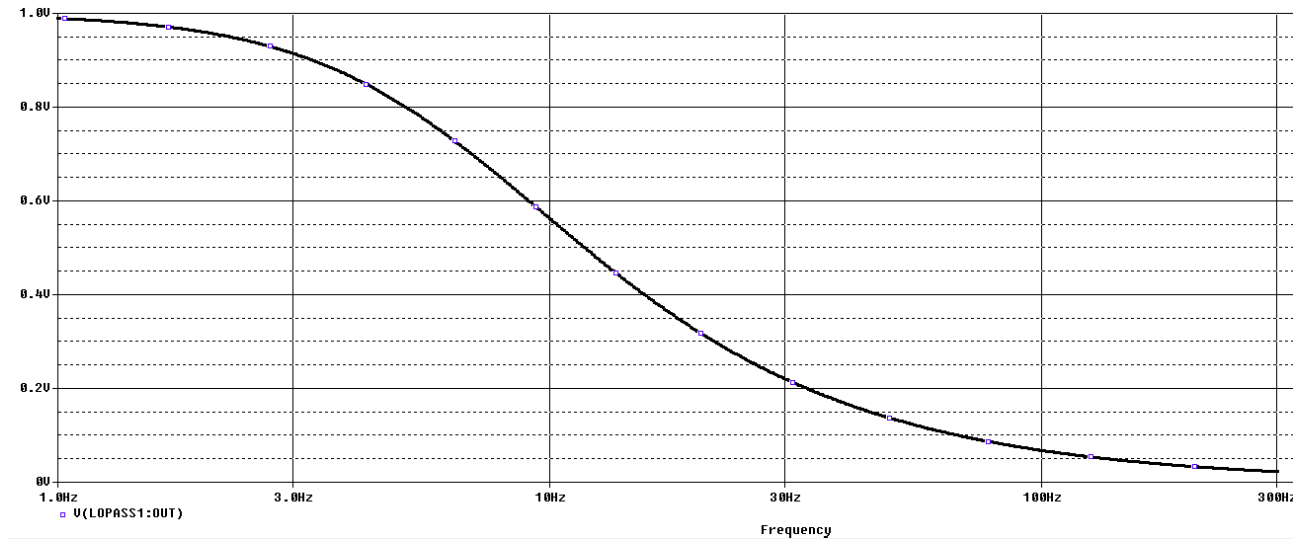


Рис. 12.9. Амплитудно-частотная характеристика ФНЧ

12.7. Контрольные вопросы

1. Что называют аналоговыми поведенческими моделями (АВМ) и как их используют в OrCAD 17.2 ?
2. Перечислите некоторые примеры компонентов поведенческих моделей.
3. Какие разделы содержат библиотеки АВМ компонентов ?
4. Как выполняют размещение и спецификацию компонентов АВМ ?
5. Объясните работу моделей удвоителя, компаратора, умножителя и фильтра, использующих АВМ компоненты.

Глава 13. Анализ шума

Анализ шума выполняется в сочетании с анализом переменного тока и вычисляет выходной шум и эквивалентный входной шум в цепи. Выходной шум в указанном выходном узле является среднеквадратичной (RMS) суммой шума, порождённого всеми резисторами и полупроводниками в цепи. Если цепь рассматривается как бесшумная, то эквивалентный шумовой входной сигнал определяется как шум, который требуется на входе, чтобы генерировать один и тот же выходной шум. Это тоже самое, как деление выходного шума на коэффициент усиления цепи с целью получения эквивалентного входного шума.

13.1. Виды шумов:

1. Шум Джонсона или тепловой шум из-за случайного теплового движения электронов в проводнике, который возрастает с увеличением частоты и температуры. В PSpice тепловой шум от резистора представлен током источника, включенного параллельно с бесшумным резистором. Из-за своей случайной природы в источнике тока шум представляется в виде среднего квадратического значения, вычисляемого по формуле:

$$\overline{i^2} = \frac{4kT\Delta f}{R}(A^2 / \Gamma_{\text{ц}}),$$

где:

k - постоянная Больцмана: $1,38e^{-23}$ (Дж/К);

T – абсолютная температура в градусах Кельвина;

R – сопротивление в Омах;

Δf - полоса частот в Герцах.

Полупроводниковый шум, как правило, состоит из теплового, дробового и фликкер-шума.

Тепловой шум порождается внутренними паразитными сопротивлениями устройства.

2. Дробовой шум является случайными флуктуациям тока, создаваемыми при протекании тока через р-п переход и определяется по формуле:

$$\overline{i^2} = 2qI(A^2 / \Gamma_{\text{ц}}),$$

где: q – заряд электрона $1,602 \times 10^{-19}$ Кл;

I – ток через устройство в амперах (А).

3. Фликкер-шум – это электронный шум, наблюдаемый практически в любых аналоговых электронных устройствах. Его источниками могут являться неоднородности в проводящей среде, генерация и рекомбинация носителей заряда в транзисторах.

Известно, что происходит фликкер-шум на низких частотах и что шум тока уменьшается с частотой, демонстрируя характеристику шумового тока 1/F.

Средне-квадратическое значение (RMS) фликкер - шума определяется по формуле:

$$\overline{i^2} = \frac{KF \times I_d^{AF}}{\Delta f} (A^2 / \Gamma_{\mathcal{U}}),$$

где: KF - коэффициент фликкер – шума;

I_d - ток через устройство;

AF - показатель степени фликкер – шума;

Δf - полоса частот в Герцах.

После того, как начат анализ шума, термические, дробовые и фликкер шумы от резисторов и полупроводниковых приборов становятся доступными в качестве составляющих переменных в окне Probe.

Таблица 13.1 показывает доступные переменные шума для некоторых устройств.

Таблица 13.1

Выходные переменные шума, доступные в Probe		
<i>Устройство</i>	<i>Выходная переменная</i>	<i>Шум</i>
Резистор	NTOT	Тепловой шум
Диод	NRS	Тепловой шум для сопротивления
	NSID	Дробовый шум
	NFID	Фликкер – шум
	NTOT	Общее распределение шума
Биполярный транзистор	NRB	Паразитный тепловой шум для сопротивления базы
	NRC	Паразитный тепловой шум для сопротивления коллектора
	NRE	Паразитный тепловой шум для сопротивления эмиттера
	NSIB	Дробовый шум для тока базы
	NSIC	Дробовый шум для тока коллектора
	NFIB	Фликкер – шум
	NTOT	Общее распределение всех шумов

Полевые транзисторы	NRD	Паразитный тепловой шум для сопротивления стока
	NRG	Паразитный тепловой шум для сопротивления затвора
	NRS	Паразитный тепловой шум для сопротивления истока
	NRB	Паразитный тепловой шум для сопротивления подложки
	NSID	Дробовый шум
	NFID	Фликкер – шум
	NTOT	Общее распределение всех шумов
Общий выходной шум для цепи	NTOT(ONoise)	$\sum_{Devices} NTOT(Devices)$
Среднеквадратическая сумма выходных шумов для цепи	V(ONoise)	Среднеквадратическая сумма всех составляющих $\sqrt{NTOT(ONoise)}$
Эквивалентный входной шум для цепи	V(INoise)	$\frac{V(ONoise)}{gain}$

Примечание:

1. Вклад устройств для формы Nxxx измеряется в $B^2/\Gamma_{\text{ш}}$;
2. Общий входной или выходной шум в формах V(ONoise) или V(INoise) измеряется $B/\sqrt{\Gamma_{\text{ш}}}$.

13.2. Пример исследования шума в транзисторном усилителе

В новом проекте PR-20 соберем схему усилителя на биполярном транзисторе (рис. 13.1). PSpice модели биполярных п-р-п транзисторов находятся в библиотеке PSpice>Advantls>bjn.

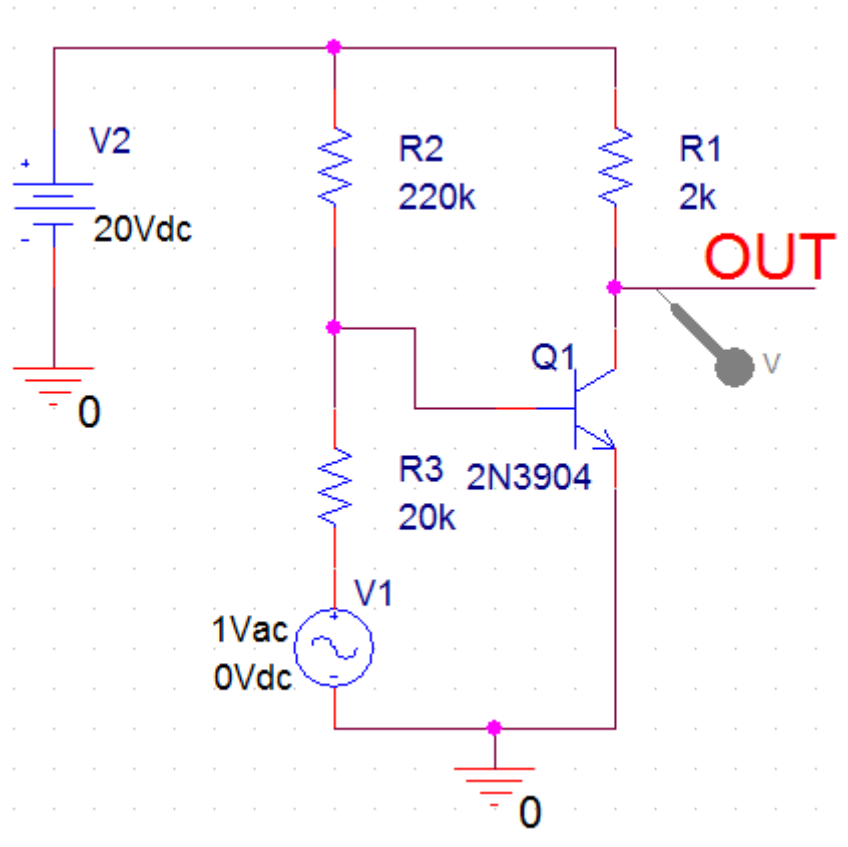


Рис. 13.1. Схема модели транзисторного усилителя

13.2.1. Настройка и анализ шума

Следующая процедура описывает минимальные требования к настройке для проведения анализа шума.

1. Сначала надо настроить и запустить развертку по частоте AC sweep. Установим начальное значение частоты 10кГц, конечное 1ГГц, логарифмическую развертку по декадам с количеством точек на декаду 10 (рис. 13.2).

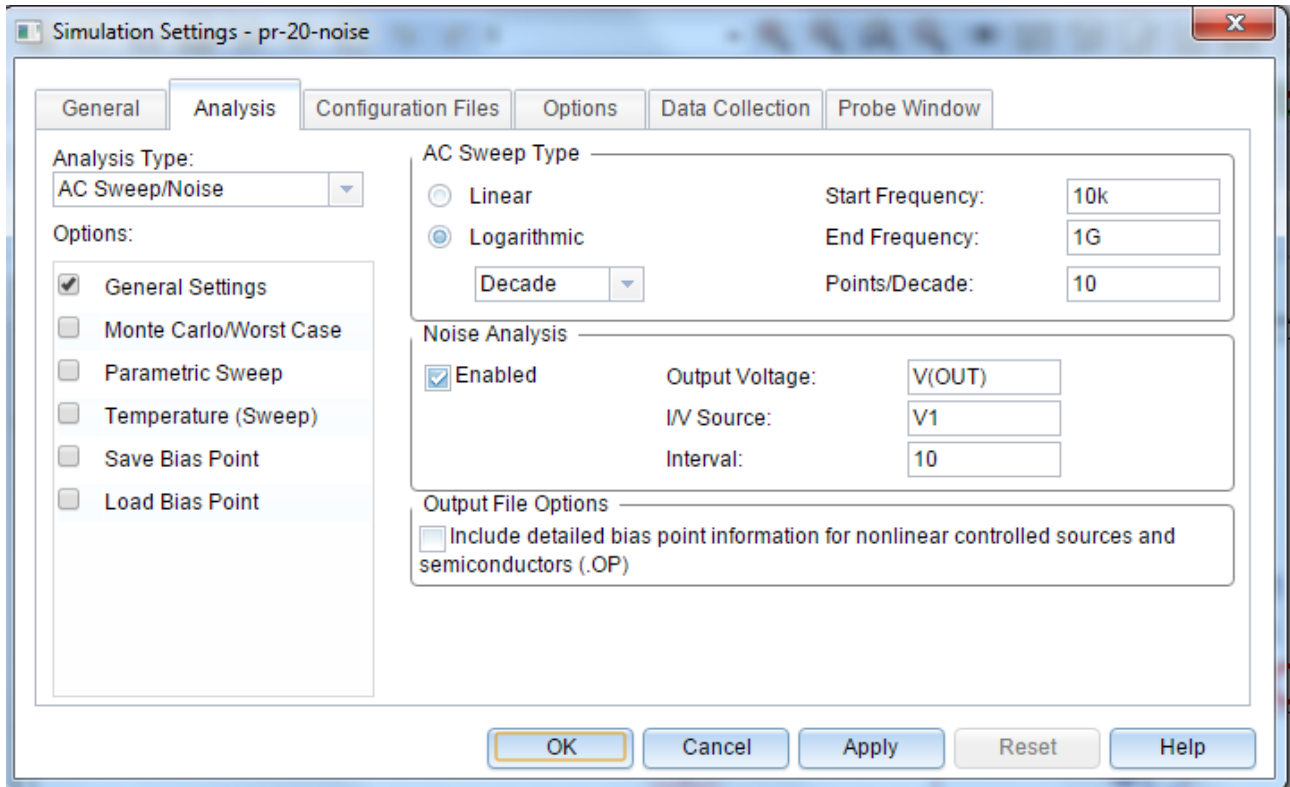


Рис. 13.2. Установка развертки по частоте

2. Проверим работу усилителя и получим амплитудно-частотную характеристику (рис. 13.3). Мы видим, что усиление на низких частотах составляет примерно 6,4, полоса пропускания 549,99 кГц. Следовательно, усилитель функционирует нормально.

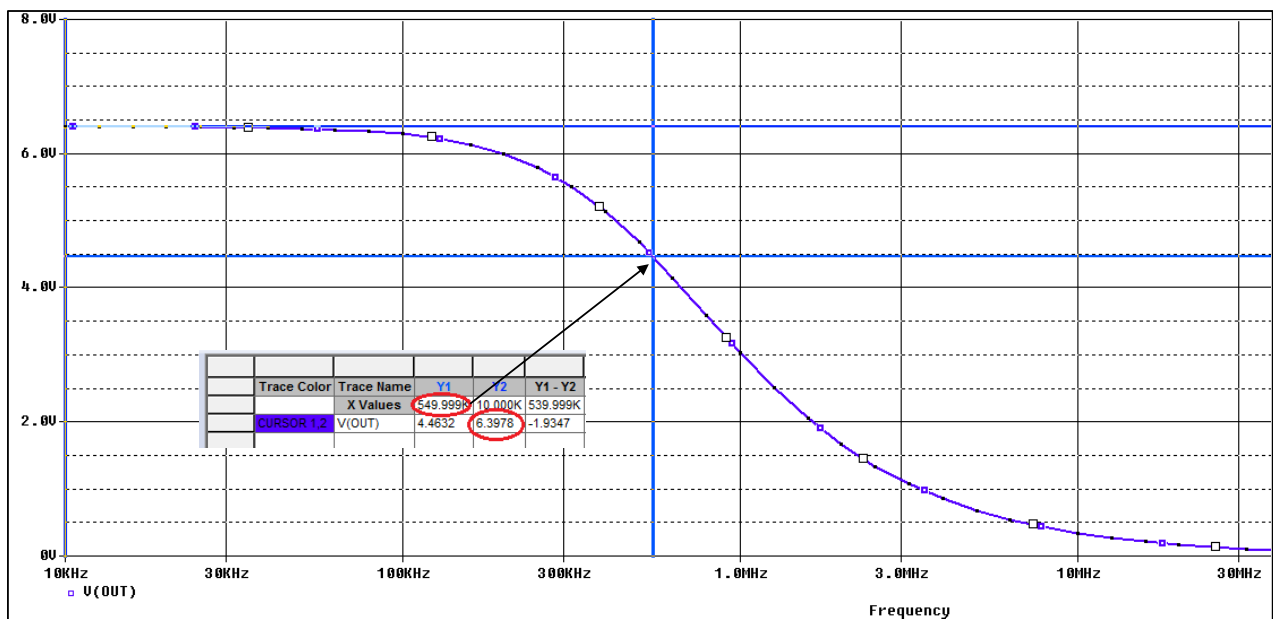


Рис. 13.3. АЧХ усилителя

3. Далее надо настроить параметры моделирования шума и включить анализ шума в профиле моделирования, установив Enable (рис. 13.2), выходное напряжение V(OUT).

Определим источник напряжения или тока, для которого будет вычисляться эквивалентный входной шум. В нашей схеме это V1.

Интервал - целое число n, обозначающее, что для каждой n-й частоты вы хотите увидеть таблицу, напечатанную в выходном файле PSpice (.OUT) с указанием индивидуальных вкладов всех генераторов шума схемы в общий шум. Установим интервал равным 10.

4. Выполним моделирование и в окне Probe откроем Trace>Add Traces (рис. 13.4). Мы увидим измеренные составляющие шумов, которые можно вывести в виде отдельных графиков или в суммарном виде.

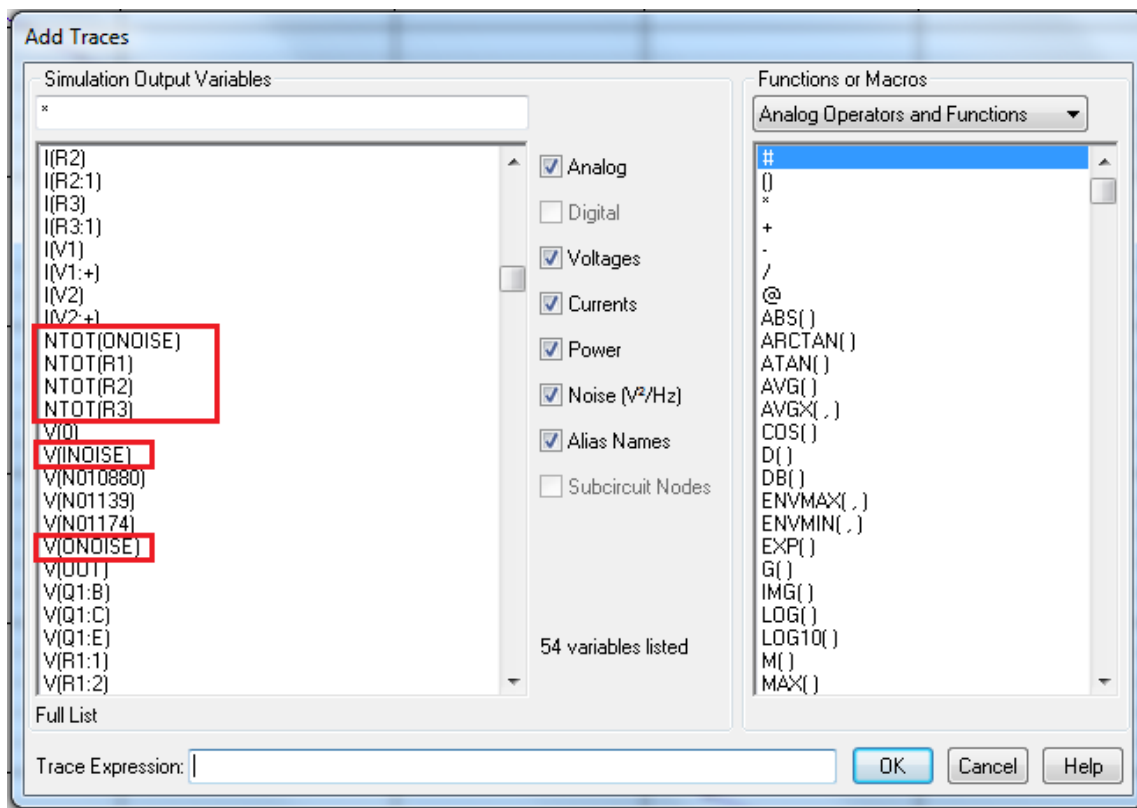


Рис. 13.4. Измеренные составляющие шумов

На рис. 13.5 показан график теплового шума от резистора R1.

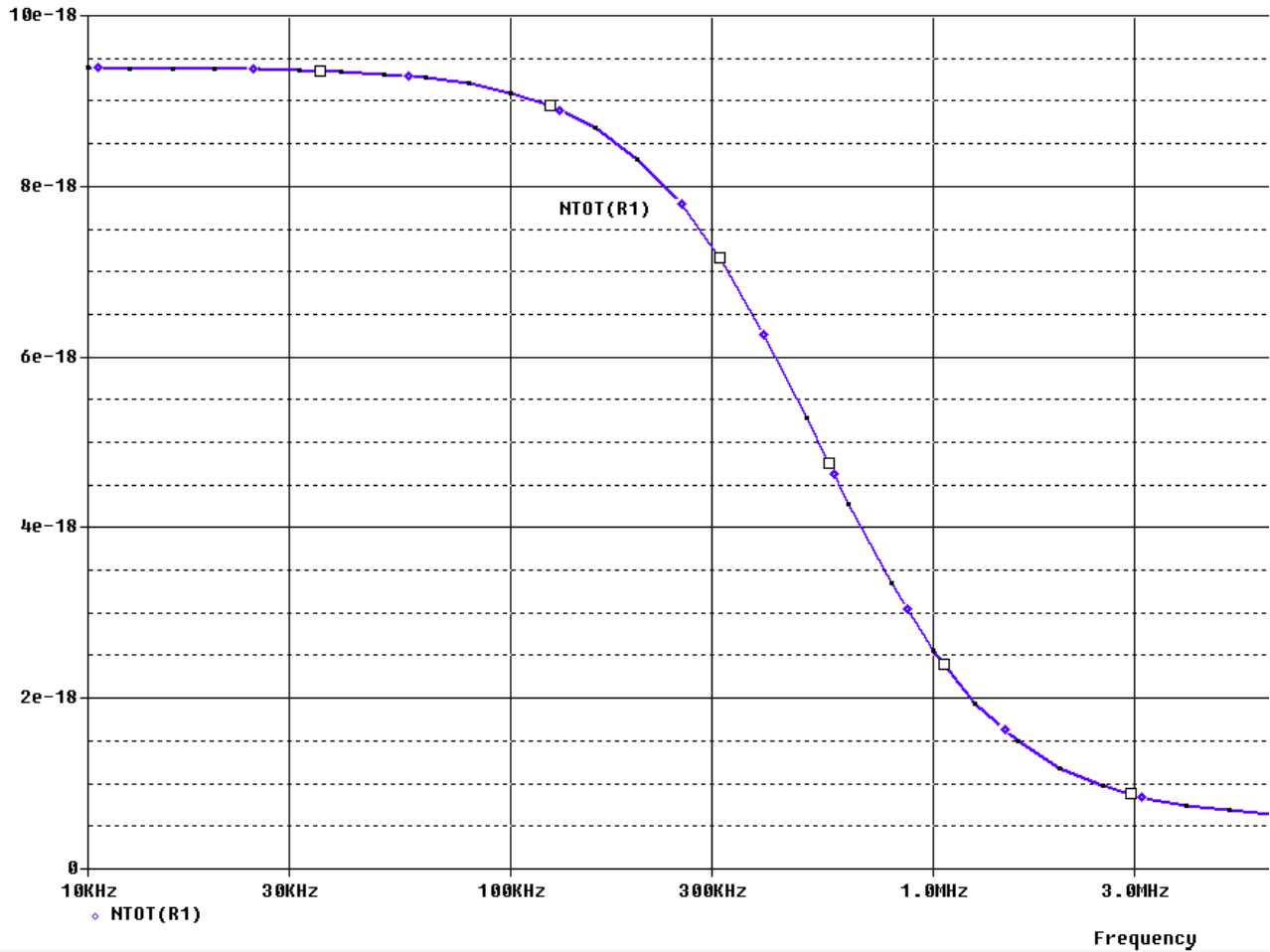


Рис. 13.5. Тепловой шум резистора R1

Просуммируем тепловые шумы резисторов в строке Trace Expression (Trace Expression: `NTOT(R1) + NTOT(R2) + NTOT(R3)`) и получим результат шумового воздействия всех резисторов (рис. 13.6).

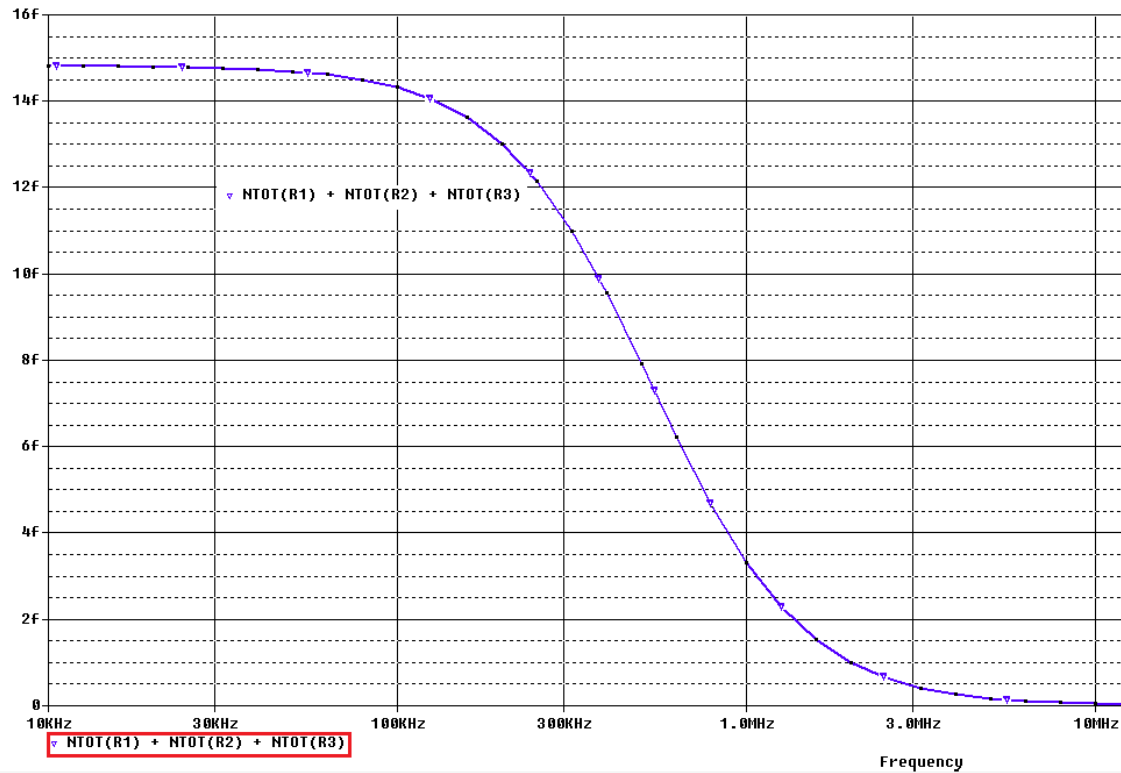


Рис. 13.6. Общий результат воздействия шумов резисторов

Напомним, что величина femto $f = 10^{-15}$.

На рис. 13.7 показано распределение среднеквадратической суммы выходных шумов для цепи.

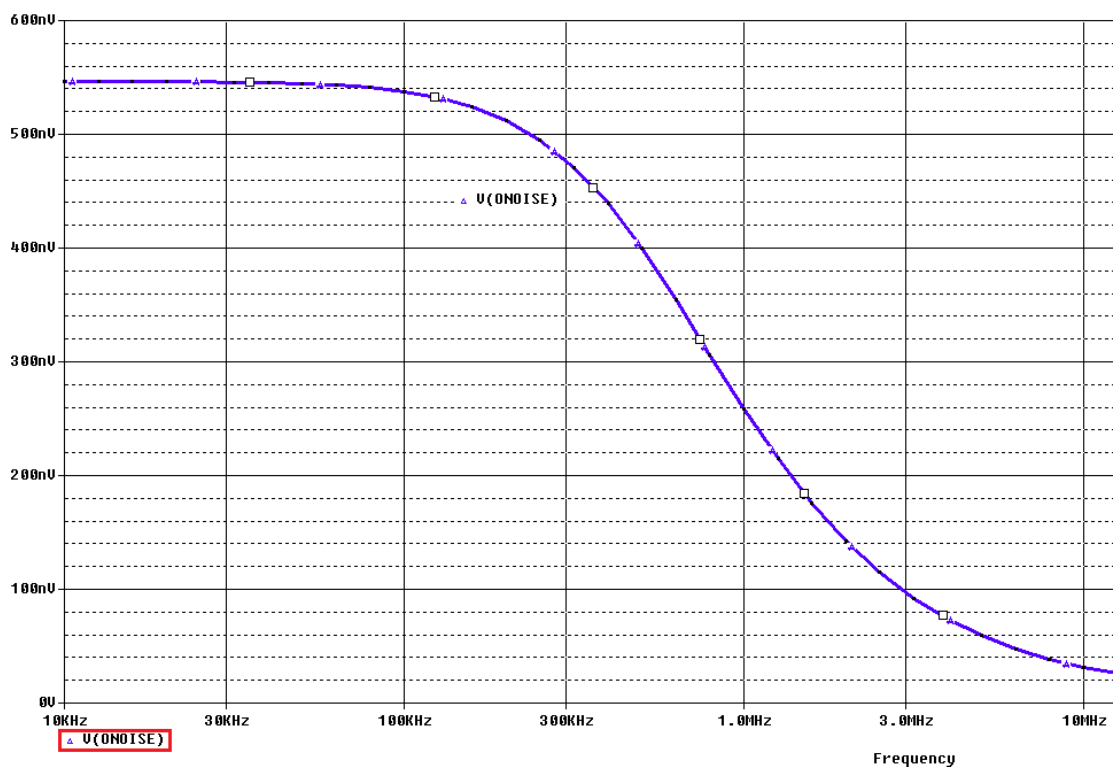


Рис. 13.7. Распределение среднеквадратической суммы выходных шумов для цепи

Эквивалентный входной шум, равный выходному, деленному на усиление, показан на рис. 13.8. По форме АЧХ (рис.3.3) мы видели, что на высоких частотах усиление падает и это ведет к увеличению эквивалентного входного шума.

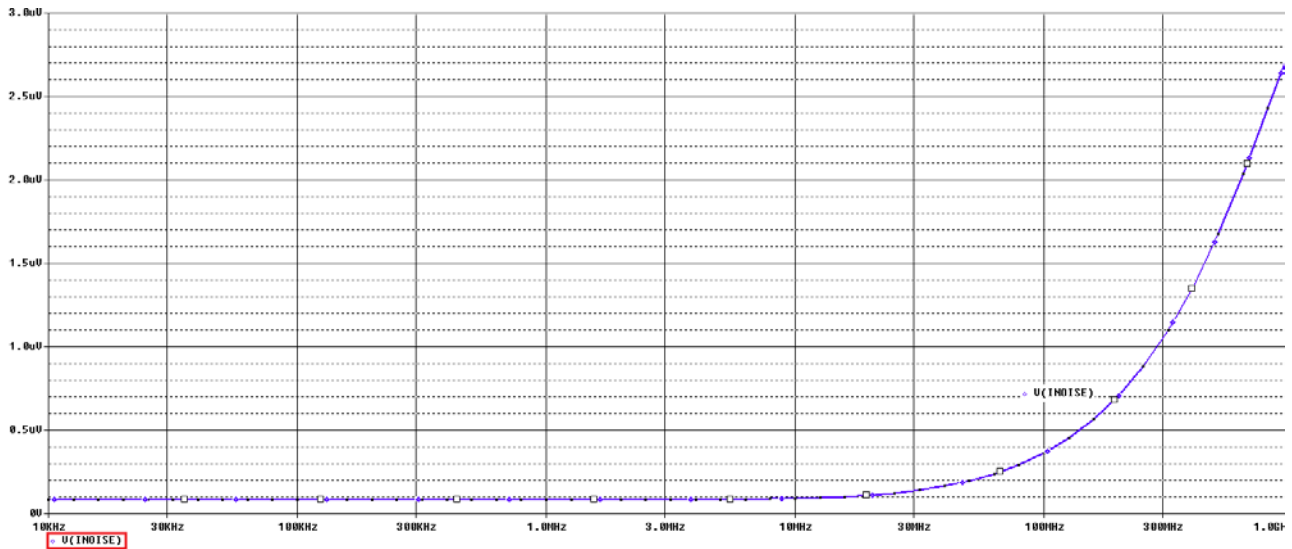


Рис. 13.8. Эквивалентный входной шум

Дополнительную информацию о шумах на конкретных частотах можно получить в выходном файле Probe (рис. 13.9).

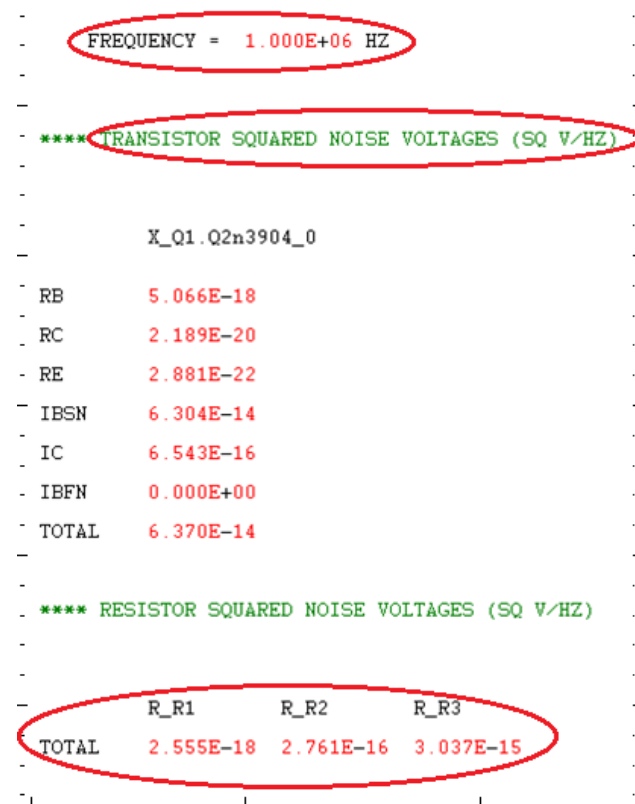


Рис. 13.9. Численная информация о шумах в выходном файле

13.3. Контрольные вопросы

1. Как определяется выходной шум в цепи с резисторами и полупроводниками ?
2. Как рассчитывают эквивалентный шумовой входной сигнал ?
3. Чем вызван тепловой шум в проводнике и от чего он зависит ?
4. Чем вызван дробовой шум в полупроводниках ?
5. Чем вызван фликкер – шум в электронных устройствах и от чего он зависит ?
6. Назовите доступные в OrCAD выходные переменные шума для резисторов.
7. Назовите доступные в OrCAD выходные переменные шума для диодов.
8. Назовите доступные в OrCAD выходные переменные шума для биполярных транзисторов.
9. Назовите доступные в OrCAD выходные переменные шума для полевых транзисторов.
10. Как определяют общий выходной шум электронного устройства и в чем его измеряют ?
11. Как вычисляют среднеквадратическую сумму выходных шумов и в чем она измеряется ?
12. Объясните выполнение примера исследования шума в транзисторном усилителе.

Глава 14. Температурный анализ

Изменение температуры может повлиять на производительность и характеристики цепи. Компоненты, наиболее зависящие от изменения температуры, включают полупроводники, резисторы, конденсаторы и катушки индуктивности. Все эти компоненты имеют встроенную температурную зависимость параметров модели, такую, что изменение температуры будет изменять свойства компонента и последующее поведение цепи.

14.1. Температурные коэффициенты

Для резистора изменение номинального значения из-за изменения температуры определяется как:

$$R = R(\text{nom}) \cdot (1 + TC1 \cdot (T - T_{\text{nom}}) + TC2 \cdot (T - T_{\text{nom}})^2),$$

где :

$TC1$ - линейный температурный коэффициент (ppm/°C);

$TC2$ - квадратичный температурный коэффициент (ppm/°C²);

T - температура моделирования (°C);

T_{nom} - номинальная температура по умолчанию равная 27 °C.

Есть еще TCE – экспоненциальный коэффициент, который, если задан, определяет значение резистора как:

$$R = R(\text{nom}) \cdot 1,01^{TCE \cdot (T - T_{\text{nom}})}.$$

Производители обычно дают линейные температурные коэффициенты.

Температурные коэффициенты, указанные для резисторов, приведены в частях на миллион на один градус по Цельсию (частей на миллион / ° C).

Обозначение ppm - это сокращение от parts per million. То есть тут показывается, на сколько миллионных долей меняется сопротивление при изменении температуры на 1°C. К примеру, если 500 ppm/°C, то на каждый градус сопротивление меняется на 500/1000000, или на 0,05%.

Так для резистора 10 кОм с линейным температурным коэффициентом 200ppm/°C значение $TC1=0.0002$ и без учета $TC2$ повышение температуры на 20°C даст:

$$R = 10000 \times (1 + (0,0002 \cdot 20)) = 10040 \text{ Ом}$$

Аналогичным образом, для катушек индуктивности и конденсаторов значения компонентов определяется по формуле:

$$L = L(\text{nom}) \cdot (1 + TC1 \cdot (T - T_{\text{nom}}) + TC2 \cdot (T - T_{\text{nom}})^2) ;$$

$$C = C(\text{nom}) \cdot (1 + TC1 \cdot (T - T_{\text{nom}}) + TC2 \cdot (T - T_{\text{nom}})^2)$$

14.2. Запуск анализа температуры

АС, DC или анализ переходных процессов обычно работает при номинальной по умолчанию температуре ($T_{nom}=27^{\circ}\text{C}$), которая устанавливается в профиле моделирования на вкладке Options. T_{nom} это номинальная по умолчанию температура, а также температура, при которой были измерены параметры модели.

Пример 14.1: Влияние температуры на ВАХ диода

1. Создадим новый проект PR-22. Из библиотеки `pspice>advanls>di` выберем диод 1N914 и соберем схему (рис. 14.1). Добавим файл `di` в библиотеки проекта.

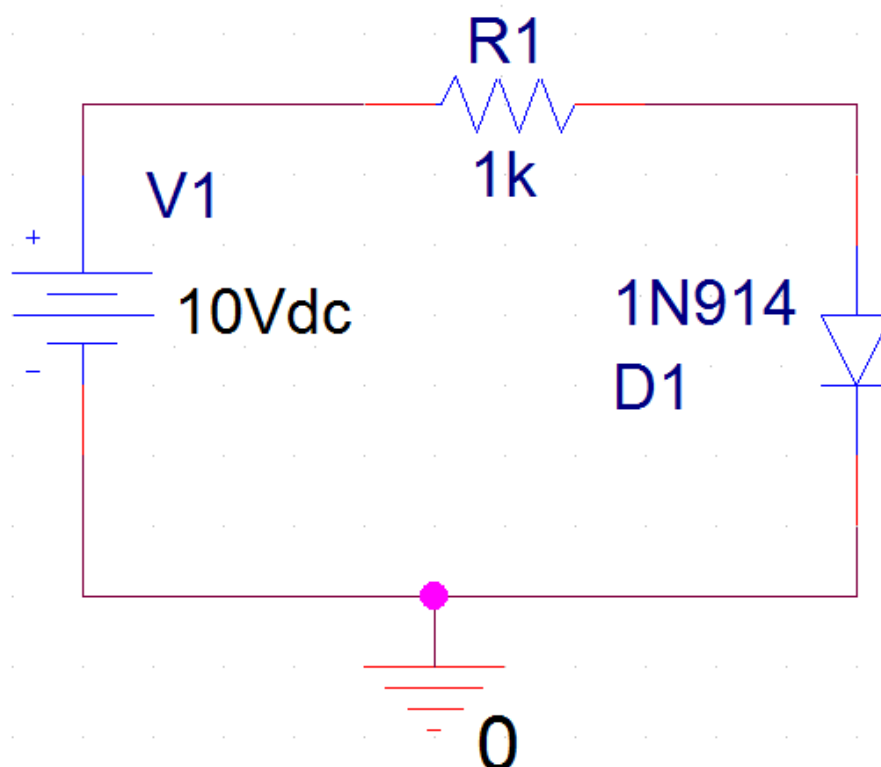


Рис. 14.1. Схема модели с диодом

2. Установим профиль моделирования. В первичной развертке DC Sweep напряжение питания V1 меняется от 0 до 1,5В (рис. 14.2).

Во вторичной развертке изменяем температуру от -55°C до $+75^{\circ}\text{C}$ с шагом 10°C (рис. 14.3).

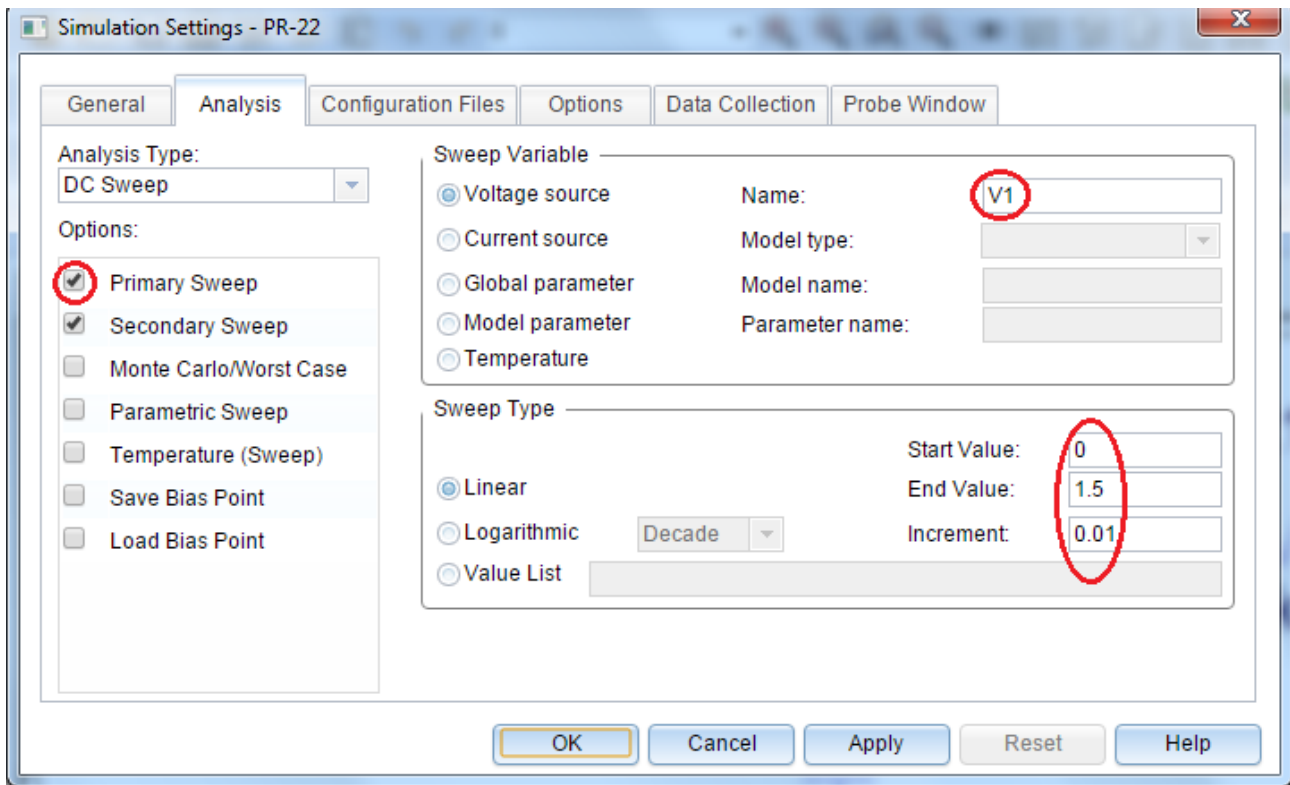


Рис. 14.2. Первичная развертка по напряжению

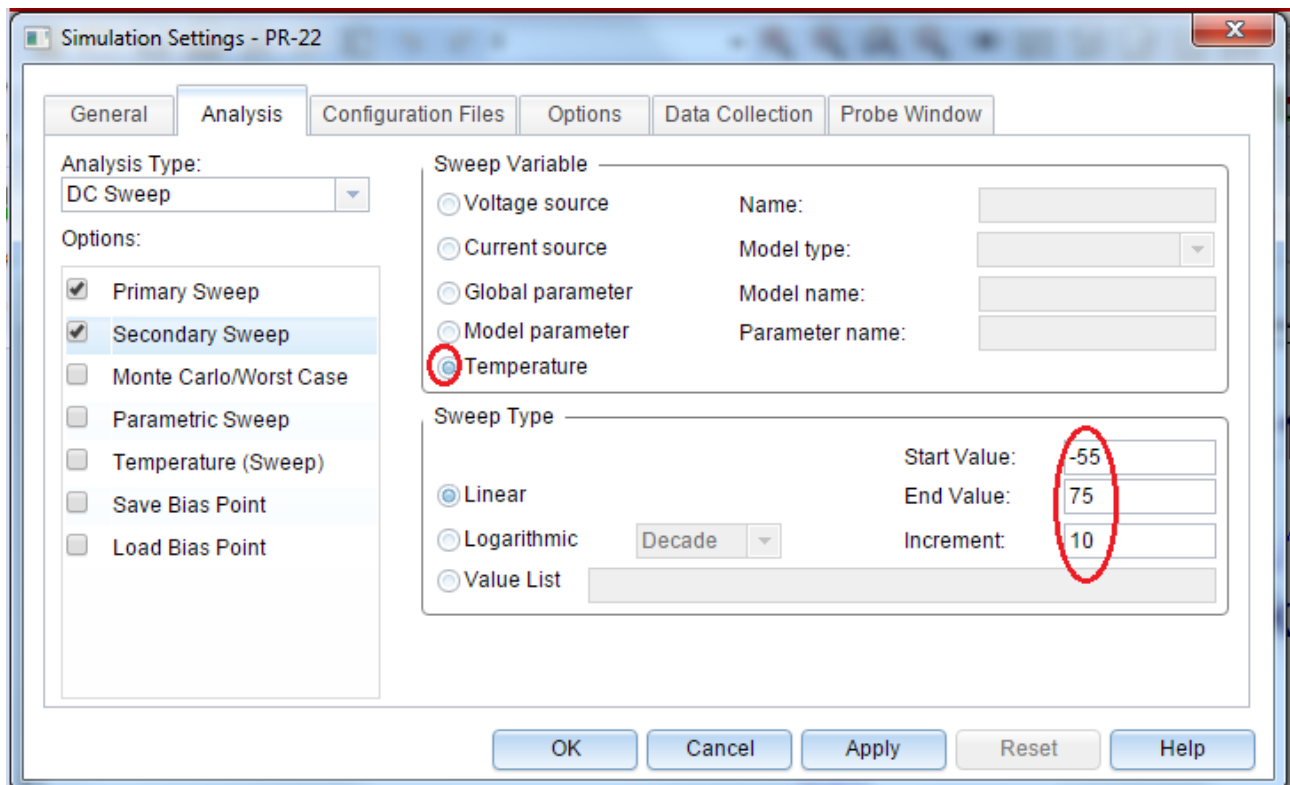


Рис.14.3. Вторичная развертка по температуре

3. Выполняем моделирование и в окне Probe выбираем Trace>Add Trace и устанавливаем ток анода I[D1:AN]. Графики вольт-амперных характеристик для разных температур показаны на рис. 14.4.

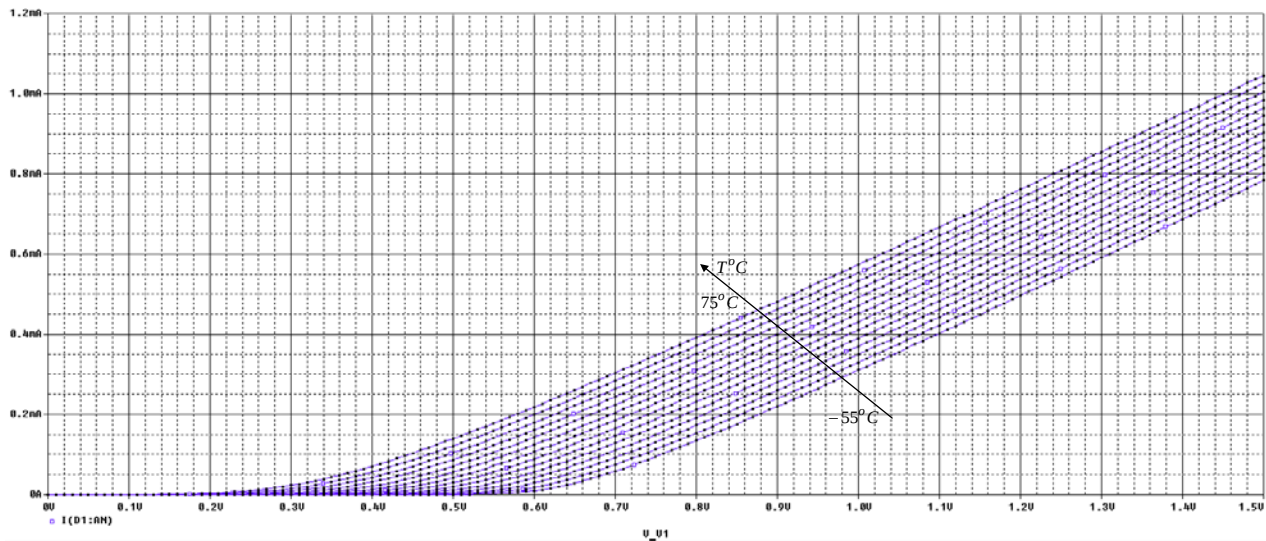


Рис. 14.4. Графики ВАХ цепи с диодом

14.3. Контрольные вопросы

1. Как определяется зависимость от температуры сопротивление резистора ?
2. В каких единицах измеряются температурные коэффициенты сопротивления ?
3. Как определяются зависимости от температуры значений индуктивностей катушек и емкостей конденсаторов ?
4. Поясните выполнение примера исследования влияния температуры на ВАХ диода.

Глава 15. Редактирование и создание PSpice модели

15.1. Редактирования параметров PSpice модели

Модели PSpice могут быть созданы и отредактированы в редакторе PSpice Model Editor, который можно запустить выделив компонент PSpice и выбрав Edit PSpiceModel.

На рис. 15.1 показана схема со стабилитроном D1N750.

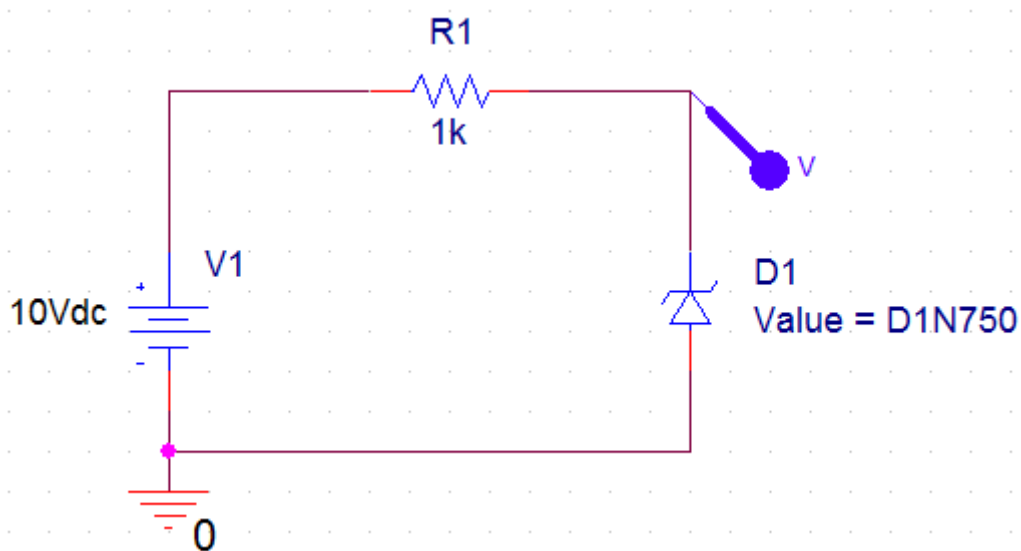


Рис. 15.1. Схема со стабилитроном

Сначала получим исходную вольт-амперную характеристику. Для этого проведем анализ с профилем моделирования DC Sweep для изменения V1 от 0 до 10В с шагом 0,1В.

На рис. 15.2 показан график исходной ВАХ со стабилизацией напряжения на уровне 4,56 В, что соответствует параметрам стабилитрона.

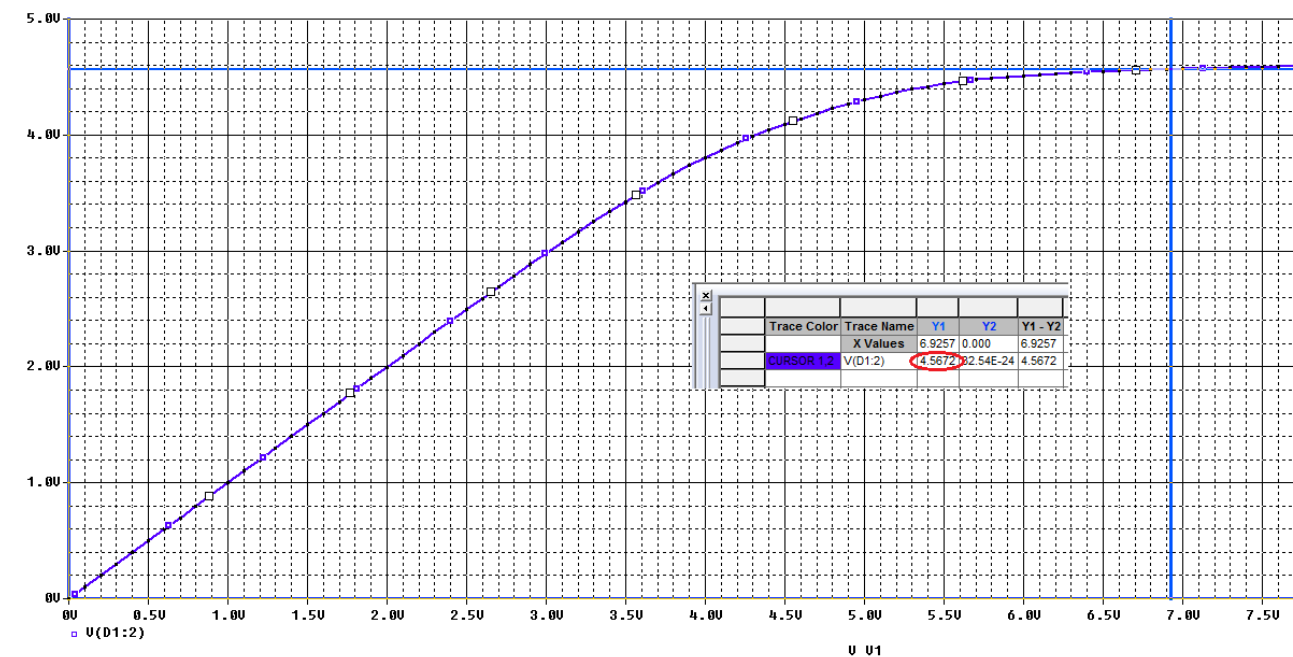


Рис. 15.2. График исходной ВАХ

Для изменения напряжения стабилизации на схеме выделяем стабилитрон и в меню свойств выбираем Edit PSpice Model.

В открывшемся окне PSpice Model Editor Lite на вкладке Tools выбираем Extract Parameters устанавливаем новое значение напряжения стабилизации BV=8.5 В и фиксируем это значение (рис. 15.3). Сохраняем изменения.

После этого надо ввести дополнения в профиль моделирования. На вкладке Configuration Files добавим библиотеку eval.olb, в которой находится наш стабилитрон с измененными параметрами. Добавляем этот файл конфигурации как глобальный (рис. 15.4).

После этого повторяем моделирование и получаем новую ВАХ со стабилизацией на уровне 8,3 В (рис. 15.5).

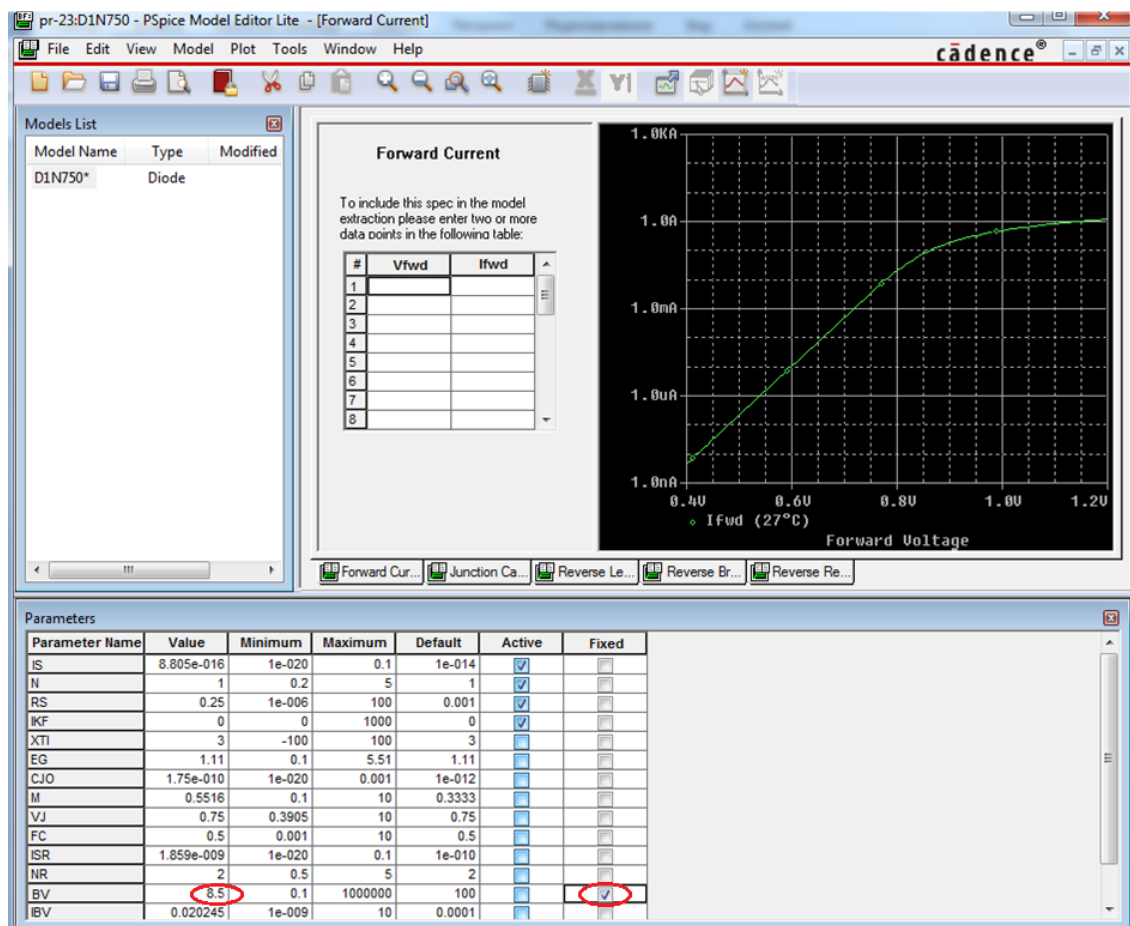


Рис. 15.3. Изменение напряжения стабилизации

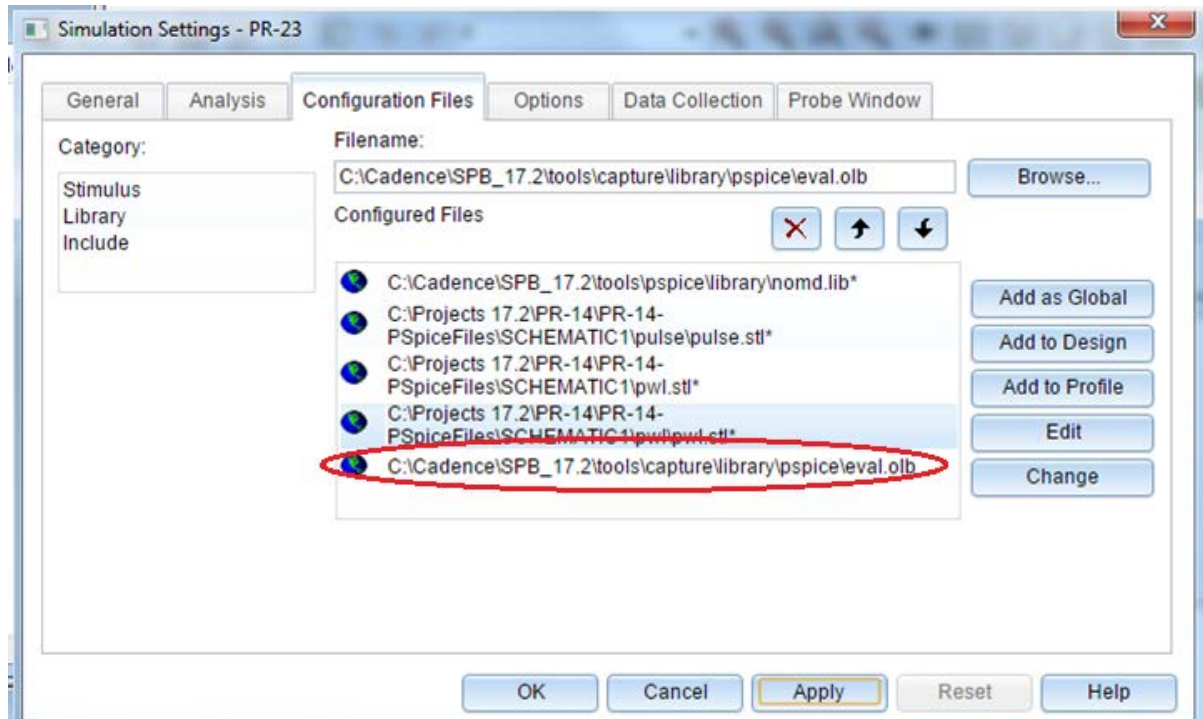


Рис. 15.4. Добавление файла конфигурации в профиль моделирования

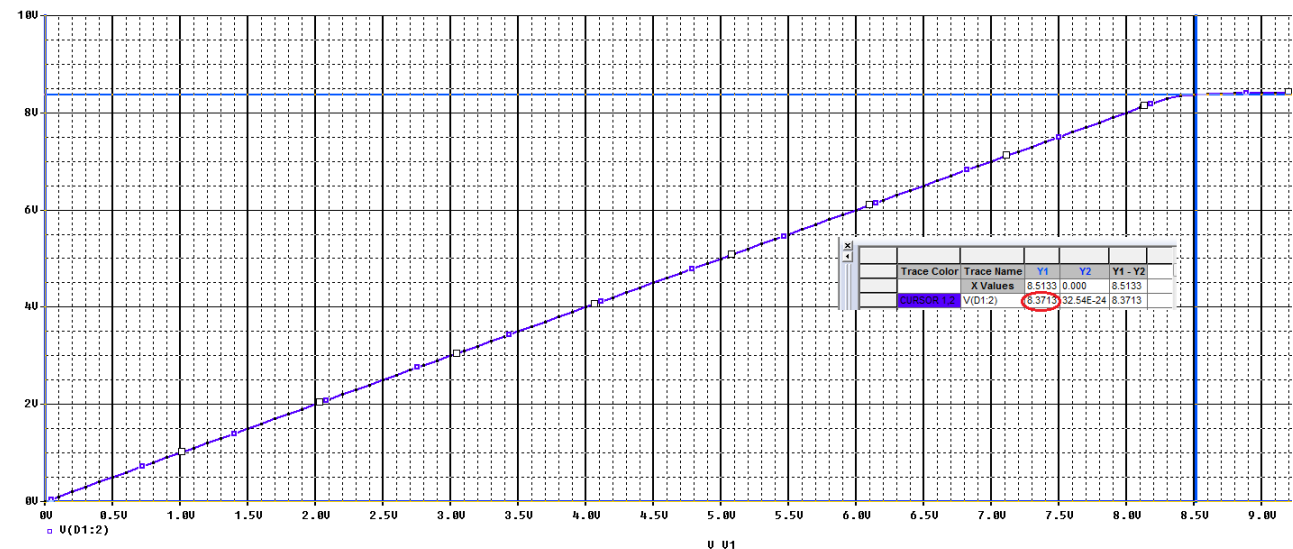


Рис. 15.5. Вольт-амперная характеристика с измененным параметром стабилизации

15.2. Создание PSpice модели нового компонента

Всякий раз, когда вы создаете новую PSpice – модель или компонент в Capture, рекомендуется, чтобы вы создали новый каталог для своей модели. Не устанавливайте свои новые библиотеки в Capture или PSpice. Если устанавливается новая версия OrCAD, тогда PSpice и библиотеки Capture будут переустановлены, а любые созданные вами новые модели будут потеряны.

Для этого упражнения мы предположим, что модель PSpice для транзистора была загруженный с веб-сайта производителя полупроводников. Чтобы

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

воссоздать этот сценарий мы скопируем существующую транзисторную модель из библиотеки bipolar.lib в новый файл myTransistors.lib.

1. Используя текстовый редактор, такой как WordPad или Notepad, перейдите к установленным PSpice библиотекам, открыв один из готовых проектов и выполнив Place>Part>Add Library. Выберите в PSpice библиотеке bipolar.lib или eval.lib. Убедитесь, что в окне Тип файлов вы выбрали All Files.

2. В файле библиотеки прокрутите вниз и выберите модель Q2N3904. Перенесите этот транзистор на рабочее поле, выделите его и выберите Edit PSpice Model (Рис. 15.6).

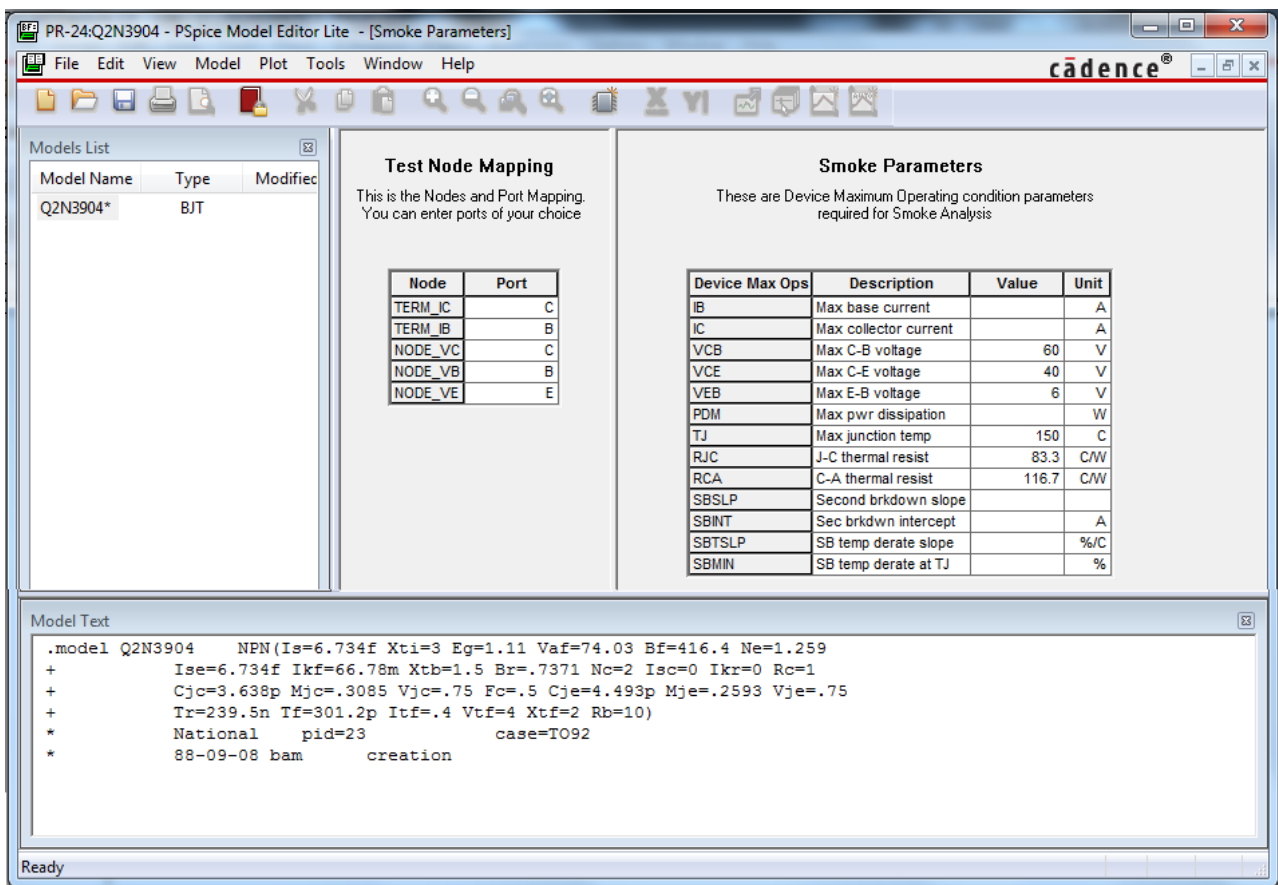


Рис. 15.6. Редактор модели транзистора

3. Выберите текст параметров модели и скопируйте его в новый текстовый файл. Не используйте (RTF) при использовании WordPad.

4. Измените имя модели транзистора на Q2N7777, как показано ниже (рис. 15.7):

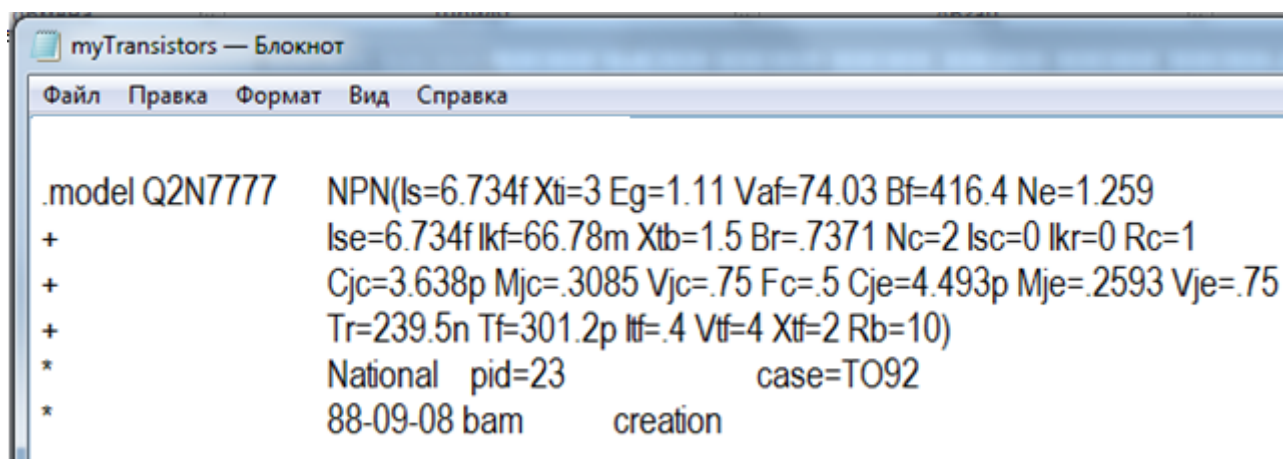


Рис. 15.7. Запись параметров транзистора в Блокноте

5. Сохраните файл как myTransistors.lib в папке myTransistors. Убедитесь, файл сохраняется как текст, а не RTF, иначе управляющие символы будут добавлены в текст модели.

6. Создайте новый проект PSpice под названием myTransistors.

7. В диспетчере проектов убедитесь, что файл myTransistors.dsn выделен и выберите Tools> GeneratePart. В окне GeneratePart (рисунок 15.8) выберите:

В окне Netlist / source file type: PSpice Model Library

В окне Netlist / source file: найдите файл myTransistors.lib.

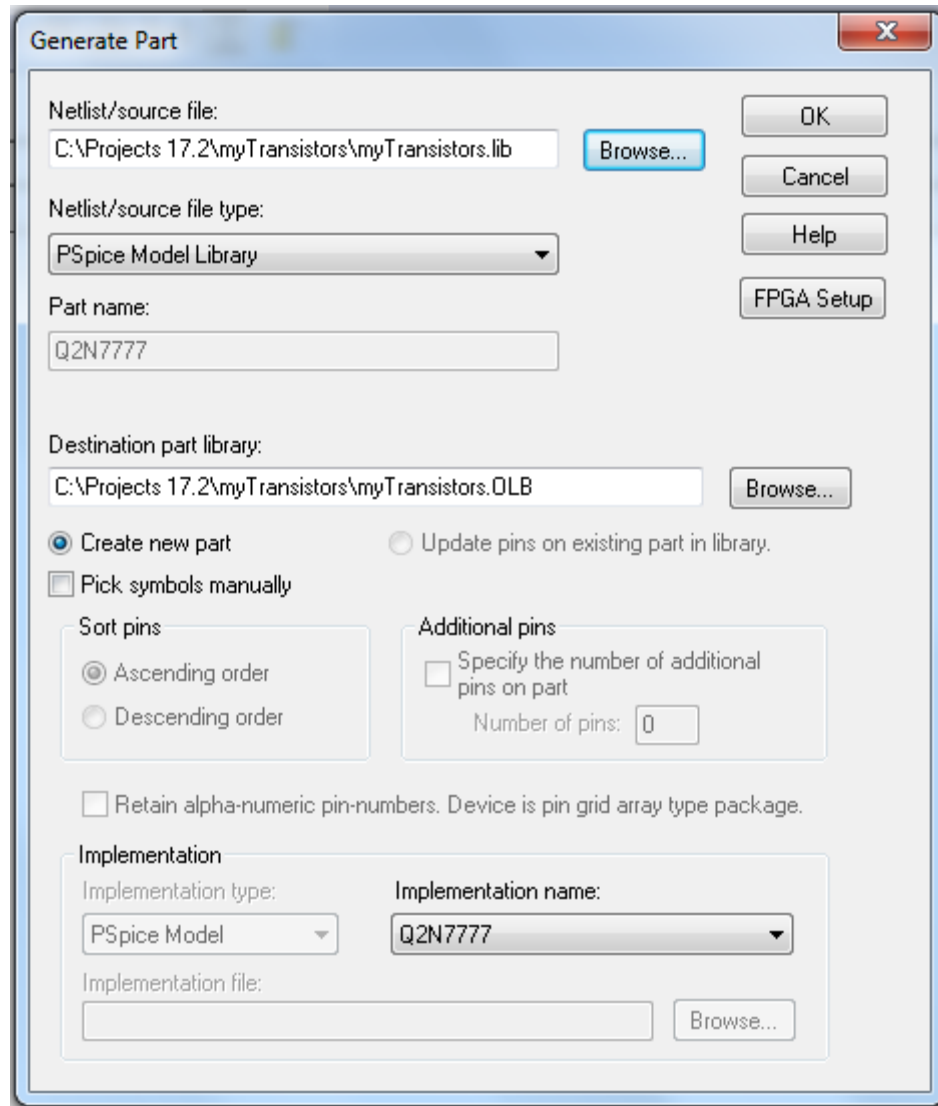


Рис. 15.8. Подключение библиотек для новой модели транзистора

В библиотеке Destination part: перейдите в ту же папку, где есть myTransistors. lib.

В имени реализации: будет только одна запись Q2N7777.

Нажмите «OK».

8. Библиотека myTransistors.olb Capture будет создана и добавлена в библиотеки в диспетчере проектов (рис. 15.9).

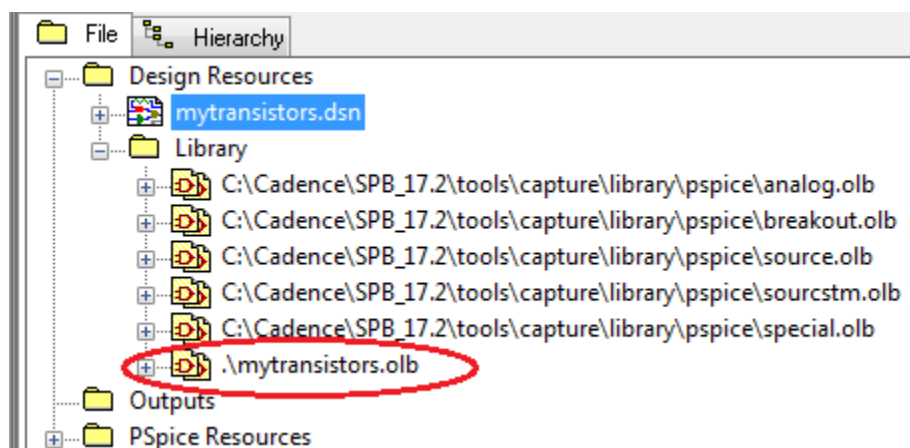


Рис. 15.9. Добавление библиотеки транзистора в проект

9. Откройте библиотеку раздела Q2N7777 и вы увидите изображение схемы транзистора (рис. 15.10).

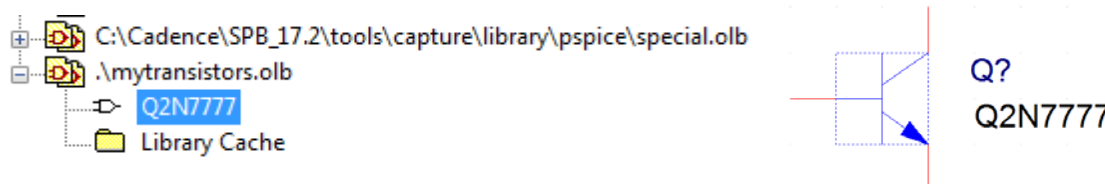


Рис. 15.10. Изображение схемы транзистора

10. Откройте страницу схемы и выберите Place>Part. Библиотека myTransistors будет автоматически добавлена в библиотеки и список деталей будет содержать транзисторный графический символ для NPN-транзистора (Рис. 15.11).

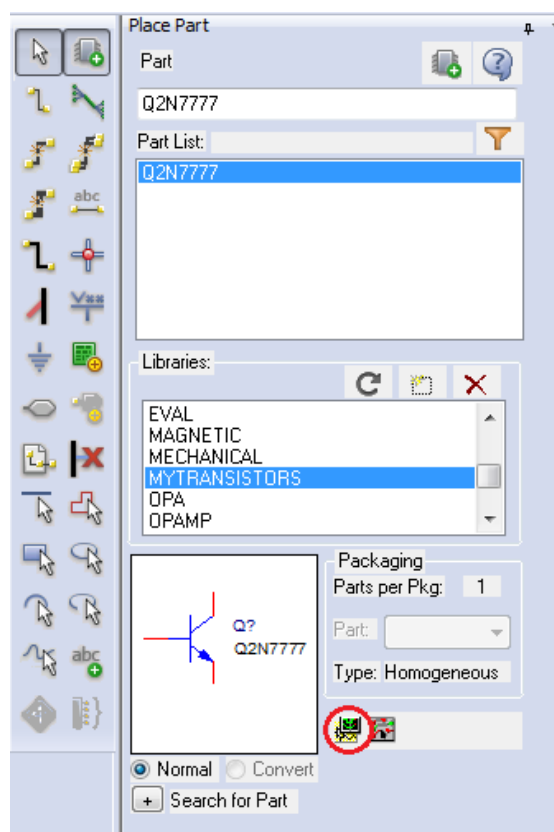


Рис. 15.11. Новый транзистор в каталоге компонентов

Кроме того, появляется значок PSpice, указывающий, что транзистор имеет PSpice модель, которая прилагается. Теперь вам нужно сделать файл myTransistors.lib для моделирования в профиле моделирования.

10. Создайте новый профиль моделирования, например, myTran, выполнив PSpice> New Simulation Profile. На вкладке Configuration files выберите Category > Library и перейдите к папке, где сохранен myTransistors.lib. Вы можете добавлять файлы библиотеки как Global или локально к дизайну или к профилю. Добавьте файл как глобальный (рис. 15.12) и нажмите ОК. Транзистор готов к моделированию, а библиотека myTransistors.lib будет доступна для каждого нового проекта.

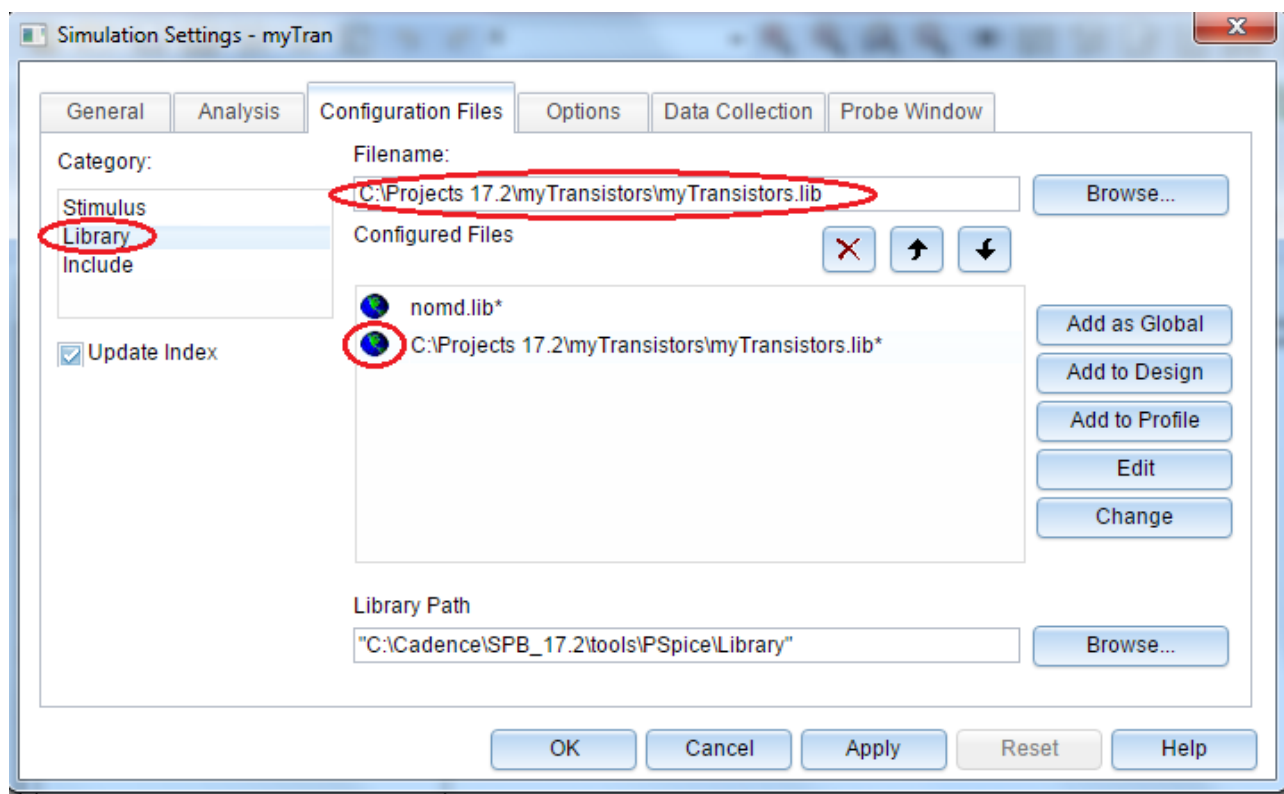


Рис. 15.12. Добавление глобального библиотечного файла

11. После этого проверим идентичность моделей транзисторов. Соберем две одинаковые схемы типового усилителя с общим эмиттером (рис. 15.13), установим профиль моделирования Bias Point, выполним моделирования. Так видно, токи во всех цепях совпадают.

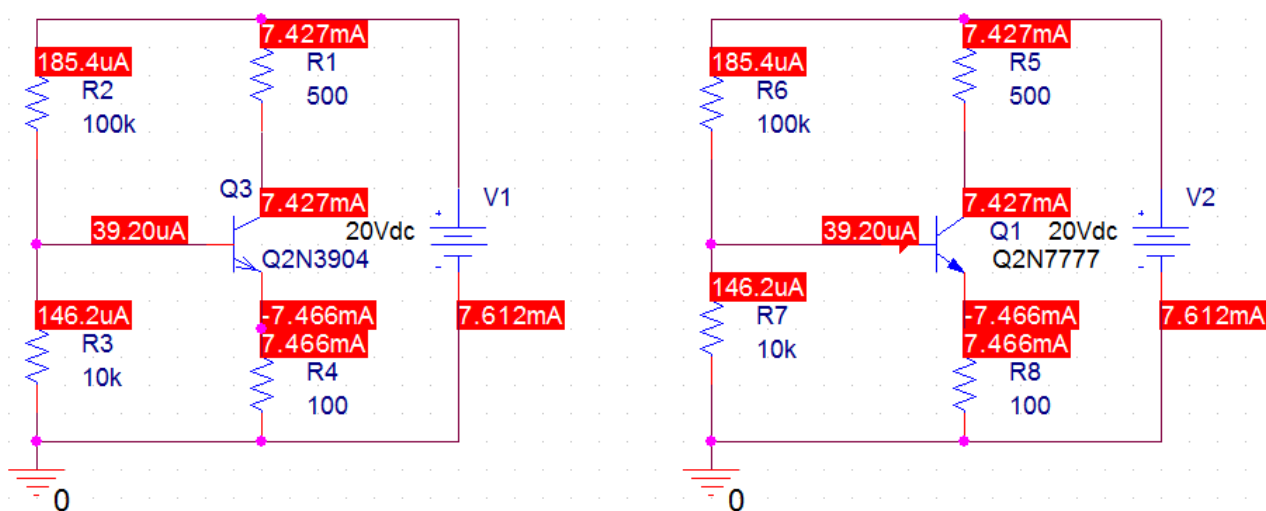


Рис. 15.13. Моделирование схем усилителей с исходным и новым транзистором

В полной версии OrCAD-17.2 имеются более широкие возможности для создания и редактирования моделей компонентов. Ознакомиться с ними вы можете по полным описаниям программы и руководству PSpice.

15.3. Контрольные вопросы

1. Объясните последовательность действий для редактирования параметров PSpice модели стабилитрона.
2. Какие действия надо выполнить для получения текста параметров PSpice модели транзистора ?
3. Как следует редактировать и сохранять измененный текстовый файл параметров для создания новой модели транзистора ?
4. Как генерировать модель нового транзистора на основе измененного текстового файла параметров ?
5. Как проверить добавление новой библиотеки транзистора в проект ?
6. Как проверить наличие нового транзистора в библиотеках Place>Part ?
7. Как добавить новый библиотечный файл транзистора в профиль моделирования,
8. Объясните, как выполнялась проверка соответствия параметров нового транзистора с исходным.

Глава 16. Цифровое моделирование

PSpice использует один и тот же механизм моделирования как для аналоговых, так и для цифровых компонентов. Цифровая транзисторно-транзисторная логика (ТТЛ) и комплементарные полевые транзисторы (CMOS) моделируются как подсистемы и включают в себя общие цифровые функции, такие как вентили, регистры, триггеры и инверторы. В каждой подсистеме цифровой примитив составляет функцию вентилей (AND, OR и т. д.) и определяет спецификацию времени и интерфейса для функции вентилей. Другие цифровые устройства включают в себя линии задержки, аналого-цифровые преобразователи АЦП (ADC или AtoD), цифроаналоговые преобразователи ЦАП (DAC или DtoA), память (RAM, ROM) и программируемые логические массивы.

16.1. Модели цифровых устройств

Библиотеки стандартных компонентов содержат полный набор цифровых компонентов, выполненных по разным технологиям. Каждый цифровой компонент описан электрически с помощью модели цифрового устройства в виде подсистемы и определение хранится в библиотеке моделей. Имя соответствующей подсистемы определяется значением атрибута MODEL компонента. Другие атрибуты - MNTYMXDLY, IO_LEVEL и набор PSPICEDEFAULTNET - передается в подсистему, таким образом обеспечивая высокоуровневое средство для воздействия на поведение цифровой модели устройства.

Как правило, цифровые компоненты, представленные в библиотеках, являются достаточными для большинства схем. Однако, если ваш дизайн требует цифровые компоненты, которые еще не были представлены в PSpice и библиотеках моделей, вам необходимо самостоятельно определить модели цифровых устройств, соответствующих новым цифровым компонентам.

Полная цифровая модель устройства имеет три основные характеристики:

- Функциональное поведение: описывается уровнем вентилей и поведением цифровых примитивов, содержащихся в подсистеме.
- Поведение ввода-вывода: описывается моделью ввода-вывода, интерфейсом и источниками питания, связанными с логическими устройствами.
- Временное поведение: описывается одной или несколькими моделями времени с примитивными задержками передачи от выводов к выводам (pin-to-pin) или примитивной проверкой ограничений.

16.1.2. Функциональное поведение

Функциональное поведение модели цифрового устройства определяется одним или несколькими взаимосвязанными цифровыми примитивами. Как правило, логическая диаграмма цифрового устройства может быть реализована

непосредственно с использованием примитивов, предоставляемых в PSpice. В приведенной ниже таблице приведен краткий обзор цифровых примитивов.

Таблица 16-1

Сводка цифровых примитивов

Тип	Описание	Тип	Описание
BUF	Буфер	<i>Двухнаправленные шлюзы передачи</i>	
INV	Инвертор	NBTG	N-канальный шлюз передачи
AND	И	PBTG	P-канальный шлюз передачи
NAND	И-НЕ	<i>Триггеры и защелки</i>	
OR	ИЛИ	JKFF	J-K-триггер, срабатывание с отрицательным фронтом
NOR	ИЛИ-НЕ	DFF	D-триггер, срабатывание положительным фронтом
XOR	Исключающее ИЛИ	SRFF	RS-триггер
NXOR	Исключающее ИЛИ-НЕ	DLTCH	D-триггер
BUFA	Буферный массив	PULLUP	Подтягивающая резисторная матрица
INVA	Инверторный массив	PULLDN	Стягивающая резисторная матрица
ANDA	Массив И	<i>Линии задержки</i>	
NANDA	Массив И-НЕ	DLYLINE	Линия задержки
ORA	Массив ИЛИ	<i>Программируемые логические массивы</i>	
NORA	Массив ИЛИ-НЕ	PLAND	Массив И
XORA	Массив исключающего ИЛИ	PLOR	Массив ИЛИ
NXORA	Массив исключающего ИЛИ-НЕ	PLXOR	Массив Исключающее ИЛИ
AO	Составной элемент И-ИЛИ	PLNAND	Массив И-НЕ
OA	Составной элемент ИЛИ-И	PLNOR	Массив ИЛИ-НЕ
AOI	Составной элемент И-(ИЛИ-НЕ)	PLNXOR	Массив исключающего ИЛИ-НЕ
Примечание: вышеперечисленные элементы с добавлением цифры 3 (AND3, OR3A и т.п.) имеют третье состояние с большим импедансом.		PLANDC	И массив, истина и дополнение

Таблица 16.1 (Продолжение)

Тип	Описание	Тип	Описание
<i>Память</i>		<i>Многобитовые преобразователи аналого-цифровые (ЦАП) и цифроаналоговые (АЦП)</i>	
ROM	ПЗУ	ADC	Многобитовый АЦП

RAM	ОЗУ	DAC	Многобитовый ЦАП
<i>Поведенческие модели</i>			
LOGICEXP	Логическое выражение	PINDLY	Задержка от пина к пину
CONSTRAINT	Проверка ограничений		

Формат цифровых примитивов аналогичен формату аналоговых устройств. Одно отличие состоит в том, что большинство цифровых примитивов требуют двух моделей вместо одной:

- Модель времени, которая определяет задержки распространения и временные ограничения, такие как время установки и удержания.

- Модель ввода-вывода, которая определяет информацию, относящуюся к входным / выходным характеристики устройства.

Причина наличия двух моделей заключается в том, что, хотя информация о времени специфическая для устройства, характеристики ввода/вывода специфичны для целой группы логических устройств. Таким образом, многие устройства в одной и той же групповой ссылке имеют одну и ту же модель ввода-вывода, но каждое устройство имеет свою собственную модель синхронизации.

На рис. 16.1 представлен обзор определения цифрового устройства в терминах его примитивов и основных атрибутов модели. Это модель элемента И-НЕ, выполненного по технологии CMOS с двумя входами.

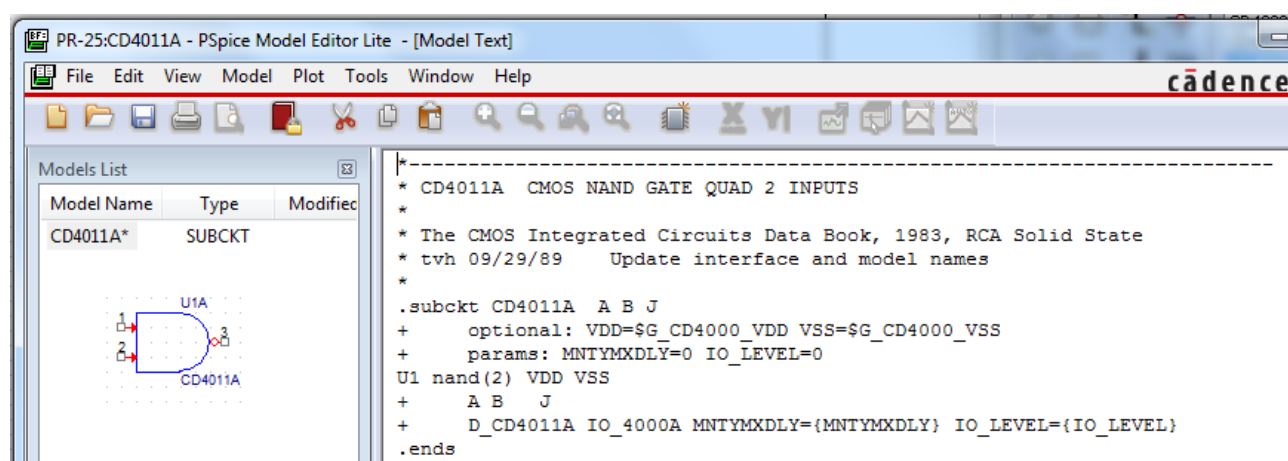


Рис. 16.1. Описание элемента И-НЕ

Первые пять строк - это комментарии, дающие описание компонента и ссылку на источники данных. В строке 6 приведено определение подсхемы CD4011B с тремя контактами A, B и J. Глобальный источник питания определяется $VDD=\$G_CD4000_VDD$ и $VSS=\$G_CD4000_VSS$. Необязательными параметрами являются $MNTYMXDLY=0$, который определяет минимальную, типичную и максимальную задержку и IO_LEVEL , который определяет одну из четырех аналого-цифровых (AtoD) или (DtoA)

интерфейсных подсхем, если цифровое устройство подключается к аналоговому устройству.

Компонент U1 определяет примитив с двумя входами nand(2), который имеет входные терминалы VDD, VSS, A, B и J. Знак «+» означает продолжение на следующей строке. Следующая строка (строка 11) объявляет две модели: временную модель D_CD4011B, которая определяет временные параметры, такие как задержка распространения, время установки и удержания, а также модель входа/вывода (I/O), IO_4000B, которая определяет характеристики нагрузки и переключения для вентиля. Подсхемы всегда заканчиваются выражением «.ends», как в строке 12.

Модель D_CD4011B может быть найдена в CD4000.lib и модели IO_4000B в dig_io.lib. Более подробную информацию можно найти в Справочное руководство по PSpice.

16.2. Цифровые цепи

Цифровые вентили по умолчанию не показывают свои контакты питания, потому что потребуется относительно большое количество проводов для соединения всех вентилях с питанием, что может привести к чрезмерному усложнению схемы. Вместо этого устройства TTL и CMOS подключены к глобальным узлам электропитания, которые не отображаются, и по умолчанию в них установлено значение 5 В. Различные источники питания могут быть установлены для диапазона напряжения питания от 3 до 18 В для устройств CMOS. Это не повлияет на ввод пороговых значений и выходные драйверы для CMOS-устройств, но задержки распространения будут все еще определяться для источника питания 5 В. Для точной установки задержки распространения временные модели должны быть изменены.

Чтобы установить цифровые логические уровни на выводах интегральной схемы (IC), рекомендуется использовать цифровые символы HI и LO в меню Place> Power>(выбрать библиотеку Source.olb) и использовать цифровые подтягивающие (pullup) или стягивающие (pulldown) резисторы из библиотеки dig_misc, чтобы связать контакт с высоким или низким уровнем через резистор.

Символы No Connect из меню Place можно использовать для идентификации несвязанных выводов. На рисунке 16.2 показаны соответствующие символы и компоненты Capture.

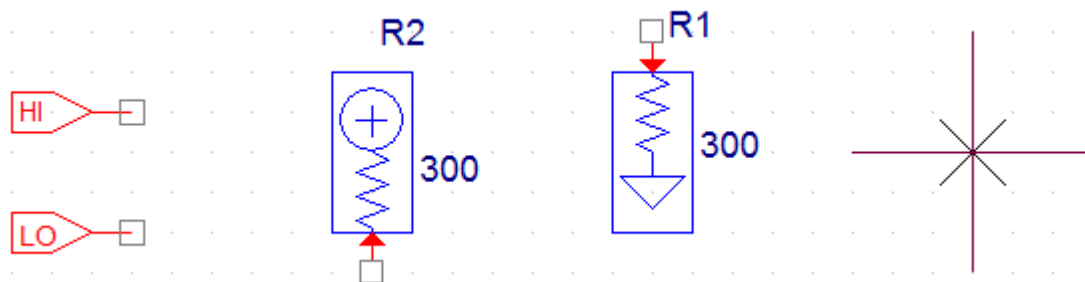


Рис. 16.2. Цифровые символы: HI, LO, pullup, pulldown, No Connect

16.2.1. Моделирование цифрового счетчика

Создадим новый проект рг-25 для моделирования цифрового счетчика. На рисунке 16.3 цифровой сигнал синхронизации подается ко входу 8-битного двоичного счетчик (U1A и U1B). Чтобы включить счетчик, ввод CLR привязан к минимуму, используя цифровой символ LO.

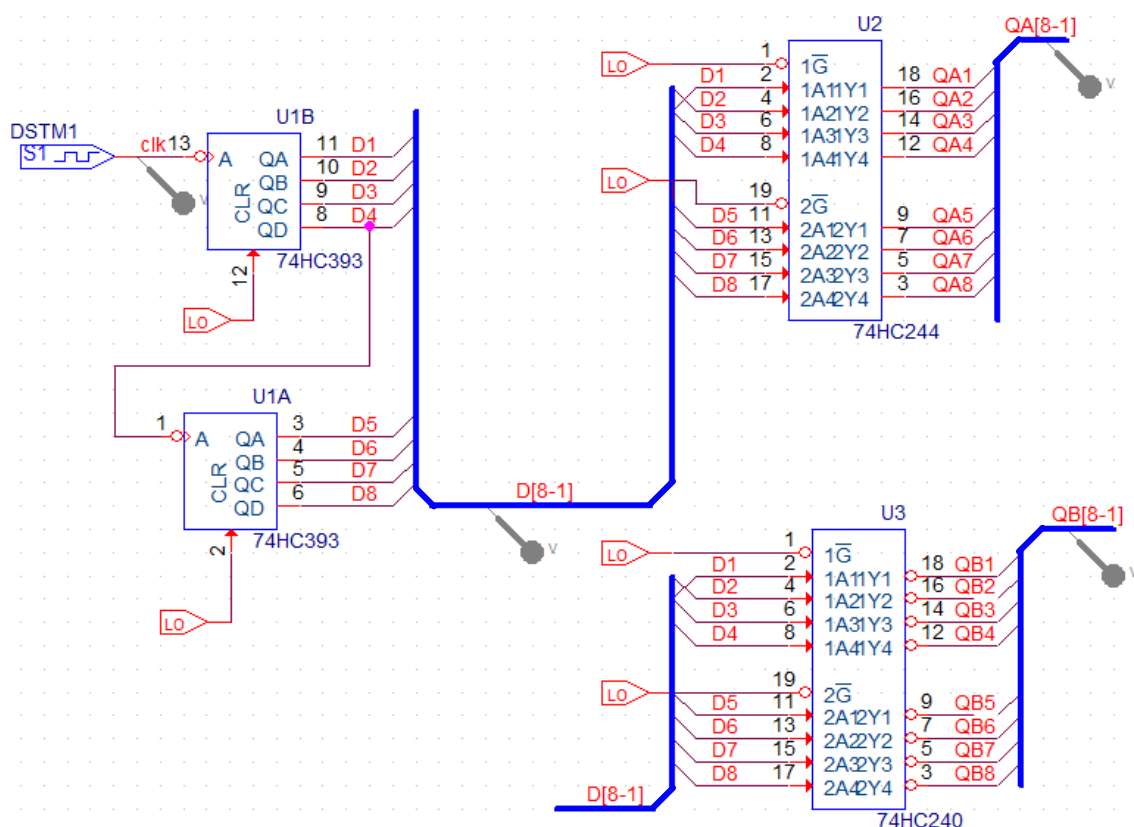


Рис. 16.3. Схема модели цифрового счетчика

Микросхемы соединены 8-разрядными шинами. Чтобы нарисовать шину, выберите Place>Bus или нажмите «В».

Чтобы нарисовать угловую шину, удерживайте Shift и нажмите левую кнопку мыши, чтобы определить угол, а затем нарисуйте шину.

Каждый выход счетчика подключается к 8-разрядной шине, используя точки входа в шину через Place> Bus Entry, выбрав значок или нажав E на клавиатуре.

Примечание:

В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств

Начиная с версии 16.3, соединительные контакты могут автоматически наноситься на шину. Нарисуйте шину, а затем выберите Place> Auto Wire > Connect to Bus. Нажмите на соединительный контакт и затем щелкните по шине (вам будет предложено ввести имя сети). Вход в точку шины и провод будут нарисованы автоматически.

Каждый провод, подключенный к точке входа шины, обозначен D1, D2 и т.д., а сама шина имеет сетевое имя D[8-1], порядок которого, определяется msb-lsb (старший значащий бит – младший значащий бит). Шина на ввод данных в U3 также называется D[8-1] и поэтому будет подключена как 8-битная шина. Шина также может быть обозначена как D [7-0] или D[7..0], согласно вашему предпочтению, если крайний правый бит вы обозначаете нулевым. Только сигналы одного типа могут быть сгруппированы вместе на шине, смешанные шины не могут быть определены в Capture. Однако в Probe сигналы различных типов могут собираться вместе и отображаться в виде сигнала шины.

Маркеры могут быть размещены как на шинах, так и на проводах.

В тактовом генераторе DSTM1 установим период 2 мкс, время включенного состояния 1 мкс, задержка 10 нс (рис. 16.4).

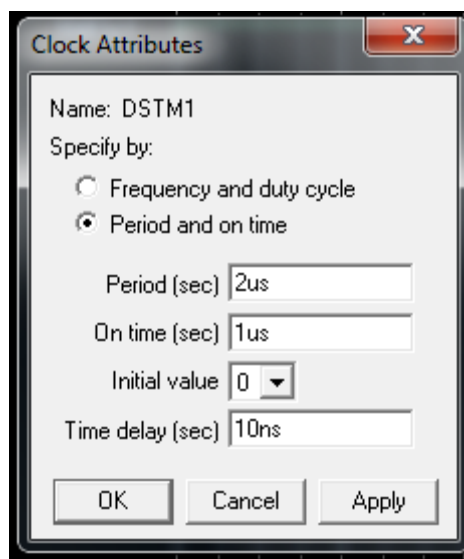


Рис. 16.4. Установка тактового генератора

16.2.2. Профиль цифрового моделирования

Сначала установим режим Transient с временем моделирования 16 мкс. Затем на вкладке Options выбираем Gate Level Simulation>General и устанавливаем типичную синхронизацию (рис. 16.5).

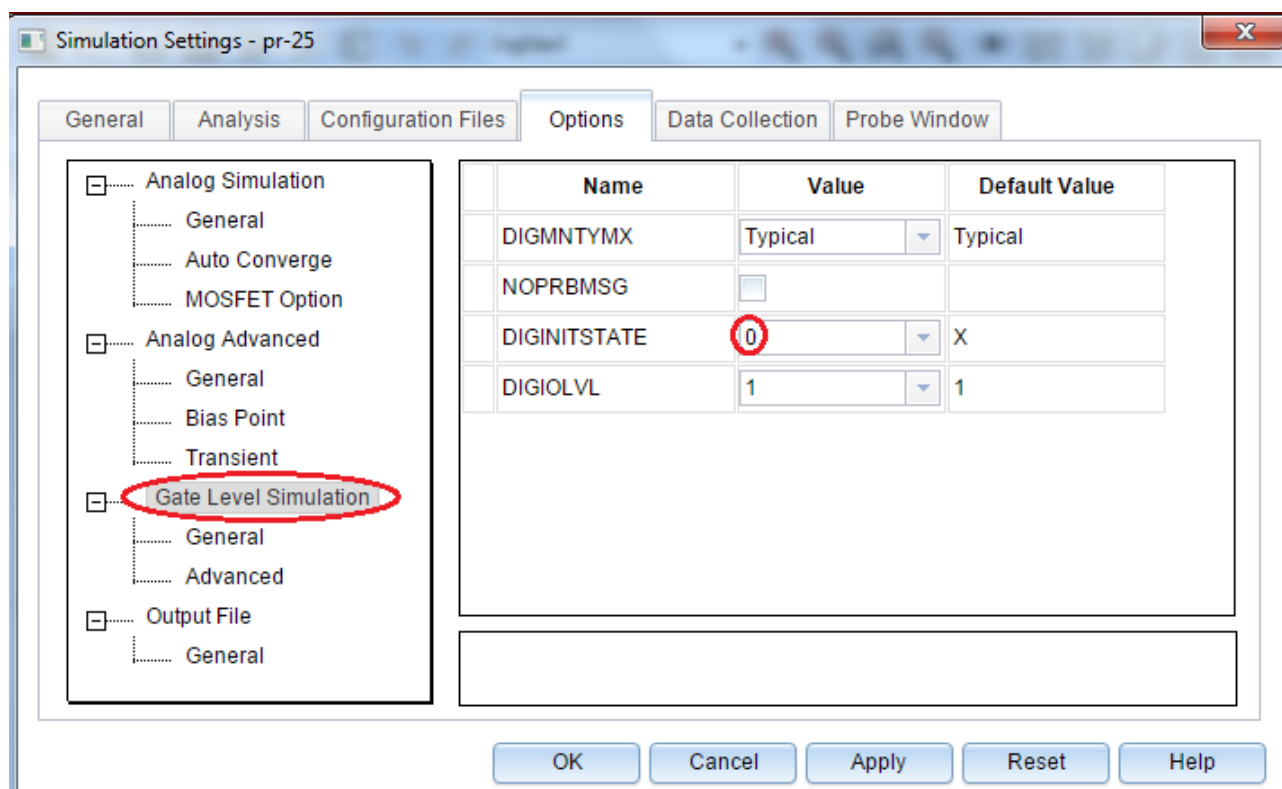


Рис. 16.5. Установка профиля цифрового моделирования

Параметр «Режим синхронизации» позволяет вам выбрать минимальный, максимальные или наихудшие временные характеристики для цифровых устройств. Есть четыре интерфейса ввода/вывода AtoD и DtoA, которые вы можете выбрать, и, что наиболее важно, вы можете инициализировать все триггеры либо на X (бесконечный импеданс), либо в состояние логического 0 или 1, установив параметр DIGINITSTATE.

16.2.3. Отображение цифровых сигналов

Цифровые сигналы отображаются как с высоким, так и с низким уровнем логики. Однако для областей двусмысленности, когда время перехода точно не известно, возрастающие и падающие переходы будут показаны желтым цветом. Неизвестные состояния отображаются как две красные линии и высокоимпедансные состояния будут показаны как три синие линии.

Примечание:

Одна из распространенных ошибок заключается в неправильной инициализации регистров (триггеров) в цепи, так что в результате появляются две красные линии, представляющие неизвестное состояние. Убедись, что вы инициализируете триггеры, как показано на рис. 16.5.

Вы можете группировать цифровые сигналы вместе и отображать их как шину в окно Probe. Имя шины можно создать в поле Trace Expression окна Add Trace. До 32 цифровых сигналов могут быть указаны в перечне msb to lsb, с основанием шестнадцатеричного (по умолчанию), десятичного, восьмеричным или двоичного представления.

Для примера:

{D4 D3 D2 D1}; myBus; d отобразит D4 - D1 (msb-lsb), обозначенные как myBus с десятичными числами;

{WR RD CE}; control; b будет отображать управление шиной в двоичном формате.

На рисунке 16.6 после моделирования показаны сигналы на разных шинах счетчика в разных исчислениях. Вывод сделан последовательным выполнением команды Trace>Add Ttace для следующих выражений Trace Expression:

{D[8:1]} {QA[8:1]} {QB[8:1]} {QA[8:1]};myBus; b {QB[8:1]}; myBus; d {QA[8:1]}; myBus; h QA[8:1]

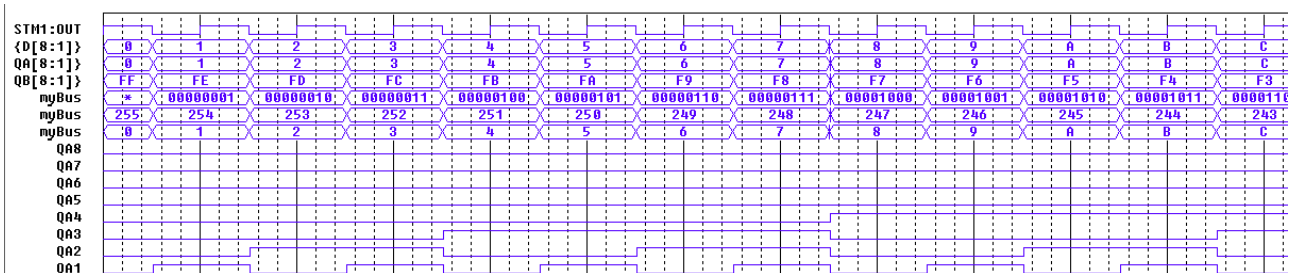


Рис. 16.6. Вывод данных в разных форматах

Примечание: в строке Trace Expression после записи очередного выражения не следует ставить какой-либо знак.

Данные на рис. 16.6 показывают увеличение счета на шинах D[8:1], QA[8:1], так как исходное состояние триггеров было DIGINITSTATE=0.

Установим в опциях профиля моделирования (рис. 16.5) DIGINITSTATE=1. В этом случае результаты моделирования на шинах D[8:1], QA[8:1] показывают счет в сторону уменьшения (рис. 16.7)

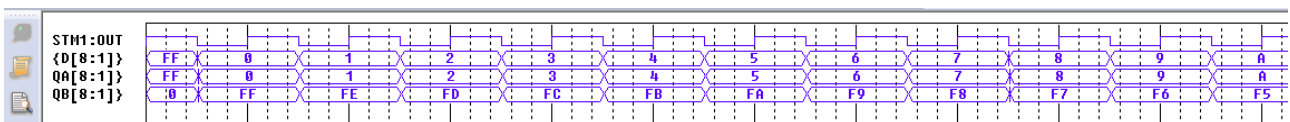


Рис. 16.7. Вывод данных для счета с уменьшением

Примитив MNTYMXDLY является необязательным параметром устройства, который указывает, следует ли использовать минимальные, типичные, максимальные или наихудшие цифровые временные значения задержки из модель устройства.

В свойствах компонента 74HC393 установлено PARAMS: MNTYMXDLY=0 (рис. 16.8). Это означает, что он принимает текущее значение параметра DIGMNTYMX. DIGMNTYMX в нашем профиле моделирования установлен как «типичный».

* 74HC393 COUNTER BINARY 4-BIT, ASYNCHRONOUS

*

* HIGH-SPEED CMOS LOGIC DATA BOOK, AUG 1989, TI

* JLS 6-30-92 REMODELED USING LOGICEXP, PINDLY, AND CONSTRAINT DEVICES

*

.SUBCKT 74HC393 A_I CLR_I QA_O QB_O QC_O QD_O

+ OPTIONAL: DPWR=\$G_DPWR DGND=\$G_DGND

+ PARAMS: MNTYMXDLY=0 IO_LEVEL=0

Рис. 16.8. Фрагмент свойств счетчика 74HC393

Подробнее с основными и расширенными опциями цифрового моделирования можно познакомиться в PSpice 17.2 User Guide.

16.3. Контрольные вопросы

1. Какие основные цифровые устройства можно моделировать в PSpice?
2. Какие основные характеристики имеют цифровые модели ?
3. Какие цифровые примитивы использует PSpice ?
4. Какие две модели должны иметь цифровые примитивы ?
5. Поясните описание элемента И – НЕ.
6. Какие типовые цифровые символы используют в цифровых цепях ?
7. Как выполняют соединение цифровых микросхем многоуровневыми шинами ?
8. Как обозначают цифровые шиги ?
9. Как устанавливают профиль цифрового моделирования ?
10. Как можно отображать цифровые сигналы в окне Probe ?
11. Как записывают выражения Trace Expression для отображения цифровых сигналов в разных исчислениях и в разных форматах ?
12. Как можно изменять параметры цифрового компонента в списке его свойств ?

Глава 17. Смешанное моделирование

PSpice использует один и тот же механизм моделирования для аналоговых и цифровых схем. Результаты моделирования в окне Probe распределены на одной и той же оси времени, но разделяются на отдельные окна аналоговых и цифровых графиков. Аналоговые и цифровые компоненты в цепи соединены вместе в узлах. В PSpice существует три типа соединительных узлов:

- аналоговый, где все подключенные части являются аналоговыми;
- цифровой, где все подключенные части цифровые;
- и интерфейс, где есть смесь аналоговых и цифровых частей.

Узлы интерфейса автоматически разделяются на один аналоговый узел и один или больше цифровых узлов, вставляя аналоговые и цифровые интерфейсные подсхемы, которые являются аналого-цифровыми (ADC, AtoD) или цифро-аналоговыми (DAC, DtoA) интерфейсами.

Эти подсхемы также будут иметь собственный источник питания. Поскольку этот процесс происходит автоматически и работает незаметно, нам обычно не приходится беспокоиться о интерфейсных подсхемах, хотя они доступны в виде графиков в окне Probe.

17.1. Исследование аналогового компаратора с цифровым выходом

На рис. 17.1 показана схема аналогового компаратора. Выходной транзистор с открытым коллектором подключен к цифровому затвору. Подтягивающий резистор подключен к цифровому источнику питания и выходное заземление компаратора подключено к цифровому заземлению. Установки источника сигнала V1 показаны на схеме. Цифровой генератор стимулов DSTM1 имеет период 2 мкс.

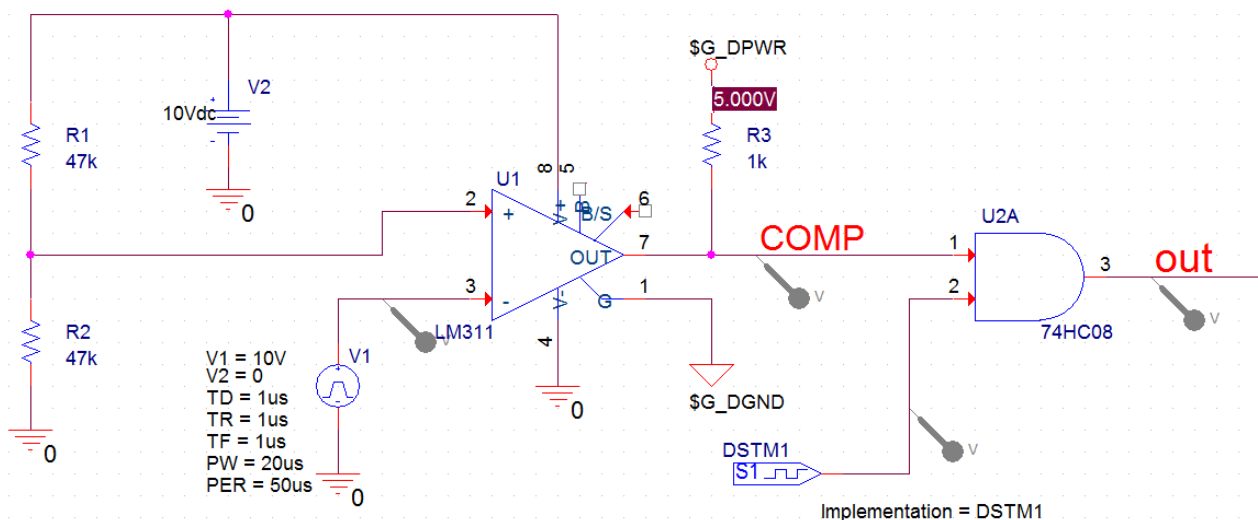


Рис. 17.1. Схема аналогового компаратора с цифровым выходом

Для смешанных аналоговых и цифровых схем выполняют те же процедуры для размещения деталей, создания профиля моделирования и моделирования.

Для упрощения цепей питания используют свойство PSPICEDEFAULTNET. Это свойство определяет сетевое имя, на которое подается питание или земля (невидимый) контакт.

Например, если контакты питания и заземления на цифровой части подключены к цифровым цепям \$ G_DPWR и \$ G_DGND соответственно, то свойства определяются следующим образом:

PSPICEDEFAULTNET = \$ G_DPWR

PSPICEDEFAULTNET = \$ G_DGND

Так для микросхемы 74HC08 в редакторе свойств модели (рис. 17.2) указаны обозначения цифровых цепей питания и земли. Описание определения подсхемы, которое начинается с:

.SUBCKT 7400 A B Y

+ optional: DPWR=\$G_DPWR DGND=\$G_DGND

+ params: MNTYMXDLY=0 IO_LEVEL=0.

Затем указываются соответствующие свойства компонента:

IMPLEMENTATION = 7400

MNTYMXDLY = 0

IO_LEVEL = 0

PSPICETEMPLATE = X^@REFDES %A %B %Y %PWR %GND

@MODEL PARAMS:IO_LEVEL=@IO_LEVEL

MNTYMXDLY=@MNTYMXDLY

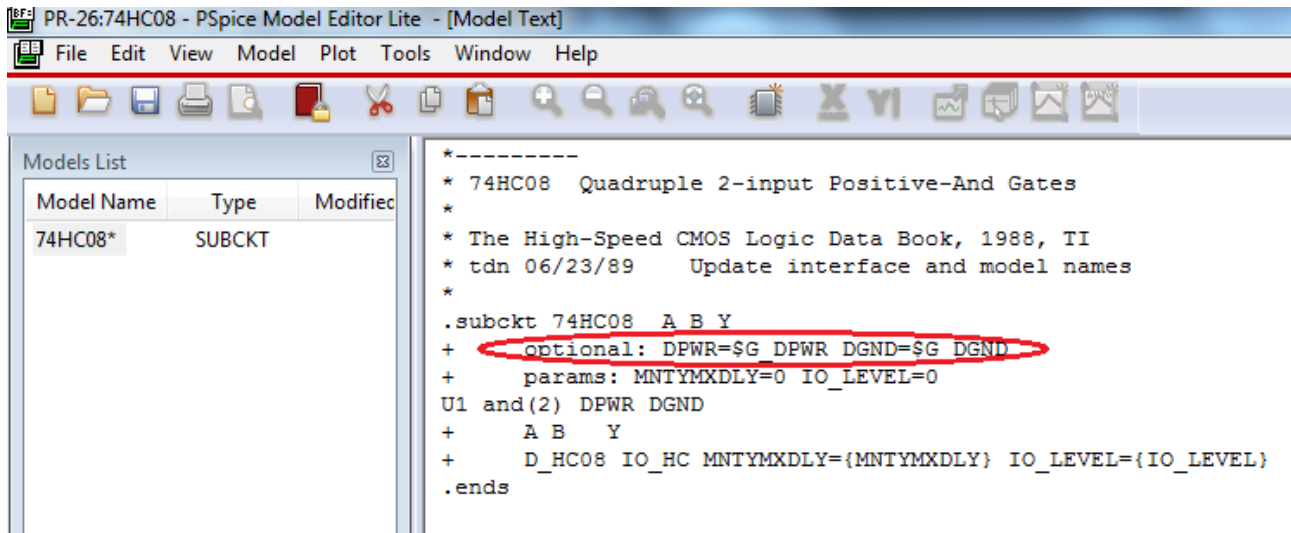


Рис. 17.2. Обозначения цифровых цепей питания и земли

После вызова подсхемы интерфейса PSpice A/D вставляет один или несколько интерфейсных блоков питания. Например, PSpice A/D вставил DIGIFPWR, который является источником питания подсхем, используемых всеми TTL-моделями в библиотеке моделей. DIGIFPWR создает глобальные узлы \$ G_DPWR и \$ G_DGND, которые используются по умолчанию для каждого компонента части TTL. Для проверки на рис. 17.1 показано измеренное напряжение в узле \$ G_DPWR.

Выполним моделирование, используя профиль Transient с длительностью 100 мкс и максимальным шагом 10 нс.

На рис. 17.3 показаны цифровые формы сигналов, изображаемые в верхней области Probe и аналоговые сигналы, изображенные в нижней области.

В схеме (рис. 17.1) напряжение на неинвертирующем входе компаратора составляет $\sim 5\text{В}$. Если $V_1 > 5\text{В}$, компаратор имеет на выходе низкий уровень и на выходе элемента «И» (74НС08) тактовые импульсы отсутствуют.

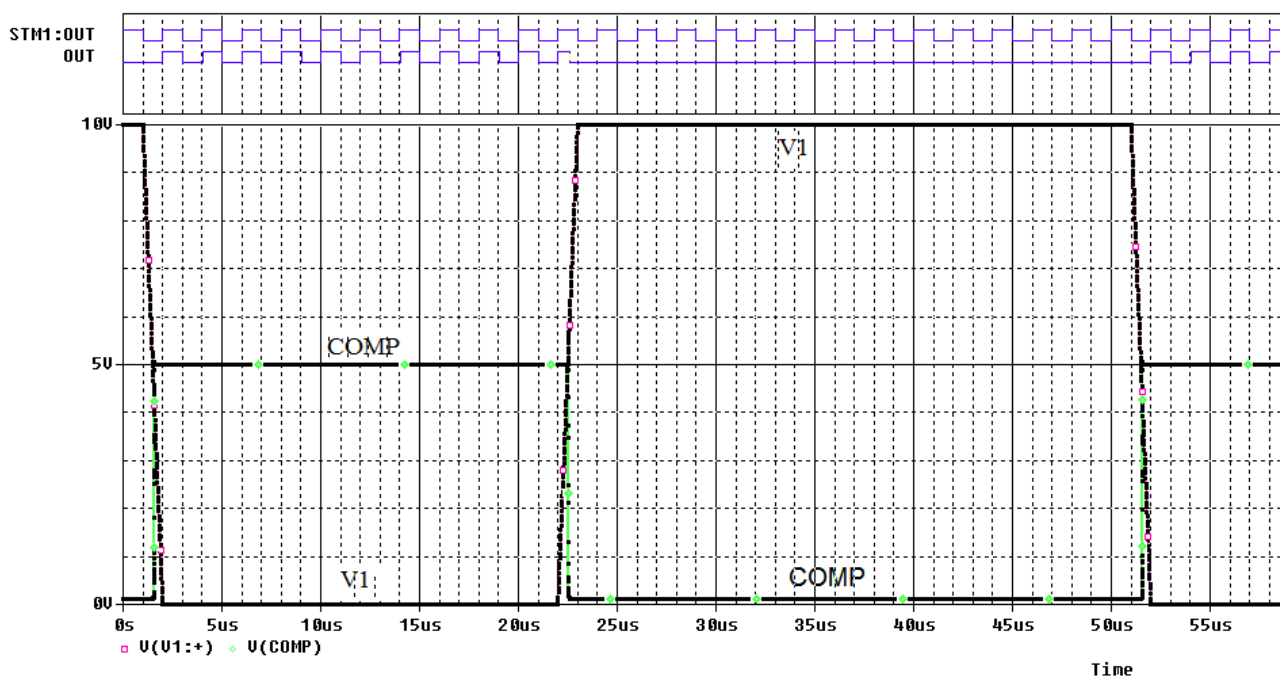


Рис. 17.3. Цифровые и аналоговые сигналы компаратора

17.2. Исследование цифро-аналогового преобразователя

На рисунке 17.4 показана функциональная схема цифро-аналогового преобразователя AD7224 (ЦАП).

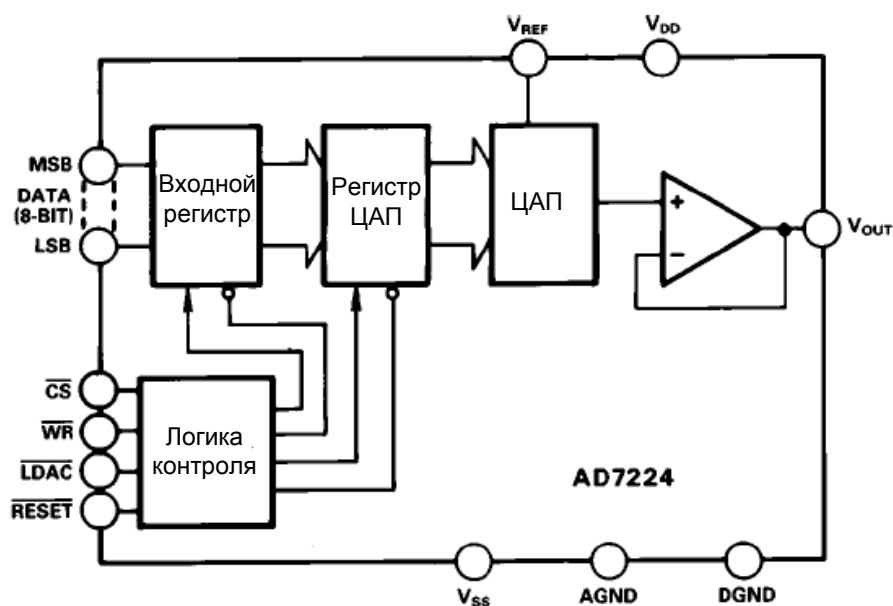


Рис. 17.4. Функциональная схема ЦАП AD7224

ЦАП AD7224 - это высокоточный 8-разрядный цифро-аналоговый преобразователь с выходным усилителем и двойным буфером интерфейсной логики на монолитном CMOS-чипе. Не требуется внешних подстроек для достижения полной заданной производительности компонента. Логика интерфейса с двойной буферизацией состоит из двух 8-битных регистров - входной регистр и регистр ЦАП. Только данные, содержащиеся в регистре ЦАП, определяют аналоговый выход преобразователя. Двойная буферизация позволяет одновременно обновлять систему, содержащую несколько AD7224. Оба регистра могут быть доступны под управлением трех внешних линий CS, WR и LDAC. Когда оба регистра доступны, линия RESET выполняет функцию установки нуля. Эта функция полезна для циклов калибровки системы. Все логические входы - это уровни совместимые с TTL и CMOS (5 В), а логика управления по скорости совместима с большинством 8-разрядных микропроцессоров.

Схема модели цифро-аналогового преобразователя показана на рис. 7.5.

На вход подано цифровое информационное слово 0111 1111. Из спецификации производителя напряжение определяется:

$$V_0 = V_{REF} \cdot \frac{127}{256} = 4,96 \text{ В}$$

Циклы синхронизации ЦАП должны быть настроены в соответствии с технической спецификацией.

1. Настройте переходный анализ со временем моделирования 5 мс и максимальным шагом 10 нс.

2. Перейдите на вкладку Options и выберите категорию Gate Level Simulation> General. Установите начальное значение цифровых схем нулевым: DIGINITSTATE = 0 (рис. 17.6). Закройте профиль моделирования.

3. Поместите маркеры напряжения на цепях LDAC, WR, CS и OUT.

4. Выполните моделирование.

Результаты показаны на рис. 17.7.

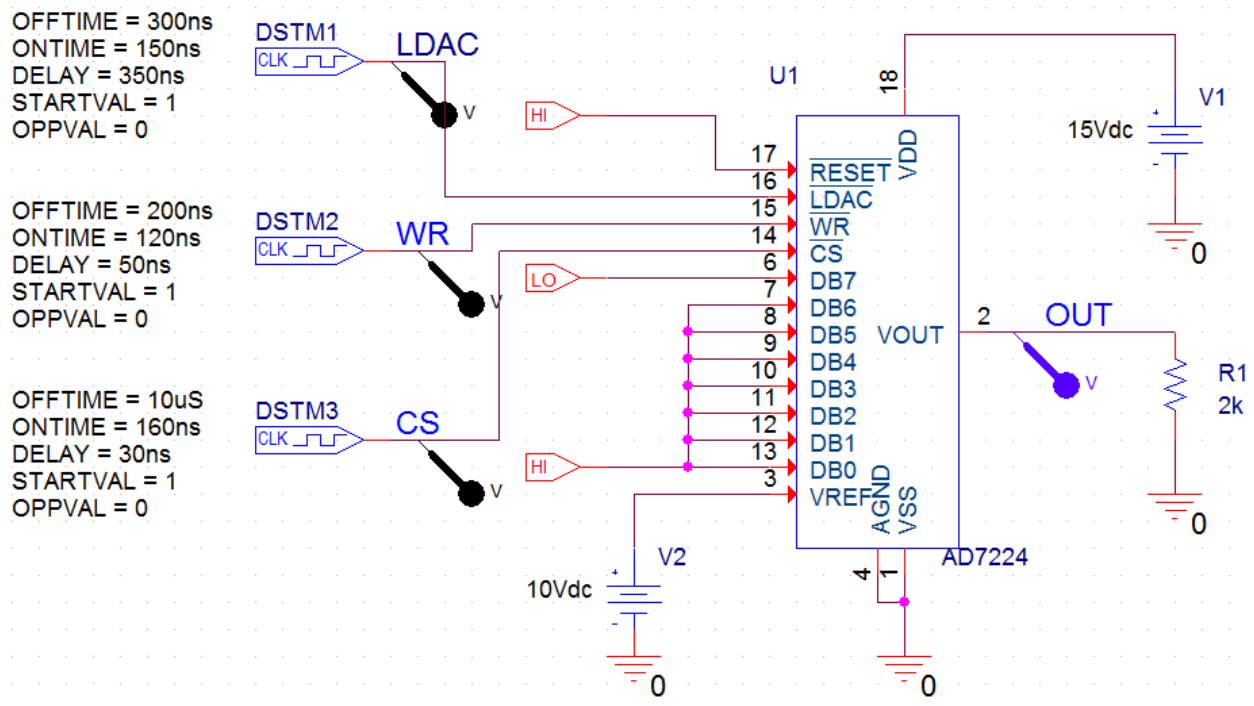


Рис. 17.5. Схема модели ЦАП

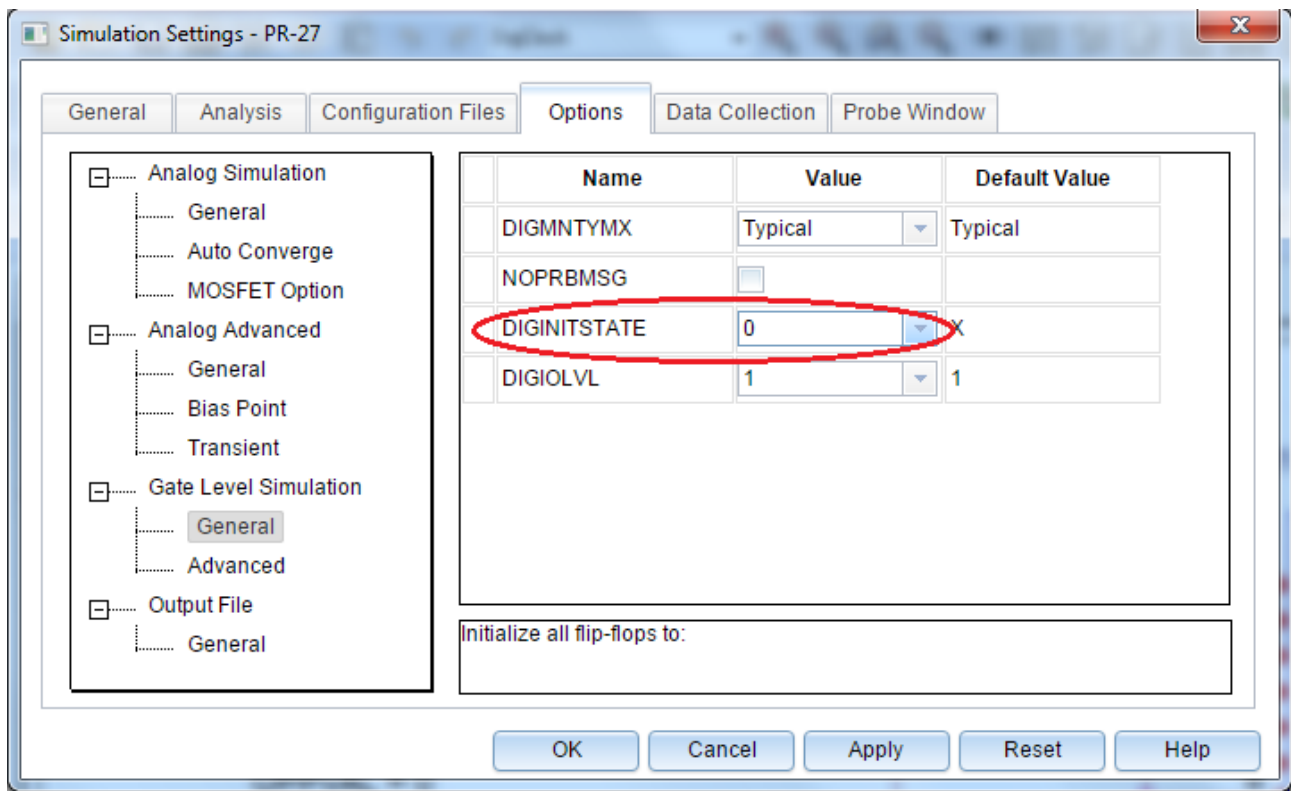


Рис. 17.6. Установка нулевого состояния цифровых схем

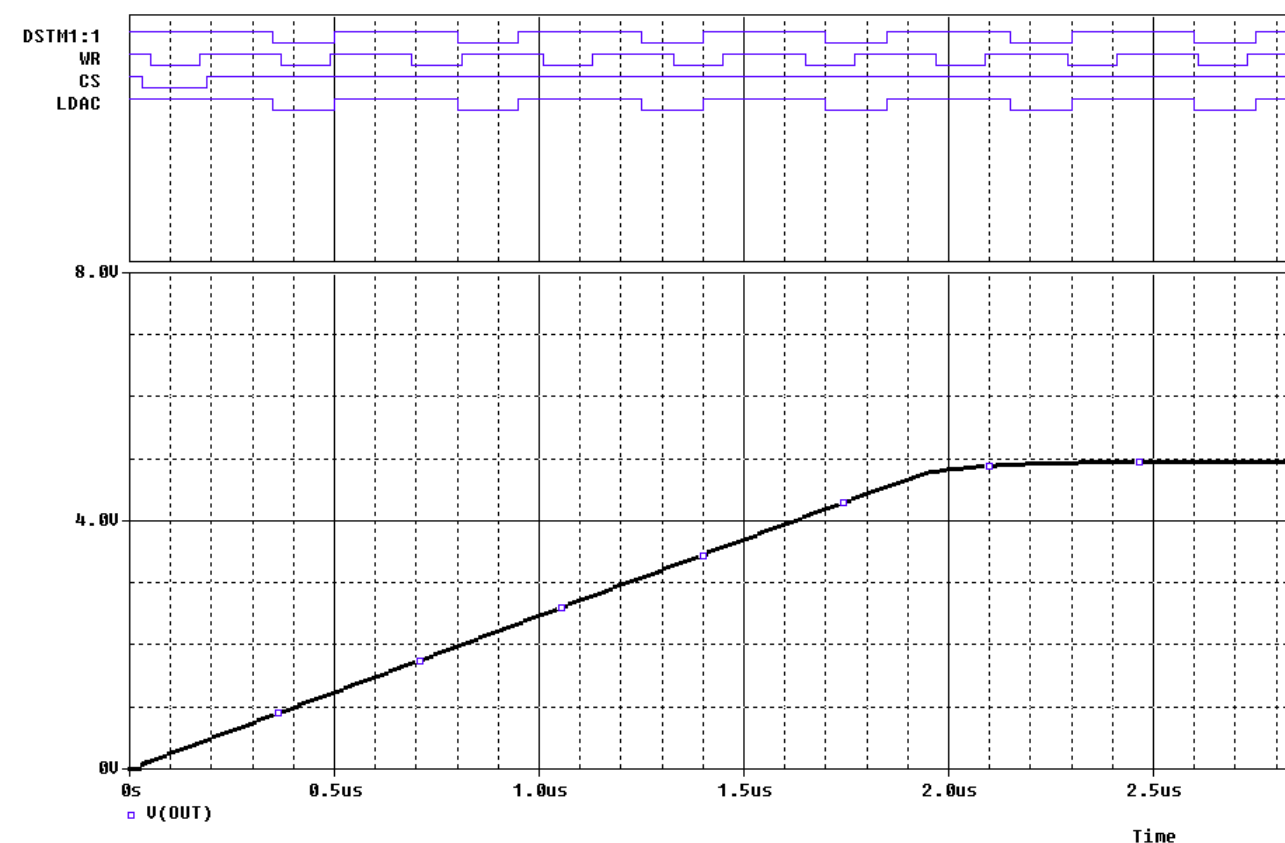


Рис. 17.7. Результаты моделирования ЦАП

В окне Probe вы увидите, что верхний график показывает цифровые сигналы, а нижний график показывает аналоговый выходной сигнал, достигающий значения ~ 5 В.

Установка программного обеспечения Cadence \ OrCAD включает в себя хороший выбор примеров аналоговых, цифровых и смешанных схем в каталогах anasim, digsim и mixsim. Их можно найти в установочном каталоге, например:

```
< install path> \ Cadence \ SPB_17.2 \ tools \ pspice \ capture_samples \
< install path> \ Cadence \ OrCAD_17.2 \ tools \ pspice \ capture_samples \
```

17.3. Контрольные вопросы

1. Как представляются результаты смешанного моделирования аналоговых и цифровых схем в окне Probe ?
2. Какие типы соединительных узлов использует PSpice ?
3. Поясните работу модели аналогового компаратора с цифровым выходом.
4. Как подводят питание к цифровым компонентам и что следует указать в свойствах модели компонента ?
5. Поясните форму цифровых и аналоговых сигналов в модели компаратора.
6. Поясните назначение управляющих сигналов ЦАП AD7224.

7. Как вычисляют выходное напряжение ЦАП для известного цифрового сигнала ?
8. Поясните настройку модели ЦАП .
9. Поясните форму графиков результатов моделирования ЦАП.

Глава 18. Создание иерархических проектов

Вводимая для моделирования принципиальная схема может быть либо плоской, в которой сигналы соединены между страницами схемы, или иерархической, в которой схема разделена на блоки и сигналы соединены поперечно вверх и вниз по иерархии.

Создадим новый проект FullAdd (полный сумматор) в папке PR-28. Плоские схемы представлены в Менеджере проекта как имеющие одну схемную папку с рядом ассоциированных страниц, в то время как иерархические схемы будут иметь более чем одну схемную папку (Рис. 18.1а).

18.1. Создание иерархического проекта

В окне менеджера проекта создаются файл fulladd.dsn. Ниже дизайн-файла, создаётся папка с именем SCHEMATIC1. Эта папка имеет страницу схемы названную PAGE1.

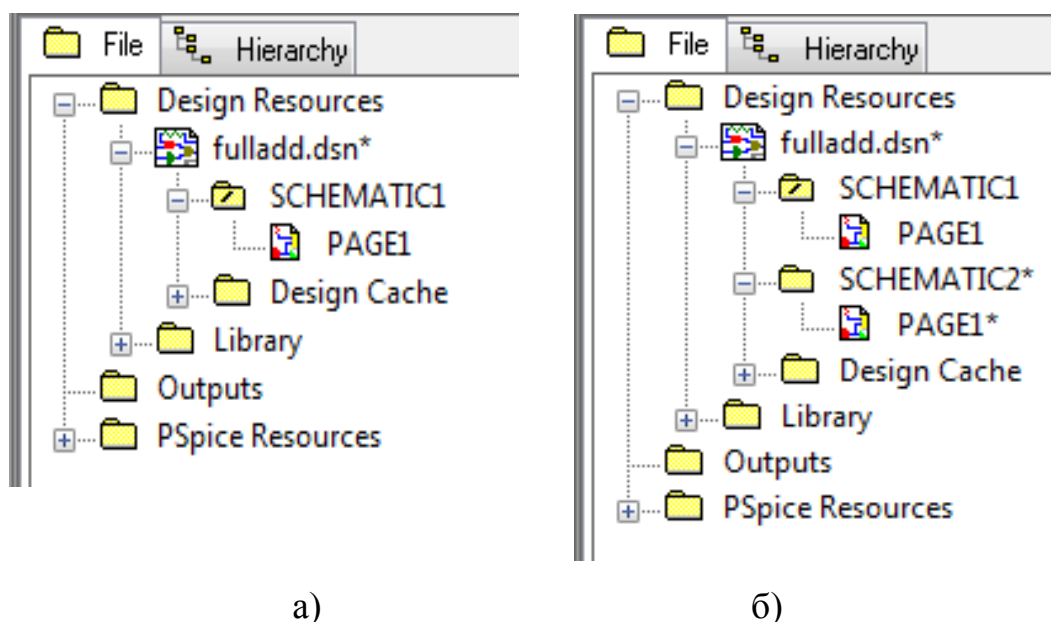


Рис. 18.1. Структура плоского проекта (а) и иерархического проекта (б)

Электрические схемы большинства проектов размещаются на нескольких страницах не самого большого формата. Имеются два способа организации схем большого объема:

- плоские обычные многостраничные структуры;
- иерархические структуры.

Электрические цепи, расположенные на разных страницах многостраничной схемы, соединяются друг с другом с помощью так называемых межстраничных соединителей (off-page connectors), имеющих одинаковые имена. Все страницы таких схем содержатся в одной папке на одном и том же уровне. Их структура показывается в менеджере проектов при нажатии клавиши File. Например, на рис. 18.1 в папке SCHEMATIC 1 могут быть помещены страницы схемы PAGE1 и PAGE2.

В иерархическом проекте каждая схемная папка в иерархии будет представлена иерархическим блоком в схемной папке. Выбрав иерархический блок, вы выбираете основную схему и эффективно спускаетесь вниз по иерархии. Для плоской схемы (рис. 18.1а), есть одна схемная папка и одна или несколько страниц. Для иерархической схемы (рис. 18.1б) может быть две и более схемные папки в иерархии и каждая со своей собственной схемной страницей или страницами. Каждую папку мы создаем, выбрав в меню проекта FullAdd опцию New Schematic и задав название новой папки.

На схемах **иерархических** проектов размещаются специальные символы, называемые иерархическими блоками (hierarchical block). Принципиальная электрическая схема каждого такого блока размещается в виде отдельной схемы, помещаемой в папку на том же уровне иерархии, что и основная схема. Иерархическая структура показывается в менеджере проектов при нажатии клавиши **Hierarchy**.

18.1.2. Создание плоского проекта полусумматора HalfAdd

Создадим сначала плоский проект для моделирования цифрового полусумматора HalfAdd. Для полного сумматора полусумматор является проектом нижнего уровня.

Переименуем папку SHEMATIC1 и PAGE1, назвав их HALFADD (рис. 18.2).

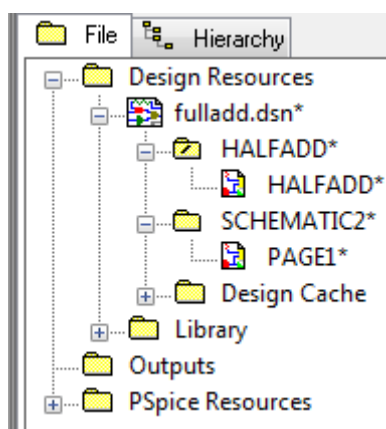


Рис. 18.2. Структура проекта с полусумматором

Напомним, что перед тем, как начать создания дизайна в OrCAD Capture, вы можете указать по умолчанию характеристики для вашего проекта с использованием шаблона дизайна. Шаблон дизайна может использоваться для указания шрифтов по умолчанию, размера страницы, заголовков блока, сетки и так далее. Чтобы настроить шаблон дизайна в OrCAD Capture, используйте диалоговое окно Design Template.

Для того, чтобы открыть диалоговое окно Design Template, из меню Options выберите Design Template (рис. 18.3).

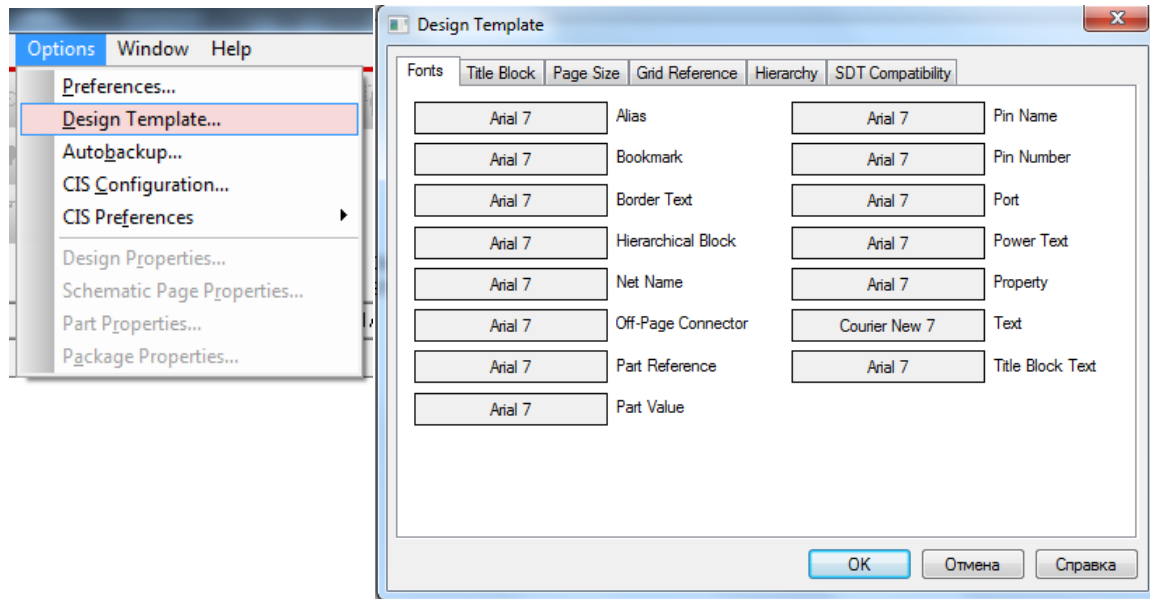


Рис. 18.3. Настройка шаблона дизайна

18.1.3. Иерархические порты и off-page разъемы

Так как полусумматор будет входить в более сложный иерархический проект, рассмотрим новые компоненты для различных соединений.

В иерархических схемах и в случае плоских схем обычно имеется одна папка и одна или более страниц. Для подключения сигналов между страницами, используются внестраничные разъемы: Place > Off-Page Connectors (рис 18.4). Два типа разъемов используют для указания направления потока данных, то есть от входа к выходу. Когда провод подключается к внестраничному разъему, схемное название провода наследует имя соединителя.

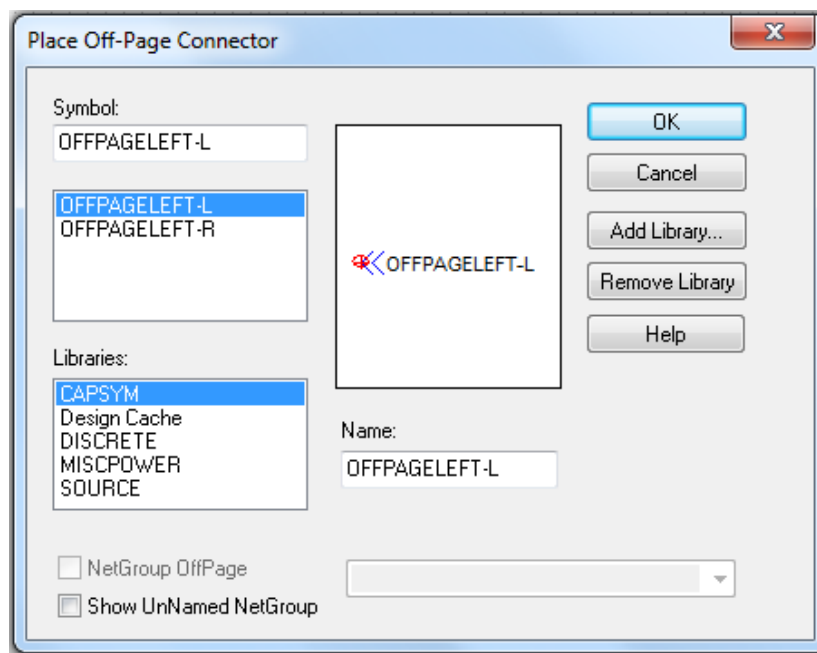


Рис. 18.4. Внестраничные порты

Иерархические порты подключают сигналы между уровнями иерархии. Для установки таких портов надо выбрать Place > Hierarchical Ports (Рис. 18.5). Как и с внестраничными разъемами, провод подключенный к иерархическому порту наследует имя порта.

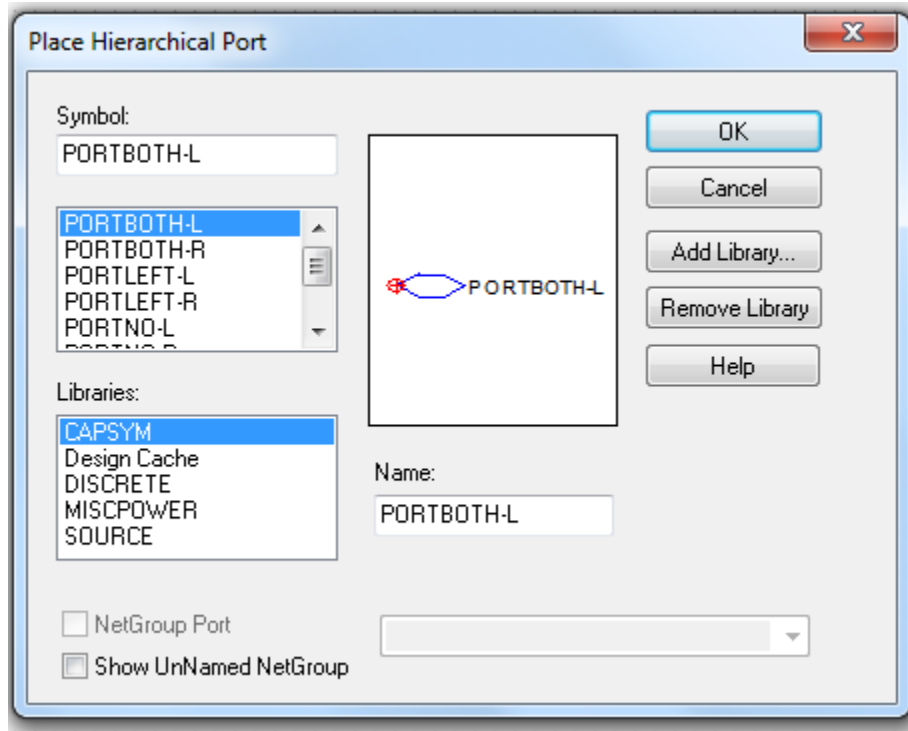


Рис. 18.5. Размещение иерархических портов

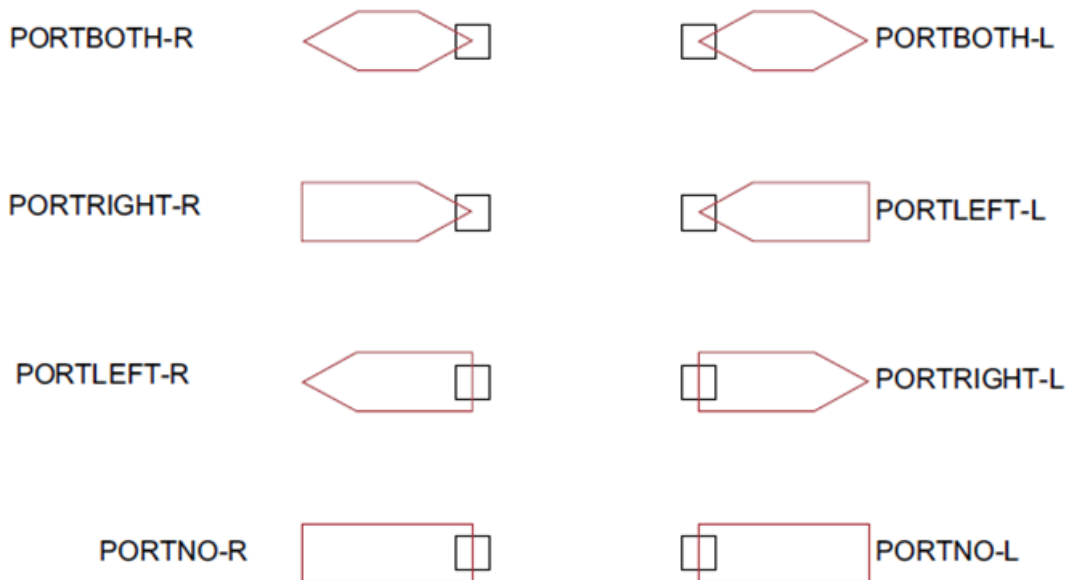


Рис. 18.6. Различные виды иерархических портов

Доступны различные иерархические порты, отличающиеся типом порта и направление потока данных. Рис. 18.6 показывает различные типы иерархических портов. Для примера: PORTRIGHT-R представляет собой порт, который имеет направление передачи вправо и имеет соединение на правой стороне.

В этом разделе мы создадим простой плоский полусумматор с портами X и Y в качестве входов и SUM и CARRY в качестве выходов.

1. Требуется создать схему (рис. 18.7) из библиотеки Parts.

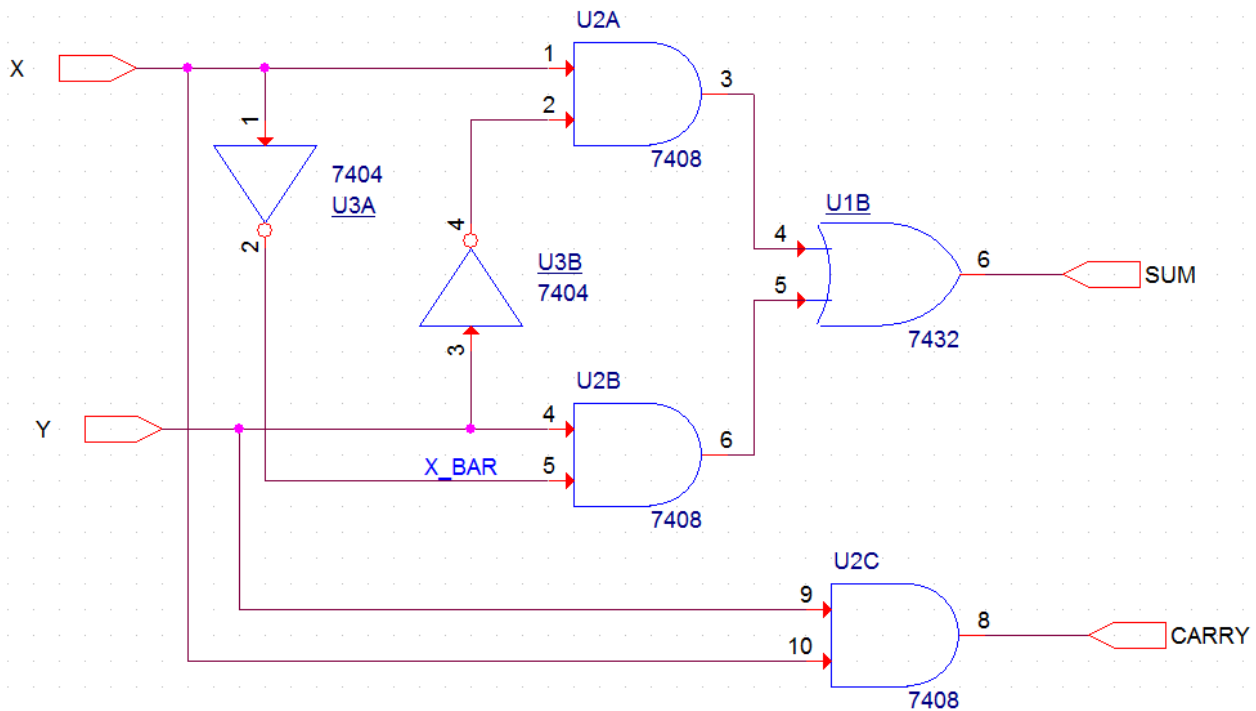


Рис. 18.7. Схема простого полусумматора

2. В меню Place в Capture, выберите Part. В диалоговом окне Place Part, сначала выберите библиотеку вентилях 7400.OLB, из которой должны быть добавлены компоненты, а затем добавьте их на страницу схемы.

3. Из меню Place выбираем иерархические порты:

входные порты из библиотеки CAPSUM : PORTRIGHT-R;

выходные порты из библиотеки CAPSUM: PORTLIGHT-L (рис. 18.6).

3. Выполняем соединения и переименовываем порты. Получаем нужную схему полусумматора (рис. 18.7).

18.1.4. Создание иерархического проекта Full Adder

В Capture можно создать иерархические проекты, используя один из следующих способов:

- восходящий метод (Bottom-up method);
- нисходящий метод (Top-down method).

Другой метод создания иерархического дизайна состоит в том, чтобы создавать компоненты или символы для дизайна на самом низком уровне и сохранять символы в определённой пользователем библиотеке. Вы можете позже добавить определённую пользователем библиотеку в ваши проекты и использовать эти символы на схеме. Например, вы можете создать компонент для дизайна полусумматора, а затем вместо иерархических блоков, использовать эту часть в новой схеме.

Более подробно мы рассмотрим этот подход в разделе «Создание коспонентов для схем».

В этом разделе мы создадим иерархическую структуру полного сумматора. Конструкция с половинным сумматором, созданная в разделе «Создание плоского проекта полусумматора HalfAdd» будет использоваться в качестве дизайна самого низкого уровня.

18.1.5. Восходящий метод

При создании иерархической конструкции с использованием восходящей методологии, необходимо выполнить следующие действия.

- Создание схемы низшего уровня.
- Создание схем более высокого уровня, которые будут содержать низкоуровневыми схемы в виде иерархических блоков.

Выполняем следующие шаги:

1. Создание проекта в Capture по известной нам методике.
2. Создание схемы низшего уровня. В схеме полного сумматора, например, дизайном нижнего уровня является полусумматор.

Для того, чтобы пройти шаги по созданию дизайна полусумматора, надо повторить действия из разделов 8.1.2, 8.1.3. Можно вместо этого создать новый проект fulladd-2 на основе ранее созданного проекта fulladd.

3 Создание конструкции более высокого уровня. Надо создать схему для полного сумматора, который использует полусумматор, созданный на предыдущем шаге. Нужные шаги приведены в следующем разделе.

18.1.6. Создание схемы полного сумматора

1. В окне менеджера проекта, щёлкните правой кнопкой мыши на fulladd.dsn и выберите New Schematic.
2. В диалоговом окне Schematic укажите имя новой схематической папки как FULLADD и нажмите OK (рис. 18.8).

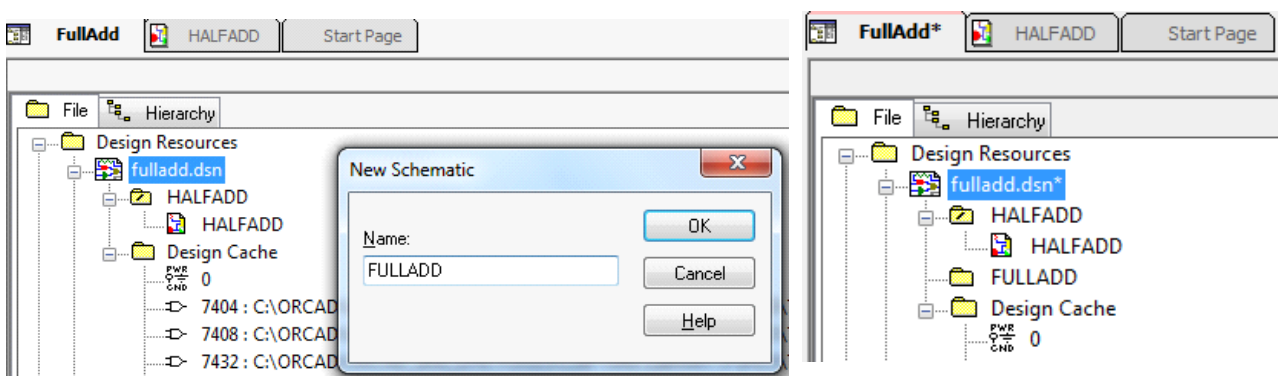


Рис. 18.8. Создание папки FULLADD

В окне диспетчера проекта, папка FULLADD появляется ниже fulladd.dsn.

3. Сохраните дизайн.

4. Для того, чтобы сделать схему полного сумматор в качестве корневого дизайна (проект верхнего уровня), щёлкните правой кнопкой мыши на FULLADD и из всплывающего меню выберите Make Root.

Папка FULLADD движется вверх и в папке появляется передний слэш (рис. 18.9).

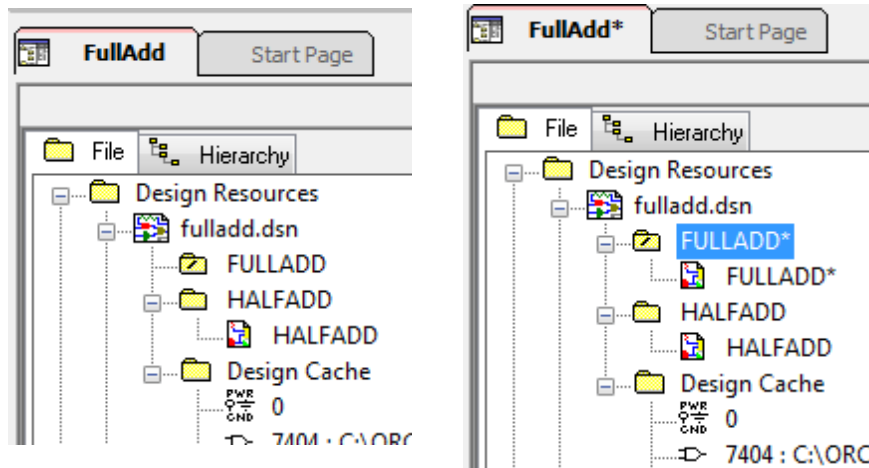


Рис. 18.9. Перемещение папки FULLADD вверх

5. Щёлкните правой кнопкой мыши на FULLADD и выберите New Page.

6. В новой странице в схеме: в окне диалога FULLADD укажите название страницы, как FULLADD и нажмите OK. Новая страница FULLADD добавляется ниже схемной папки FULLADD.

7. Дважды щёлкните страницу FULLADD, чтобы открыть её для редактирования.

8. В меню Place выберите Hierarchical Block.

9. В диалоговом окне Place Hierarchical Block, укажите ссылку на HALFADD_A1 (рис. 18.10).

10. Укажите тип осуществления как Schematic View.

11. Укажите имя осуществления как HALFADD и нажмите кнопку OK.

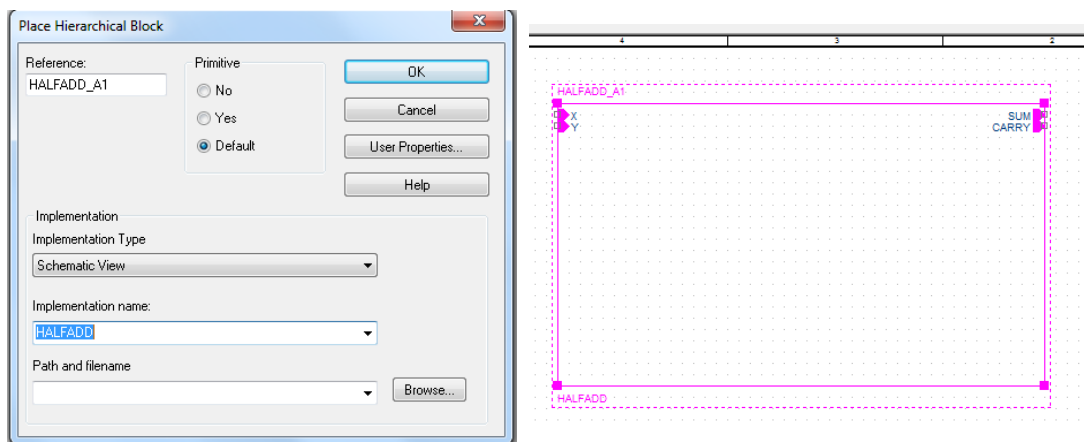


Рис. 18.10. Создание иерархического блока

Курсор изменится на перекрестие.

12. Нарисуйте прямоугольник на странице схемы.

Иерархический блок с входными и выходными портами будет нарисован на странице.

13. При необходимости измените размер блока. Кроме того, переместите входные и выходные порты на блоке путем перетаскивания.

Примечание: Для того, чтобы проверить, является ли иерархический блок правильным, выделите его, щёлкните правой кнопкой мыши на блоке и выберите Descend Hierarchy. Должна появиться ранее созданная схема полусумматора (рис.18.11).

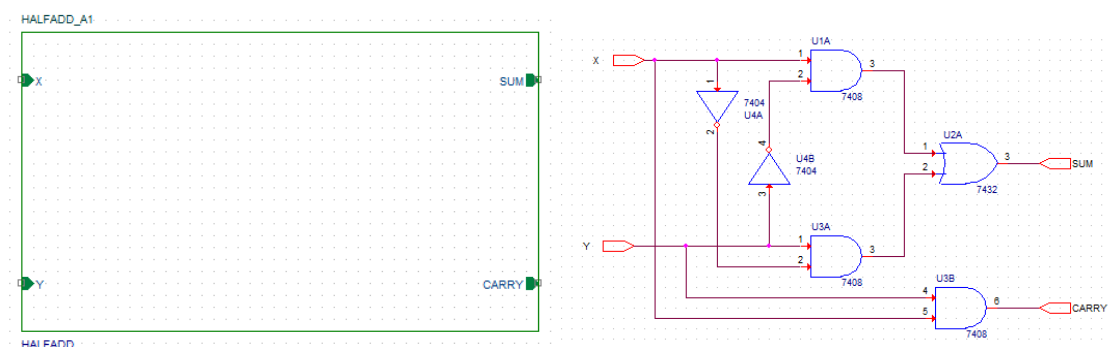


Рис. 18.11. Проверка правильности иерархического блока

14. Поместите другой экземпляр иерархического блока на схематическую страницу. Для этого :

- Выделите иерархический блок.
- В меню «Правка» выберите команду «Копировать».
- В меню «Правка» выберите команду «Вставить».
- Поместите экземпляр блока в желаемое место нахождения.

Примечание: В качестве альтернативы, вы можете использовать <Ctrl> + <C> и <Ctrl> + <V> для копирования и вставки блока.

15 По умолчанию позиционное обозначение для второго иерархического блока будет HALFADD_A2. Дважды щёлкните на позиционное обозначение, чтобы изменить ссылку на HALFADD_B1 (рис. 18.12).

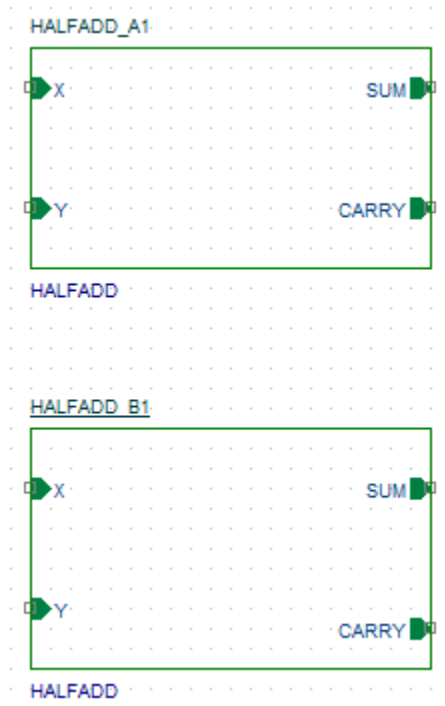


Рис. 18.12. Установка второго иерархического блока
Двойной щелчок на блоке раскроет его содержимое.

16. Используя Place Part, добавьте вентили ИЛИ (7432) к схеме и соедините блоки проводниками, как показано на рис. 18.13.

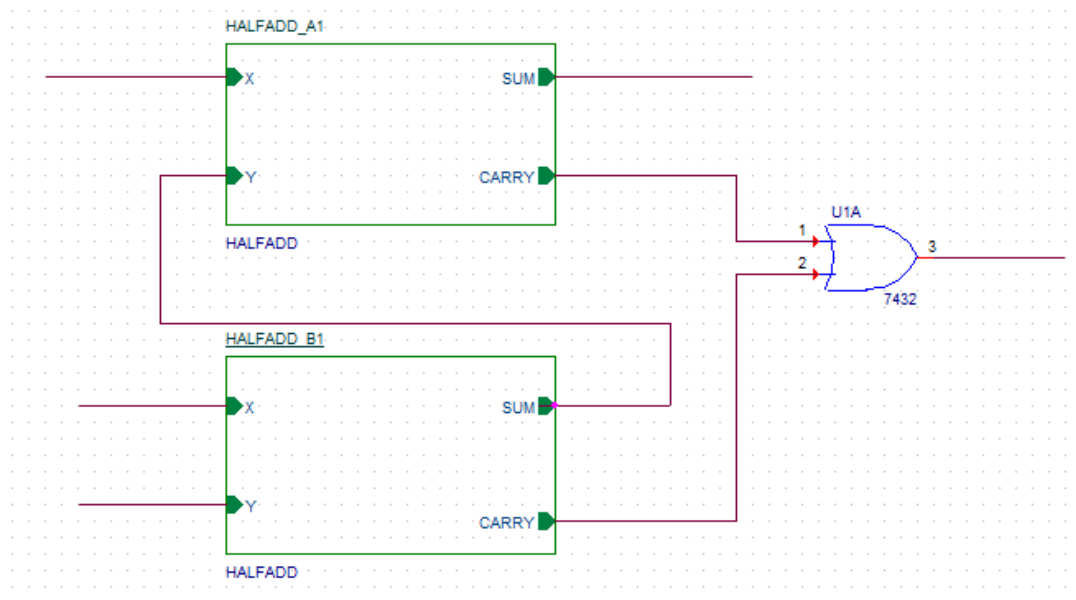


Рис. 18.13. Соединения иерархических блоков

17. Добавьте стимул к дизайну. В диалоговом окне Place Part, используйте кнопки Add Library для добавления к дизайну библиотеки SOURCSTM. OLB.

Эта библиотека находится в <install_dir>/tools/capture/library/pspice.

18. Из Part List выберите DigStim1 и нажмите кнопку OK. Символ прикрепляется к курсору.

19. Поместите символ на трех входных портах: порт X на HALFADD_A1, порт X и Y на HALFADD_B1.

20. Щёлкните правой кнопкой мыши на схеме и выберите End Mode.

21. Укажите значение свойства по осуществлению как Carry, X и Y, соответственно (рис. 18.14).

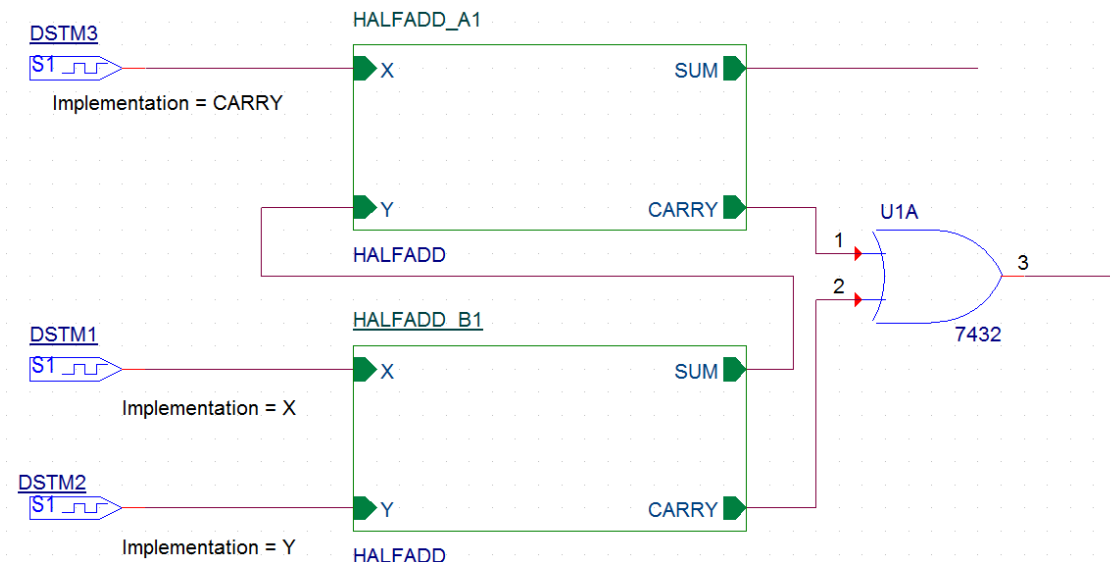


Рис. 18.14. Установка стимулов в проект

22. Выберите Place Part, чтобы добавить выходной порт CARRY_OUT на выходе логического элемента ИЛИ (рис. 18.15).

Для этого:

- Из списка библиотек выберите CAPSYM.
- Из списка символов выберите PORTLEFT-L и нажмите кнопку OK.
- Поместите выходной порт, как показано на рис. 18.15.
- Дважды щёлкните имя порта и измените название порта на CARRY_OUT.

30. Сохраните дизайн.

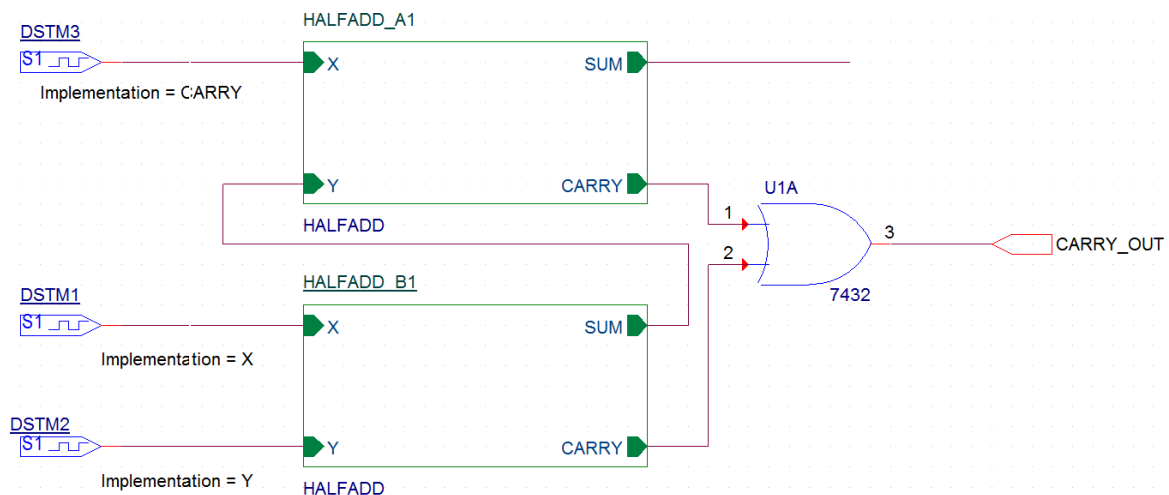


Рис. 18.15. Добавление выходного порта CARRY_OUT

18.1.7. Добавление в проект аналоговых компонентов

Мы только что добавили цифровые компоненты к конструкции. Полная схема проекта показана на рис. 18.16.

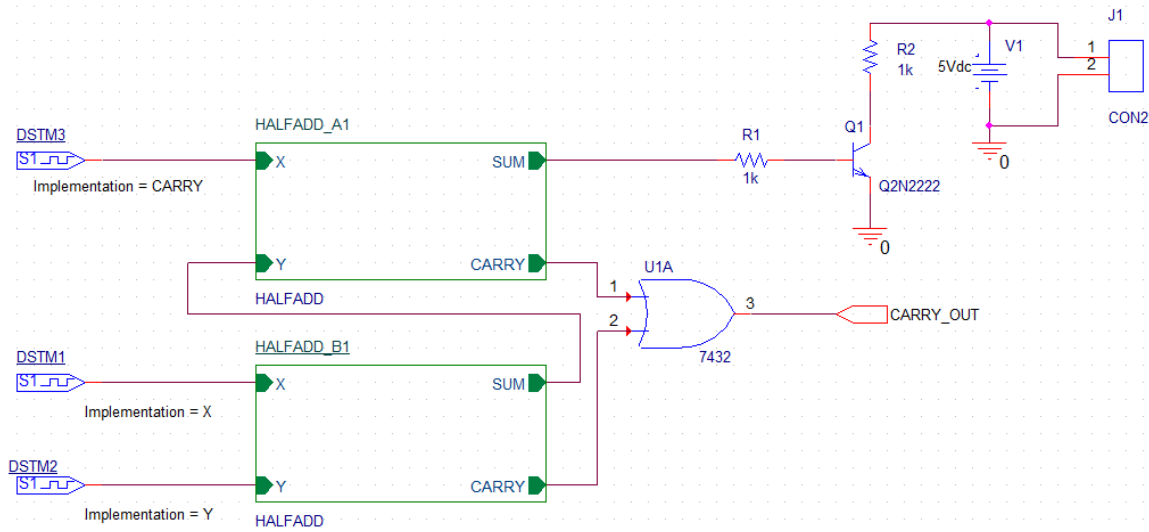


Рис. 18.16. Полная схема проекта FULLADD с аналоговыми компонентами

Резисторы можно взять из библиотеки PSpice Components или ANALOG.OLB.

Транзистор Q2N2222 находим в библиотеке EVAL, добавляем эту библиотеку в проект и помещаем транзистор в схему.

Источник напряжения 5Vdc можно взять из библиотеки PSpice Components.

Из библиотеки CONNECTOR надо добавить в проект коннектор CON2 (рис. 18.17).

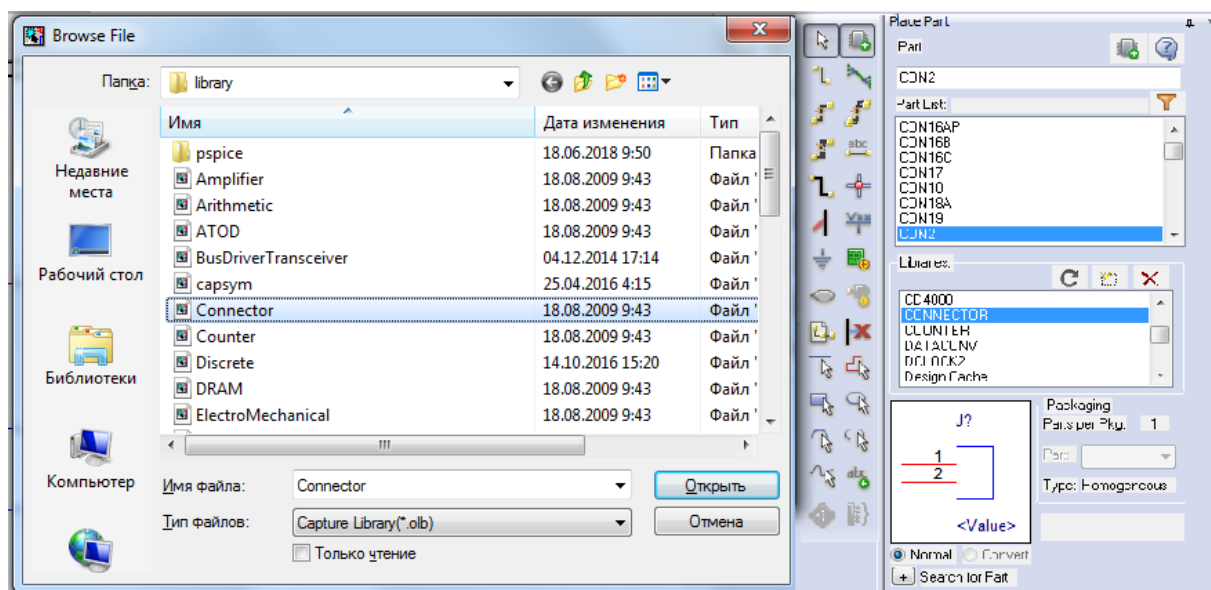


Рис. 18.17. Добавление коннектора CON2

Итак, вы успешно создали иерархический дизайн полного сумматора с использованием методологии снизу вверх. Все компоненты, используемые в этой конструкции, кроме коннектора были взяты из PSpice Library. Временно исключив коннектор, вы можете моделировать эту конструкцию с помощью PSpice.

18.1.8. Создание и сохранение компонентов для новых проектов

В предыдущем проекте FULLADD были созданы схемы полусумматоров, которые могут быть полезны в новых проектах.

Вместо того, чтобы создавая иерархический блок, каждый раз собирать схему полусумматора, вы можете, используя уже готовую схему, создать компонент «Полусумматор», сохранить его в библиотеке, а затем повторно использовать компонент в любой конструкции, когда потребуется.

В этом разделе, мы создадим компонент для схемы простого полусумматора (рис. 18.7), который вы создали в разделе плоской схемы этой главы. Такие созданные компоненты называют ещё Hierarchical symbol (иерархический символ).

Чтобы сформировать компонент из схемы, выполните следующие шаги.

1. В окне менеджера проекта, выберите папку HALFADD.

2. В меню Tools выберите Generate Part.

3. В диалоговом окне Generate Part (рис. 18.18), укажите местоположение дизайн-файла, содержащего схему, для которой этот компонент должен быть сделан.

Для этого примера надо указать местоположение fulladd.dsn.

4. В раскрывающемся списке Netlist/source, укажите тип источника как Capture/Schematic/Design.

5. В текстовом поле Part name, укажите имя компонента, который должен быть создан как HALFADD.

6. Укажите имя и расположение библиотеки, которая будет содержать этот новый компонент. Для текущего примера дизайна, укажите имя библиотеки как fulladd.olb.

7. Если вы хотите, чтобы вместе с новым компонентом был создан схемный источник, установите флажок Copy Schematic в Library. Для этой конструкции выберите Check box.

8. Убедитесь, что выбрана опция Create new part.

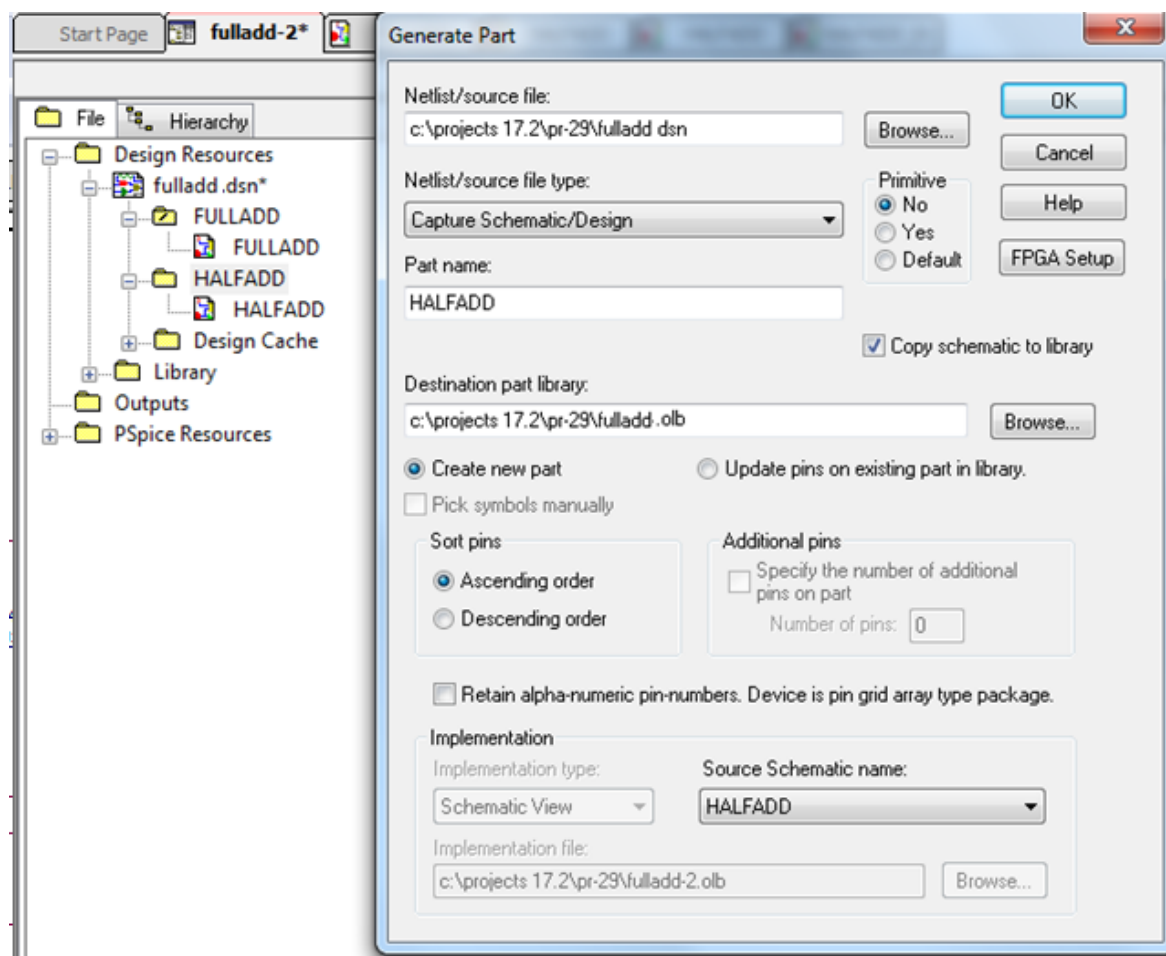


Рис. 18.18. Создание компонента HALFADD

9. Чтобы указать схемную папку, в которой содержится дизайн, для которого должен быть создан этот компонент, выберите HALFADD из имен раскрывающегося списка.

10. Нажмите кнопку ОК, чтобы сгенерировать компонент HalfAdd.

Откроется окно Split Part Section Input Spreadsheet с описанием выводов компонента (рис. 18.19).

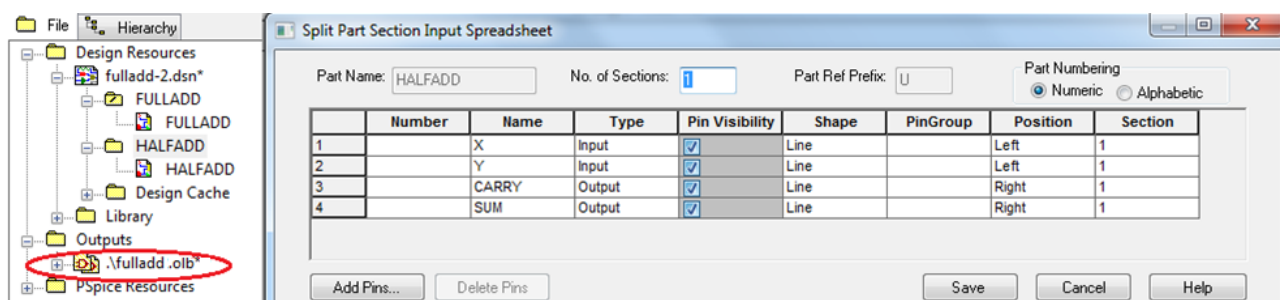


Рис. 18.19. Описание созданного компонента

Новая библиотека fulladd.olb будет сгенерирована и будет видна в папке Outputs в окне диспетчера проекта (рис. 18.19). Новая библиотека также добавляется в окно Place Part. Теперь вы можете использовать диалоговое окно Place Part, чтобы добавить компонент «Полусумматор» в любой новый дизайн.

Для этого в библиотеки нового проекта надо добавить библиотеку fulladd.olb из предыдущего проекта со схемой полусумматора из папки библиотеки FULLADD. После этого поместите на страницу компонент HALFADD (рис. 18.20). Посмотрите его схему.

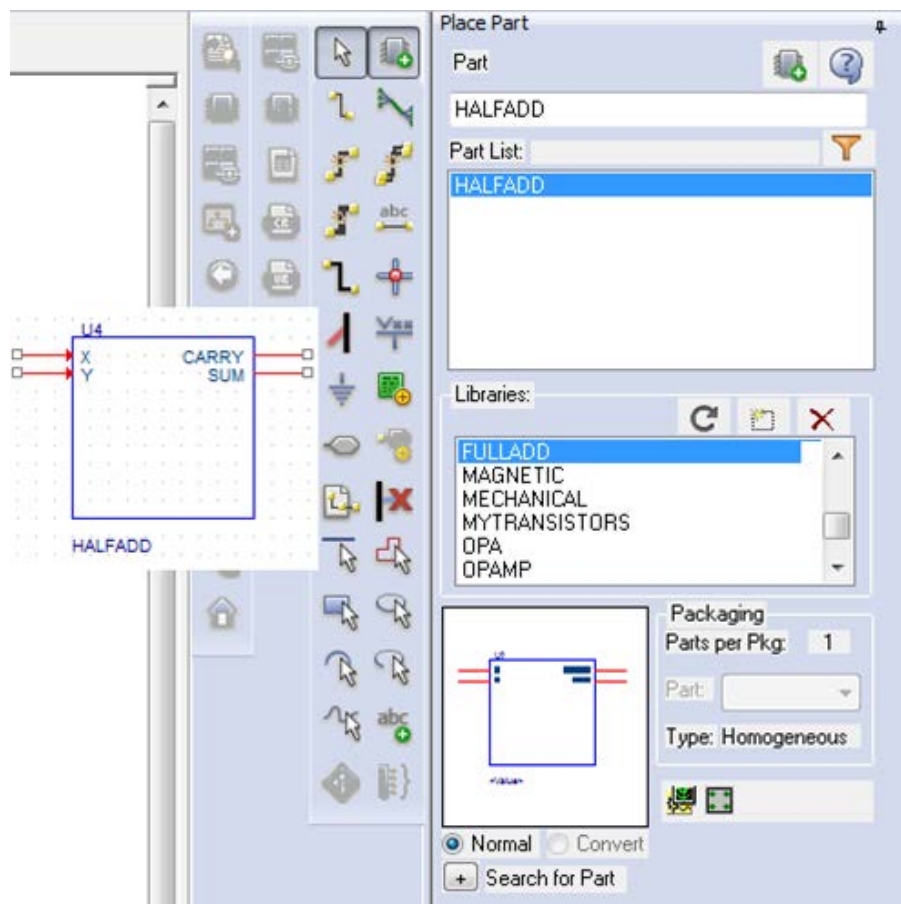


Рис. 18.20. Открытие сохраненного компонента полусумматора

18.1.9. Нисходящий метод

При создании иерархической конструкции, используя нисходящий метод, надо применять следующую последовательность шагов:

- Создать дизайн верхнего уровня с использованием функциональных блоков, входов и выходов, которые известны.
- Создать схематический дизайн для функционального блока, используемого в конструкции верхнего уровня.

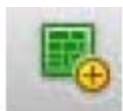
В этом разделе представлен обзор шагов, которым необходимо следовать для создания полного сумматора, используя нисходящий метод.

1. Создайте проект FullAdd-TD.

2. Создайте дизайн верхнего уровня, используя следующие шаги:

2.1. В меню Place выберите иерархический блок.

Примечание: В качестве альтернативы, вы можете выбрать кнопку на



панели инструментов

2.2. В диалоговом окне Place выберите Hierarchical Block, укажите ссылку как HALFADD_A1, Тип реализации, имя реализации, как HALFADD, и нажмите OK (рис. 18.21).

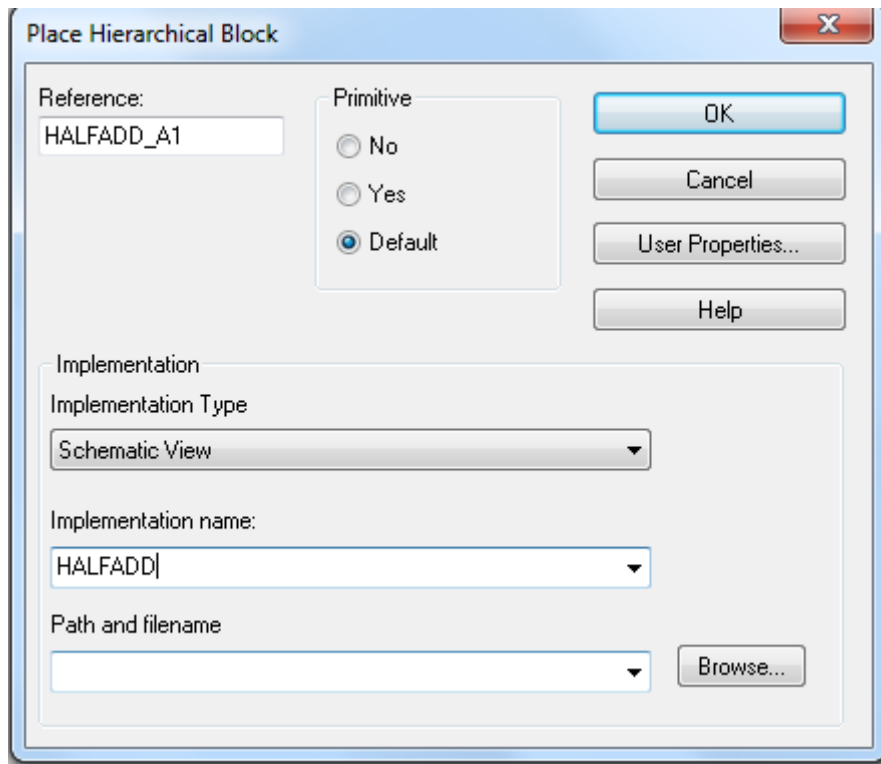


Рис. 18.21. Создание первого иерархического блока

2.3. Нарисуйте иерархический блок с нужными размерами (рис. 18.22).

Обратите внимание, что в отличие от иерархического блока, созданного в восходящем методе, иерархический блок в нисходящем методе не имеет приложенной информации о портах.

2.4. Выберите иерархический блок и затем из меню Place, выберите Hierarchical Pins (рис. 18.23).

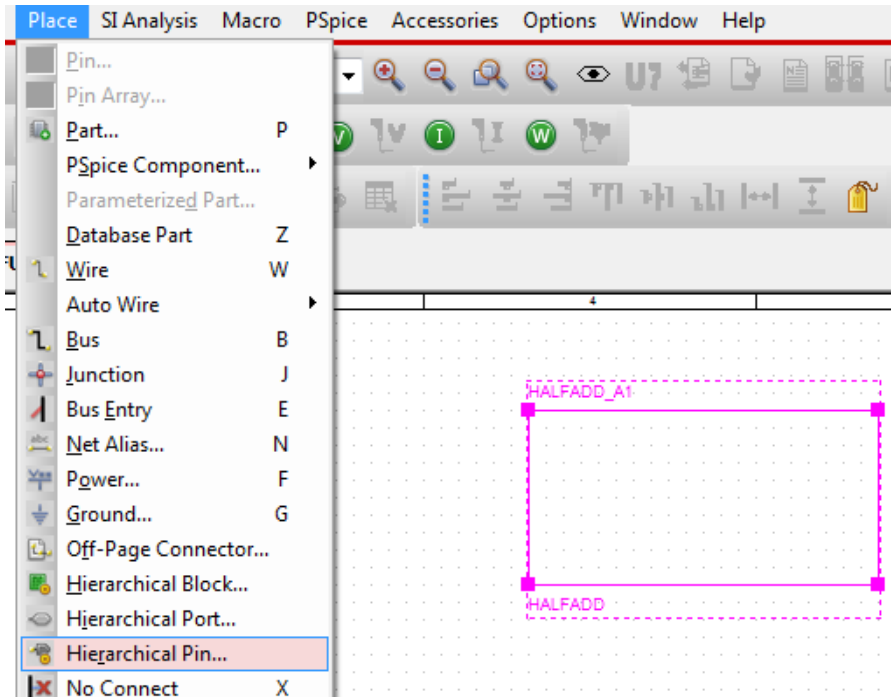


Рис. 18.22. Изображение иерархического блока

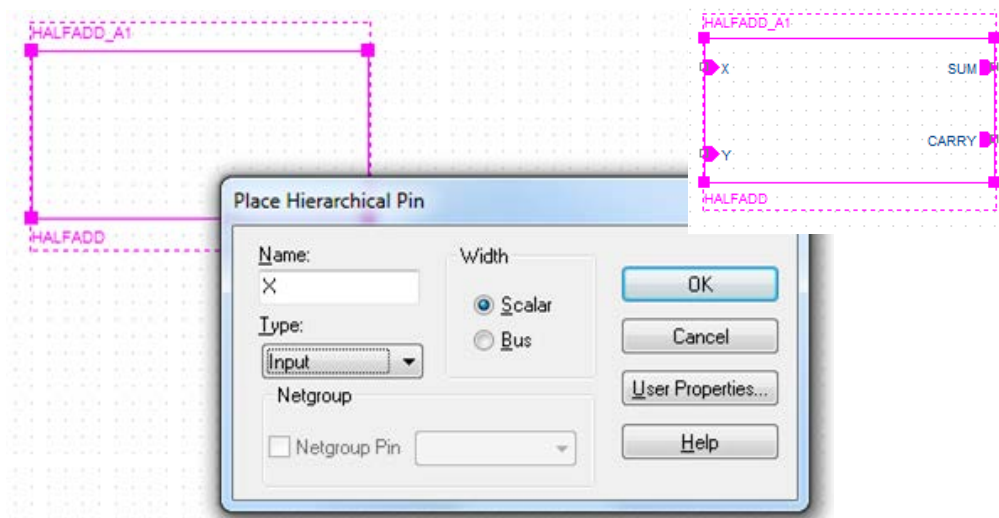


Рис. 18.23. Установка контактов блока

2.5. В диалоговом окне Place Hierarchical Pin укажите имя контакта как X, тип как вход, Width как Scalar и нажмите кнопку OK.

2.6. Поместите пин, как показано на рис. 18.23. Аналогично добавьте пин Y и два выходных пина SUM и CARRY.

2.7. Поместите другой иерархический блок с Implementation Type как HALFADD. Простейший способ сделать это - скопировать существующий иерархический блок и вставить его на страницу схемы. По умолчанию опорное название второго иерархического блока HALFADD_A2. Измените этого название на HALFADD_B1 (рис. 18.24).

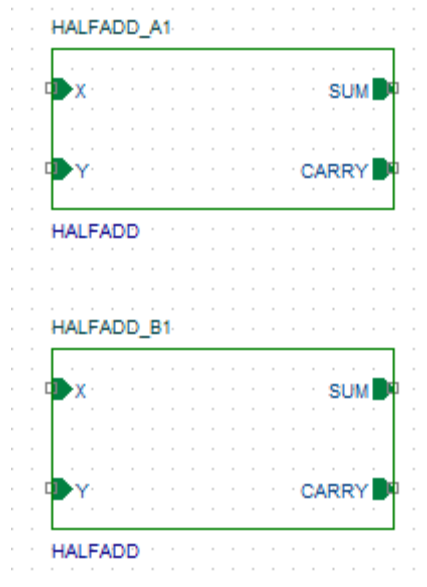


Рис. 18.24. Установка второго иерархического блока

2.8. Завершите создание схемы полного сумматора путём добавления портов, проводов и стимулов. Получится полный сумматор (рис. 18.25).

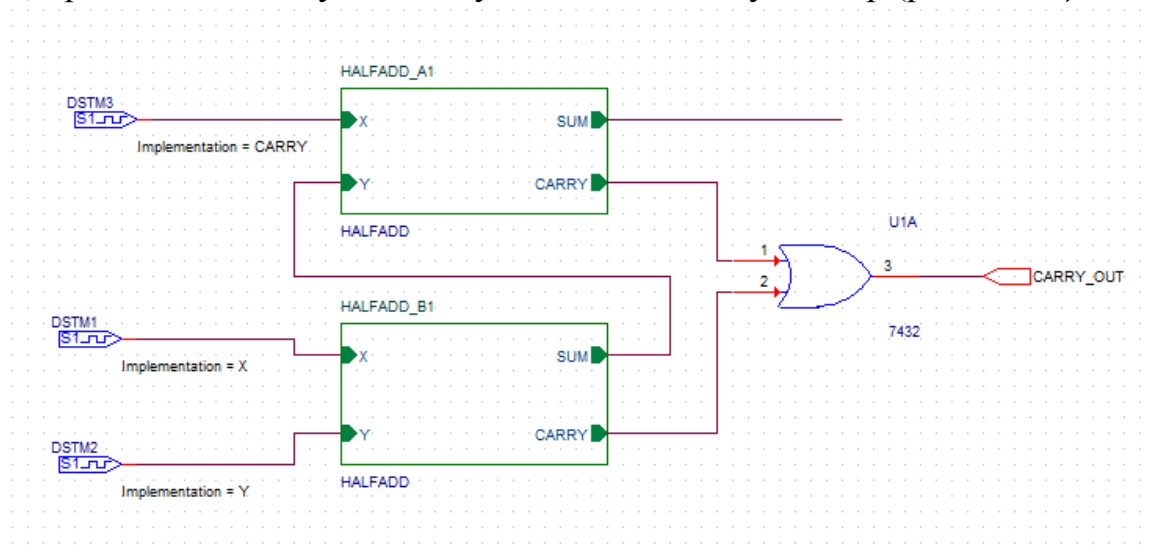


Рис. 18.25. Схема структуры полного сумматора без внутренних схем

2.9. Сохраните проект.

3. Нарисуйте дизайн низшего уровня, используя шаги, перечисленные ниже.

Например, для полного сумматора, самым низким уровнем является полусумматор.

3.1. Чтобы нарисовать схему полусумматора, щёлкните правой кнопкой мыши на любом из иерархических блоков HALFADD.

3.2. Из всплывающего меню выберите Descend Hierarchy.

3.3. Появится новая страница в Schematic: 'HALFADD'. Укажите имя страницы как HALFADD и нажмите кнопку OK.

Новая страница схемы появится с двумя входными портами X и Y, и двумя выходными портами SUM и CARRY (рис. 18.26).



Рис. 18.26. Заготовка для схемы полусумматора

Теперь вы можете нарисовать схему полусумматора на этой странице схемы, используя шаги, описанные ранее в создании плоской конструкции (рис.18.27).

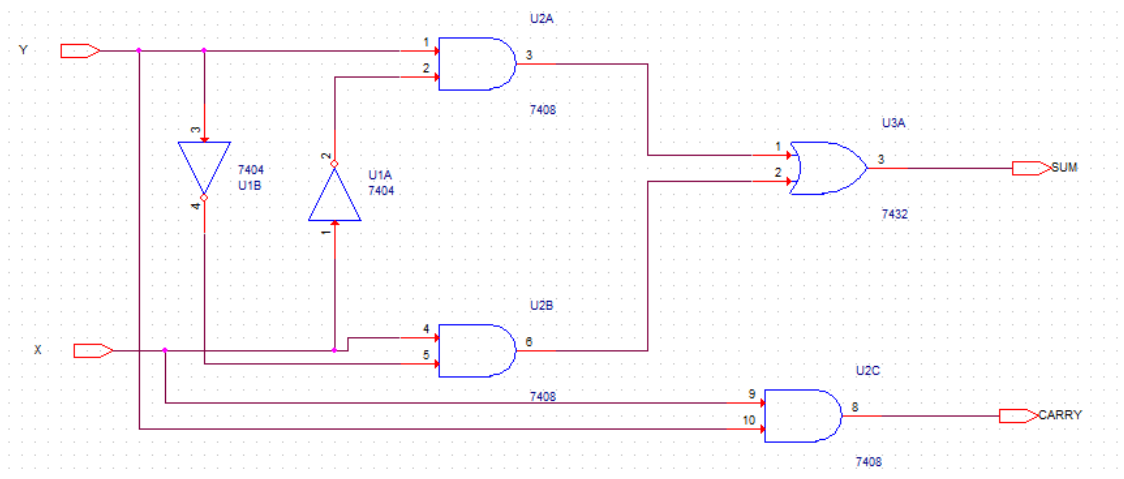


Рис. 18.27. Повторный набор схемы полусумматора

4. Вместо того, чтобы повторно создавать схему, загрузим сохраненный ранее компонент полусумматора.

Для этого в схеме (рис. 18.25) двойным щелчком откройте пустую страницу полусумматора HALFADD_A1.

Выберите Place Part и добавьте в список библиотек fulladd.olb из папки предыдущего проекта, в котором был создан и сохранен компонент «Полусумматор» (рис. 18.20).

Откройте библиотеку fulladd.olb и поместите на страницу компонент HALFADD (рис. 18.28).

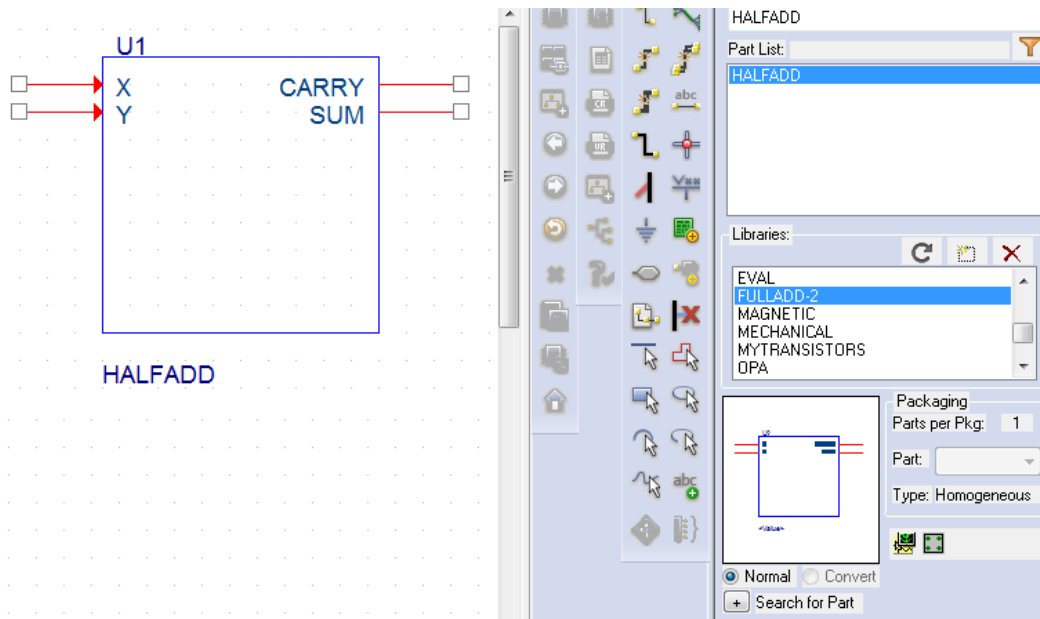


Рис. 18.28. Добавление в проект ранее созданного компонента

Сохраните проект. После этого иерархические блоки будут иметь внутри схемы полусумматоров.

В окне диспетчера проекта, добавляется новая схематичная папка HALFADD ниже полной fulladd-td.dsn (рис. 18.29).

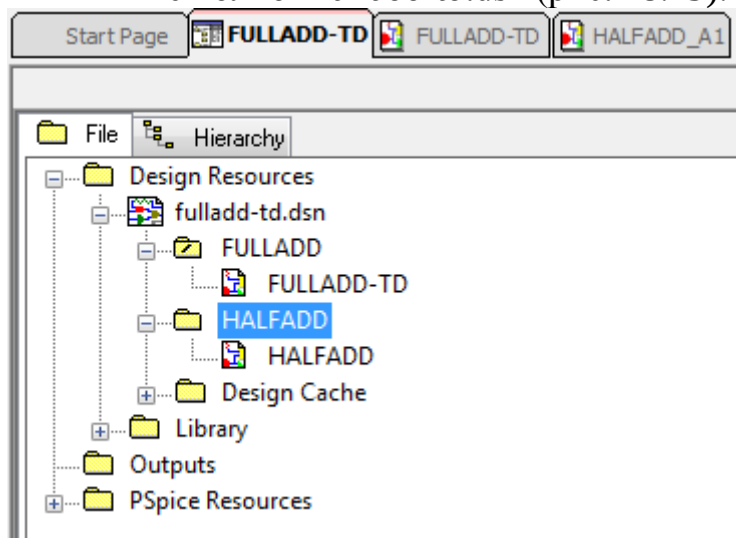


Рис. 18.29. Структура диспетчера иерархического проекта

Двойной щелчок на иерархическом блоке открывает его внутреннюю схему. Это же можно сделать так: выделите блок, щёлкните правой кнопкой и в меню выберите Descent Hierarchy.

18.2. Перемещение по иерархической конструкции

Для перехода на более низкие уровни иерархии, щёлкните правой кнопкой мыши иерархический блок и выберите Descend Hierarchy.

Точно так же, чтобы двигаться вверх по иерархии, щелкните правой кнопкой мыши на схеме полусумматора и выберите Ascend Hierarchy (рис. 18.30).

Опции меню Ascend Hierarchy и Descend Hierarchy также доступны в окне в раскрывающемся меню окна View.

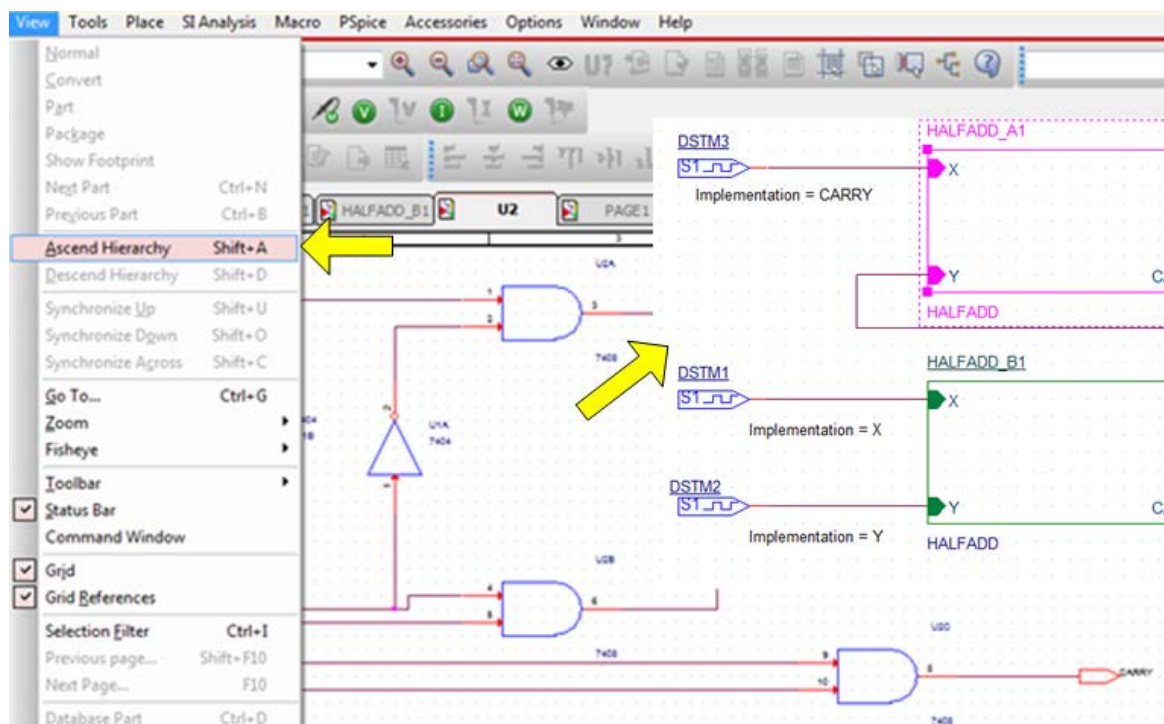


Рис. 18.30. Перемещение вверх по иерархии

Во время работы с иерархическими конструкциями, вы можете сделать изменения в иерархических блоках, а также в конструкции на самом низком уровне. Для того, чтобы сохранить обновления с изменениями различных уровней иерархии, вы можете использовать Synchronize options, которые доступны в меню View.

Выберите Synchronize Up, когда вы внесли изменения в конструкции самого нижнего уровня и хотите, чтобы эти изменения были отражены выше в иерархии.

Выберите Synchronize Across, когда после внесения изменений в иерархическом блоке необходимо, чтобы изменения были отражены во всех экземплярах блока.

Выберите Synchronize Down, когда вы внесли изменения в иерархическом блоке и хотите, чтобы эти изменения были отражены в конструкции самого нижнего уровня.

18.3. Моделирование полного сумматора

Выполним моделирование полного сумматора, чтобы получить временные диаграммы его функционирования.

Вернемся к схеме полного сумматора с цифровыми сигналами (рис. 18.31). В этой схеме временно исключен коннектор CON2, так как для него нет PSpice модели.

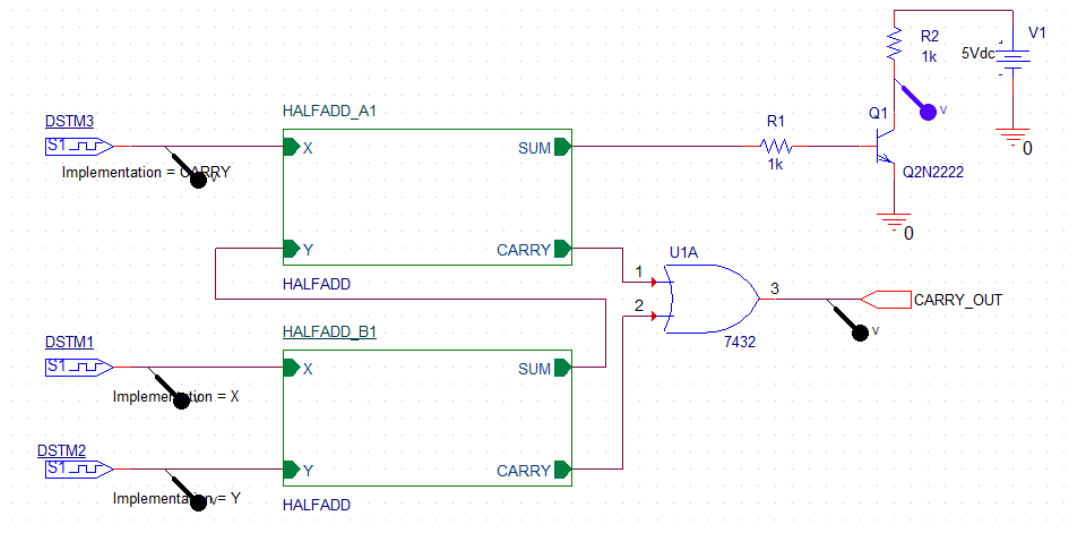


Рис. 18.31. Схема полного сумматора с цифровыми сигналами
Выполним установку цифровых стимулов (рис. 18.32).

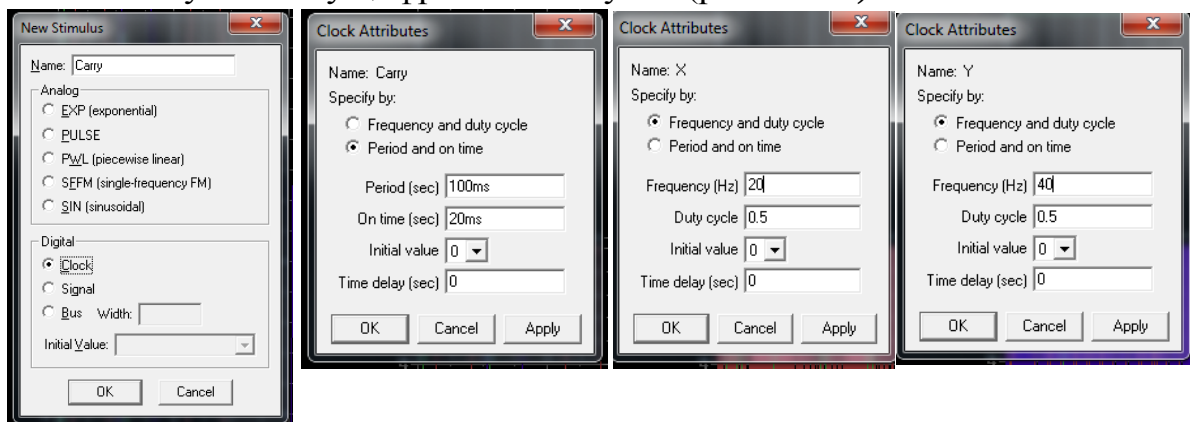


Рис. 18.32. Установка цифровых стимулов

В профиле моделирования Transient установим время 400 мс, шаг 100 мкс (рис. 18.33), а в опциях установим Gate Level Simulation.

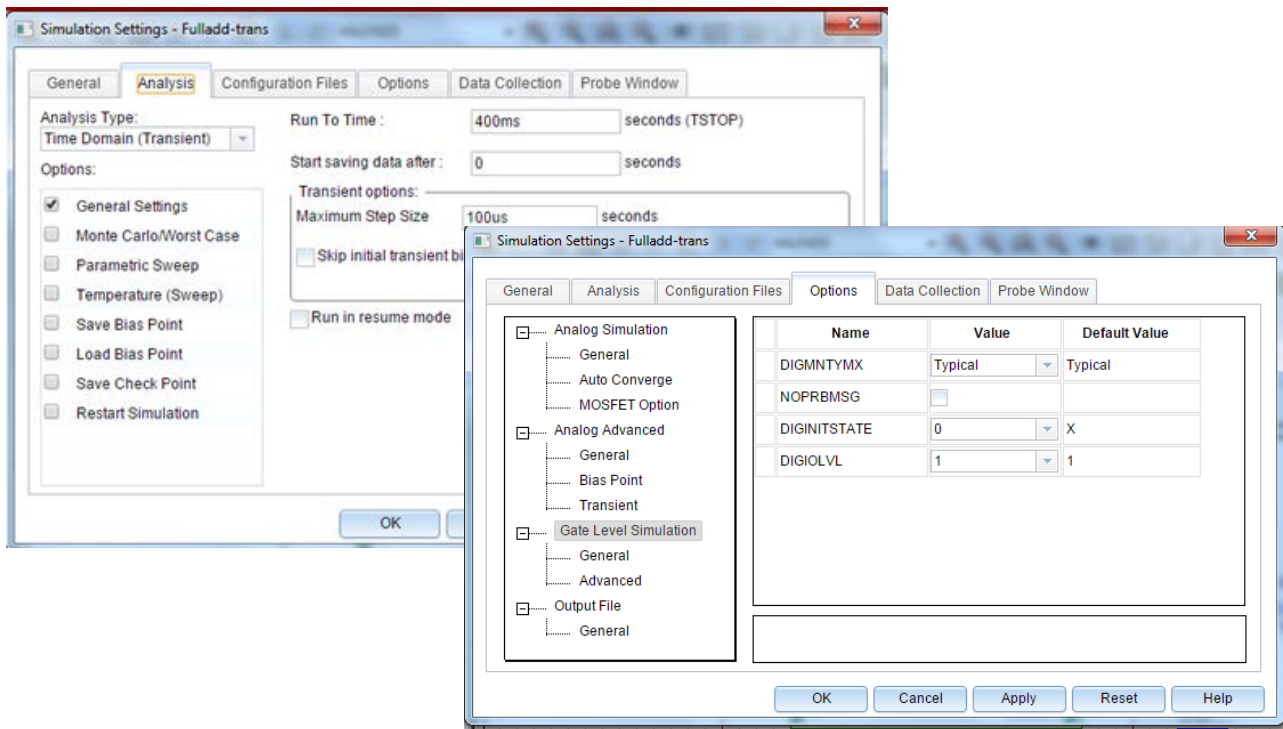


Рис. 18.33. Установка профиля моделирования
Результаты моделирования показаны на рис. 18.34.

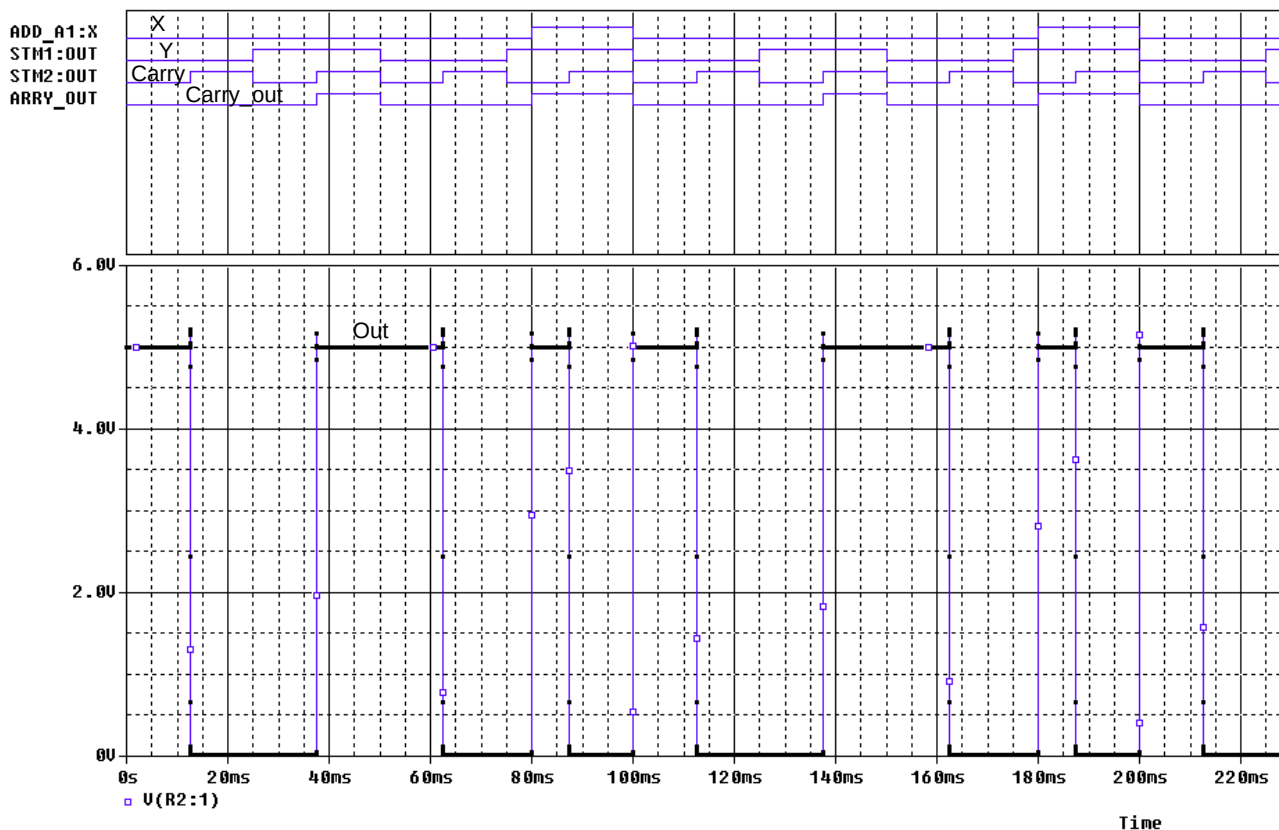


Рис. 18.34. Результаты моделирования полного сумматора

18.4. Контрольные вопросы

1. В чем разница между плоской и иерархической схемой ?
2. Какую структуру имеют иерархические проекты ?
3. Какие внестраничные и иерархические порты используют в PSpice ?
4. Расскажите о методологии создания иерархического проекта восходящим методом.
5. Как проверить правильность схемы иерархического блока ?
6. Как создать несколько аналогичных иерархических блоков ?
7. Как создать и сохранить новый компонент, например, полусумматор ?
8. Где будет сохранена новая библиотека для созданного компонента ?
9. Расскажите о методологии создания иерархического проекта нисходящим методом.
10. Как создать дизайн низшего уровня в нисходящем методе ?
11. Как использовать сохраненный ранее компонент для создания дизайна низшего уровня ?
12. Какие опции используют для перемещения по иерархической конструкции и контроля схем ?
13. Как можно вносить изменения в иерархические проекты и сохранять их ?
14. Почему при моделировании полного сумматора приходится временно удалять коннектор ?

Глава 19. Испытательные стенды

Как правило, при запуске пробной симуляции, чтобы проверить цепь на схеме можно добавить, например, источники напряжения и резисторы нагрузки. Вы можете даже удалить некоторые компоненты из схемы. Однако, как только пробное моделирование выполнено, все добавленные элементы должны быть удалены, а любой удаленный компонент надо восстановить.

До версии 16.5 можно было добавить свойства PSpiceOnly для компонентов, которые используются только для моделирования, и поэтому эти свойства не будут включены, например, в списке соединений для печатной платы (PCB). Начиная с версии 16.5, вы можете использовать опцию Partial Design Feature, которая использует испытательные стенды, позволяющие Вам определить те компоненты, которые используются только для моделирования. Вы можете также выборочно разделить схемы для различных профилей моделирования и создавать проекты с использованием схемы из других проектов. Использовать испытательные стенды очень полезно, когда у вас есть схема, которая была составлена из набора схем из других проектов. Это позволит вам проверить работоспособность каждой отдельной цепи, которую вы встроите позже в полную схему.

При создании тестового стенда, папка Test Bench, которая содержит всю схемную документацию, добавляется в нижней части Менеджера проекта. Все компоненты во всех схемах в папке Test Bench будут выделены серым цветом. Тогда выборочно можно «активировать» те части, которые необходимы для моделирования и добавить детали, такие как источники напряжения и нагрузочные сопротивления. Компоненты могут быть выбраны и исключены из основной схемы или из созданных испытательных стендов.

При создании тестового стенда в проекте создается другая схемная папка. Папка проекта будет содержать две папки:

<project name>- PSpiceFiles

<project name>- TBFiles

Схема со схемной утилитой (SVS) будет сравнивать схемы испытательного стенда с основным проектом таким образом, что основной проект может быть обновлён с модифицированными значениями компонентов.

19.1. Использование частичного моделирования проекта

Используя функцию частичного моделирования, вы можете:

- Определить отдельные компоненты любого проекта и моделировать только выбранные части;
- Моделировать различные схемы в проекте с различными профилями моделирования;
- Создать список соединений только для определенной части проекта;

- Сравнивать и быстро объединять части дизайна. Чтобы использовать эту функцию, вы выбираете часть, называемую тестовым стендом основного проекта. Вы создаете один или более тестовых стендов с помощью меню OrCAD Capture Tools> Test Bench>Create Test Bench. Испытательные стенды перечислены в окне диспетчера проектов главного проекта.
- Вы можете добавить компоненты из проекта в тестовый стенд, выбрав их из основного, а затем можно добавить профили и смоделировать тестовый стенд. Вы также можете синхронизировать основной проект с тестовым стендом, чтобы распространить любые изменения, внесенные в дизайн стенда.

Вы можете использовать частичное моделирование проекта в потоке, показанном на рис. 19.1.

Для этого:

1. Создайте тестовый стенд.
2. Выберите детали в главной схеме.
3. Завершите соединение плавающих цепей в тестовом стенде.
4. Моделируйте схему тестирования.
5. Просмотрите различия свойств между стендом и основным проектом.
6. Обновите основной проект с измененными значениями.

Остальные разделы данной главы подробно объясняют эти шаги.

Для использования этой функции требуется лицензия OrCAD Capture CIS.

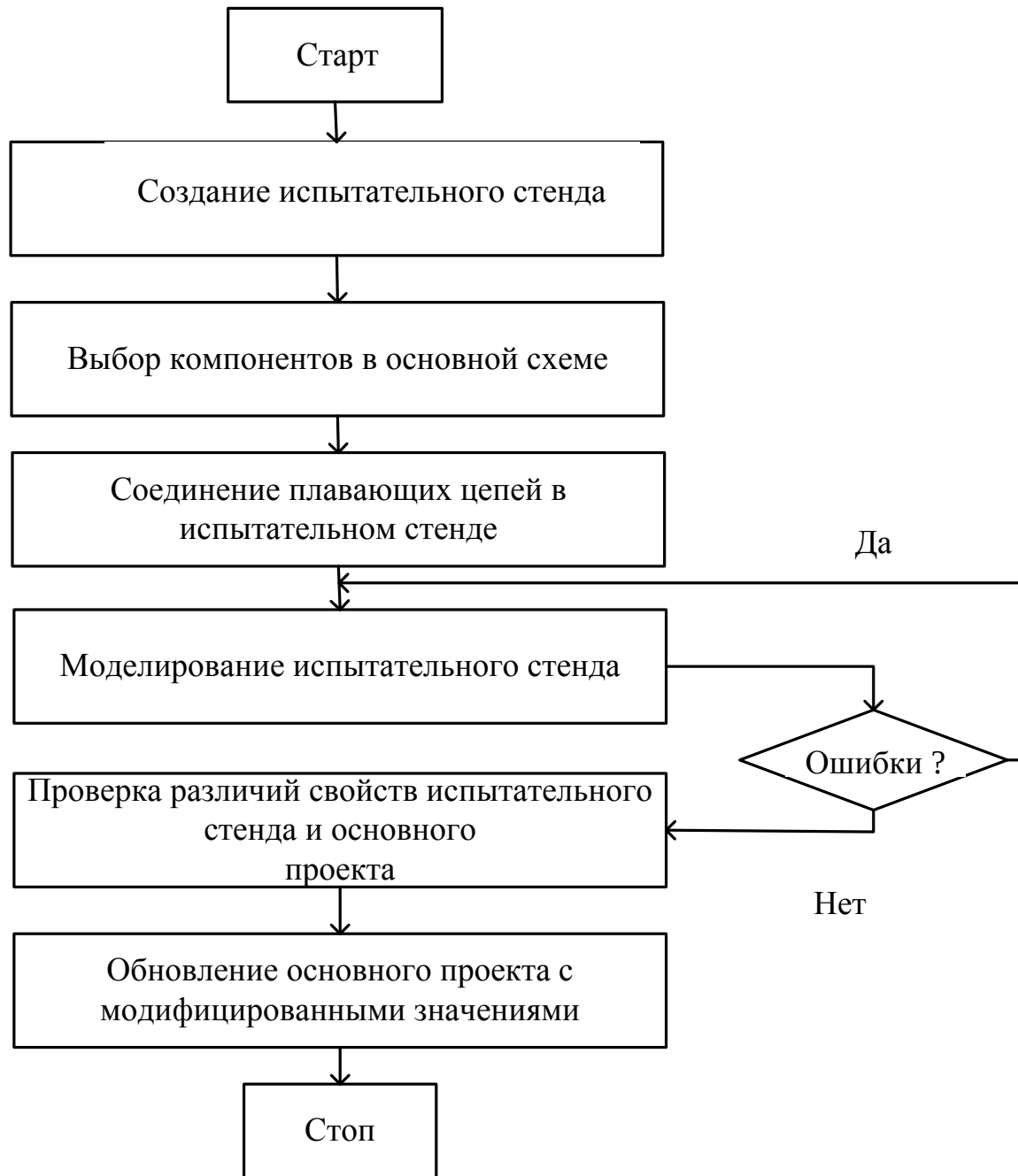


Рис. 19.1. Поток частичного моделирования тестового стенда

19.2. Работа с тестовым стендом

Тестовый стенд подобен любому другому новому проекту, созданному в Capture. Когда вы создаете тестовый стенд, он перечисляется под узлом TestBenches в Менеджере главного проекта. Все профили моделирования, параметры или переменные в основном проекте копируются по умолчанию в тестовый стенд.

Компоненты в разных схемах выделены серым цветом. Вы можете активировать компоненты для создания частичного проекта.

Возможно, вам придется добавить окончания соединений и другие компоненты в частичный проект станда, потому что проект станда должен быть полным сам по себе.

Вы также можете внести изменения на свой стенд, чтобы подготовить его для моделирования, добавив профили стимулов или моделирования. Вы можете моделировать тестовый стенд даже, если основной проект не является проектом PSpice. Если главный проект является проектом PSpice, Test Bench может наследовать профили моделирования из основного проекта.

19.2.1. Создание тестового станда

Создайте новый проект TestBench на основе ранее исследованного проекта аналогового компаратора с цифровым выходом (глава 17).

1. Выберите файл DSN в диспетчере проектов
2. Выберите Tools>Test Bench>Create Test Bench.

Появится поле Test Bench.

3. Введите имя в поле Enter Test Bench Name.

Вы можете установить имя тестового станда по умолчанию, добавив свойство Default Test Bench Name в [TEST BENCH] раздела capture.ini. Например, чтобы установить имя тестового станда по умолчанию для MyTestBench, добавьте следующий раздел в capture.ini:

```
[TEST BENCH]
Default Test Bench Name=MyTestBench
```

Нажмите «OK».

Тест-стенд добавляется в TestBenches в диспетчере проектов. Созданный стенд содержит все конструкции из основного проекта (рис. 19.3).

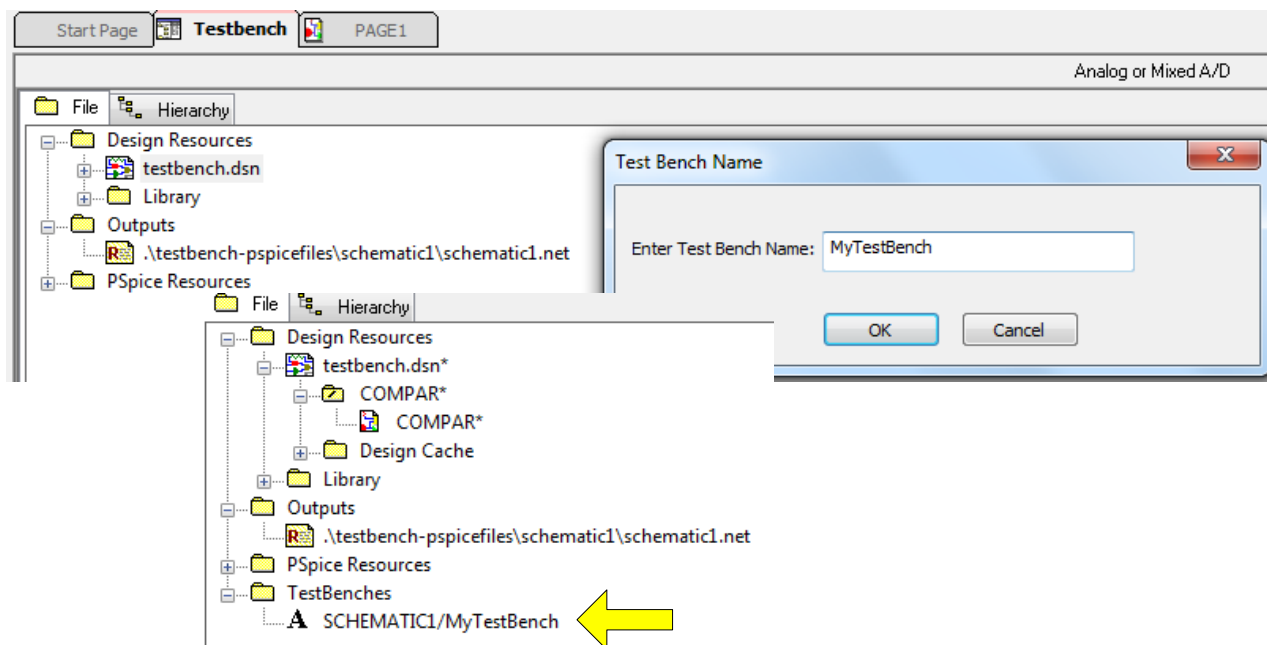


Рис. 19.3. Добавление в проект тестового станда

В главном проекте переименуем папку SHEMATIC и назовем ее COMPAR.

Теперь в главном меню теперь имеется две закладки (рис. 19.4):

COMPAR – схема основного проекта;

[TB]PAGE1 – схема тестового стенда.

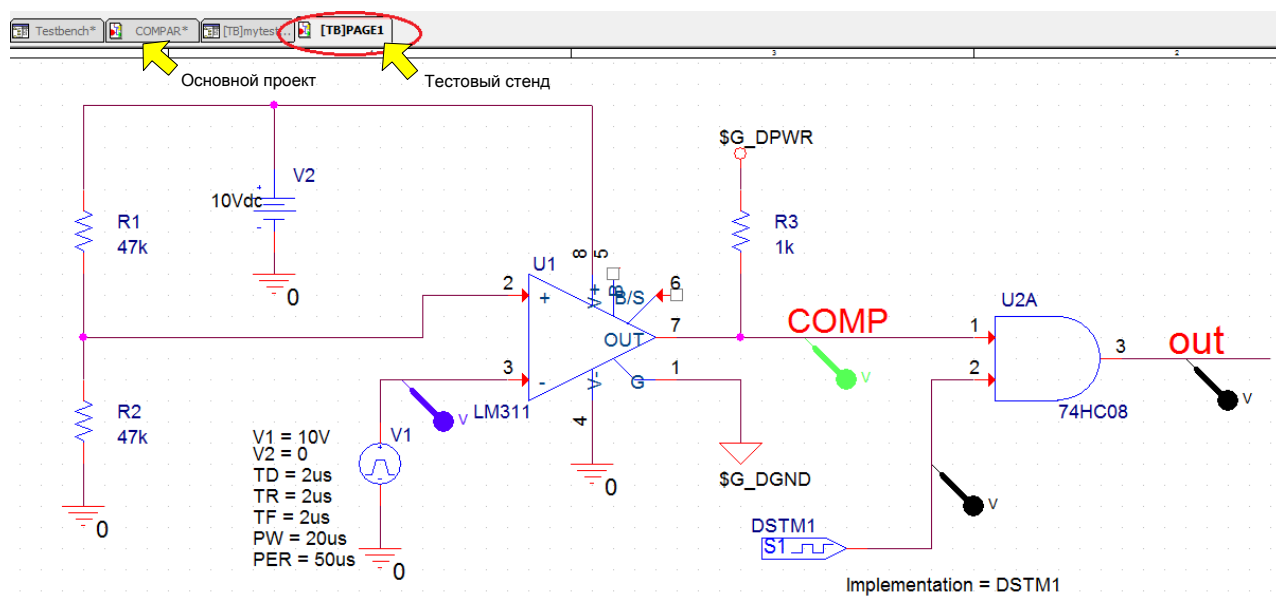


Рис. 19.4. Схема испытательного стенда

Компоненты на страницах схемы тестового стенда неактивны. Вы должны добавить компоненты для стенда, чтобы иметь возможность работать над частичным проектом.

Примечание. Вы можете активировать тестовый стенд, щелкнув правой кнопкой мыши на стенде в диспетчере проектов в разделе TestBenches и выбрав MakeActive.

19.2.2. Активация компонентов

Вы можете активировать компоненты на стенде, используя любой из параметров: контекстное меню для выбранной части в главном проекте, контекстное меню для выбранных частей в дизайне стенда или из редактора иерархических блоков.

Чтобы активировать компоненты из главного проекта:

1. Выберите компоненты в главном проекте.
2. Щелкните правой кнопкой мыши и выберите TestBench>Add Part(s) To Active TestBench (рис. 19.5).

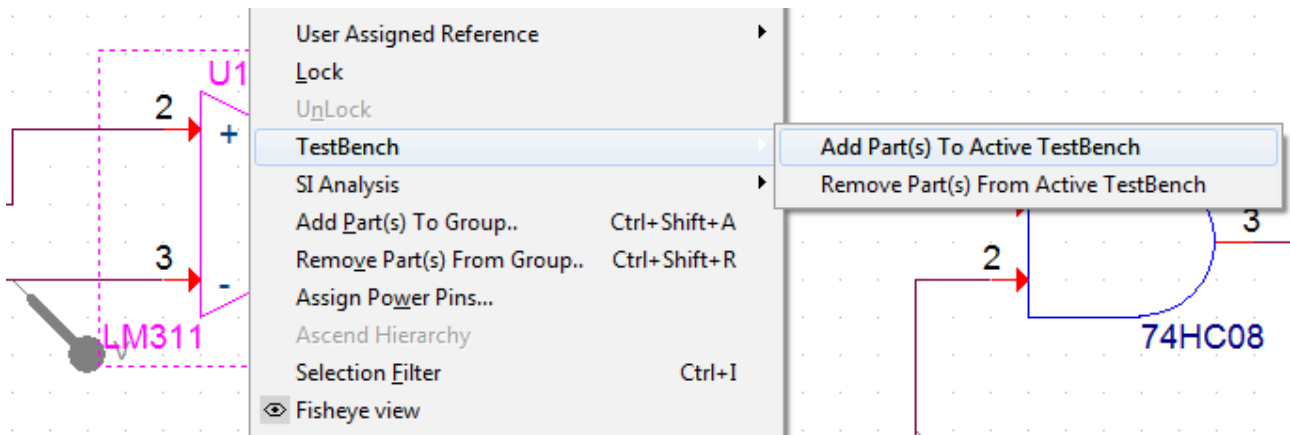


Рис. 19.5. Активизация компонентов Test Bench из основного проекта

Для активации компонентов из стенда:

Выберите компоненты в дизайне стенда.

Щелкните правой кнопкой мыши и выберите TestBench>Add Part(s) To Self (рис. 19.6).

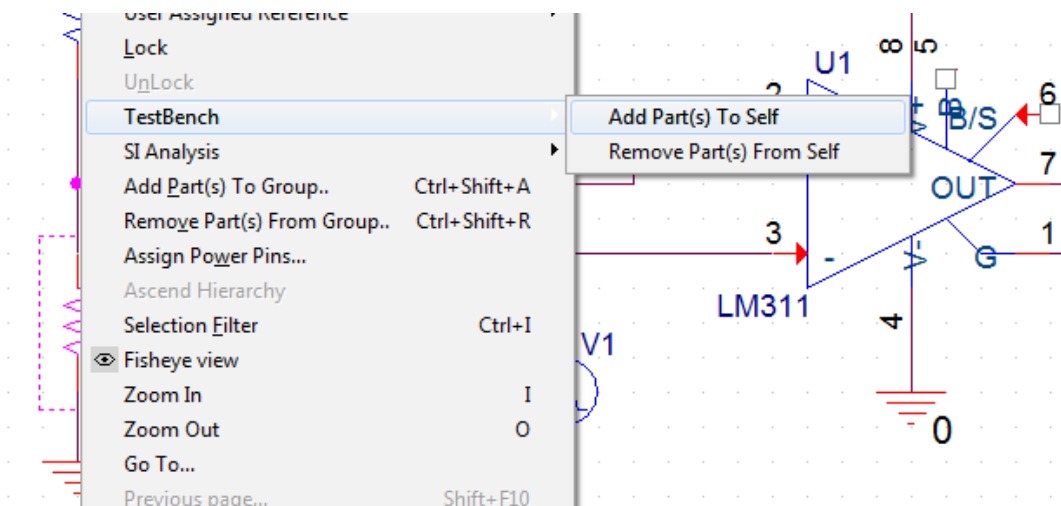


Рис. 19.6. Активизация компонентов из испытательного стенда

Чтобы активировать компоненты с помощью редактора иерархии, проверьте компоненты, которые необходимо добавить в редактор иерархии основного проекта, как показано на рис.19.7.

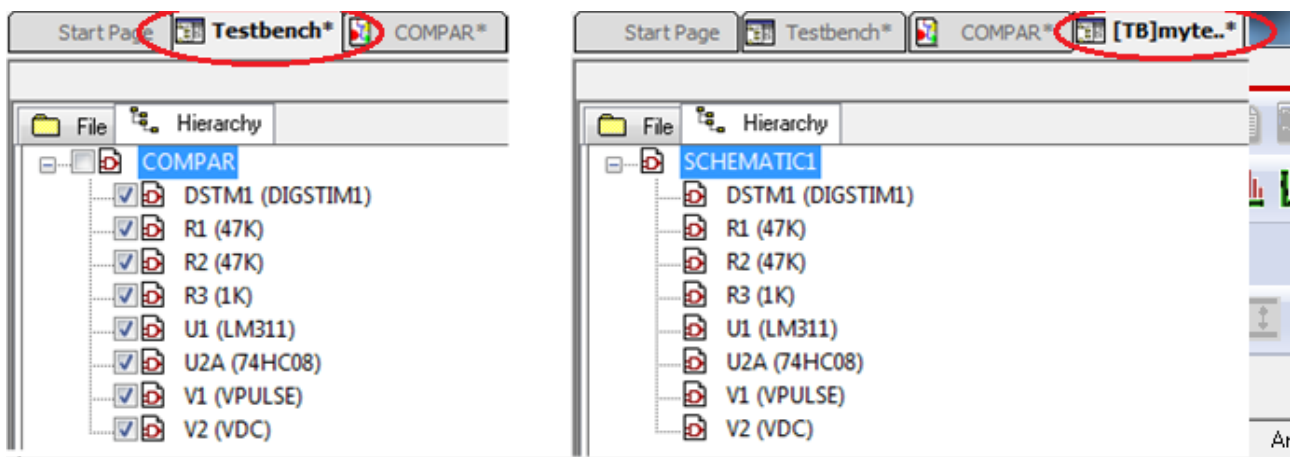


Рис. 19.7. Проверка активации компонентов в иерархии

Точно так же вы можете инактивировать компонент из тестового стенда из контекстного меню или редактора иерархии. Capture игнорирует все неактивные компоненты. В результате эти неактивные компоненты не будут обрабатываться, например, для моделирования.

Когда вы активируете только часть дизайна, многие сети могут стать плавающими, потому что они не соединены. Вы можете легко решить эту проблему, выполнив плавающий сетевой поиск.

Для этого:

- Выберите дизайн тестового стенда в Capture;
- В меню поиска выберите Floating Nets (плавающие цепи), как показано на рис. 19.8.
- Нажмите кнопку «Find».

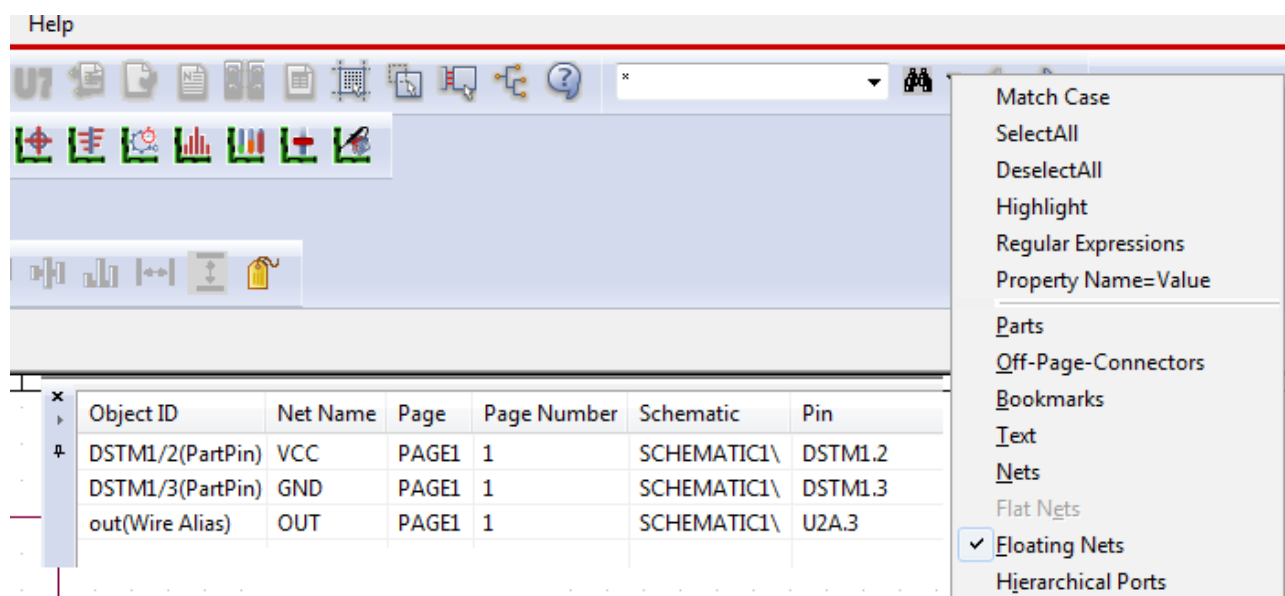


Рис. 19.8. Поиск «плавающих цепей»

Все плавающие сети, требующие терминаторов, перечислены на вкладке «Плавающие цепи» в Find.

Дважды щелкните строку в окне поиска, чтобы выбрать ее в проекте.

19.3. Сравнение и обновление основного проекта

После того, как выполнена активация компонентов и правильное соединение всех компонентов, можно проверить функционирование испытательного стенда и сравнить результаты с основным проектом. Для этого генераторе стимула DSTM1 установим период 2 мкс и время включения 1 мкс. В профиле моделирования установим режим Transient на время 100 мкс с минимальным шагом 10 нс. Выполним моделирование. Результаты (рис. 19.9) совпадают с полученными ранее для основного проекта (рис. 17.3).

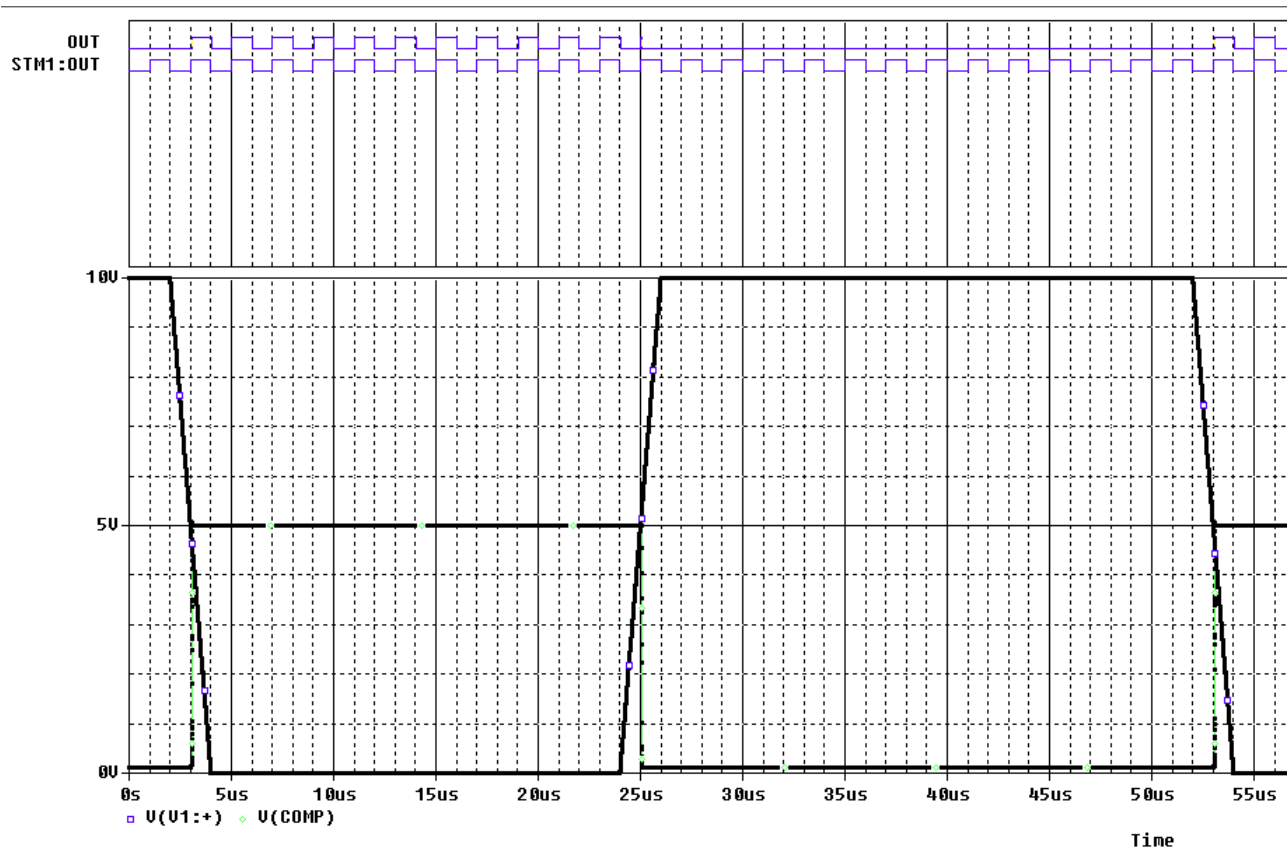


Рис.19.9. Результаты моделирования тестового стенда

Вы можете сравнить схемы в главном проекте и стенде, чтобы выделить расхождения с использованием утилиты SVS. Эта утилита отображает различия и использует цветовой код для выделения различных типов изменений. Окно результата имеет две панели, левая панель представляет испытательный стенд. Различия перечислены для категорий:

- несовпадающие объекты (unmatched object) (желтый по умолчанию);
- отсутствующие объекты (missing objects) (по умолчанию красные);
- совпадающие объекты (matching objects) (белый цвет).

Вы можете проверить любое из перечисленных различий на панели тестового стенда и распространять изменения в основной проект.

Однако вы не можете обновить основной проект для отсутствующих объектов.

Вы можете нажать «Настройки» (), чтобы открыть диалоговое окно «Параметры» и изменить на вкладке цвета по умолчанию. Вы также можете фильтровать разные объекты, если вы не хотите, чтобы они были перечислены.

Для сравнения и распространения изменений:

1. Выберите основной DSN файл в диспетчере проектов.
2. Выберите Tools>Test Bench>Compare Test Bench.

В окне SVS отображаются различия между основным проектом и проектом тестового стенда. В тестовом стенде мы добавили резисторы R4 и R5. Их отсутствие в основном проекте отмечено в окне SVS (рис. 19.10).

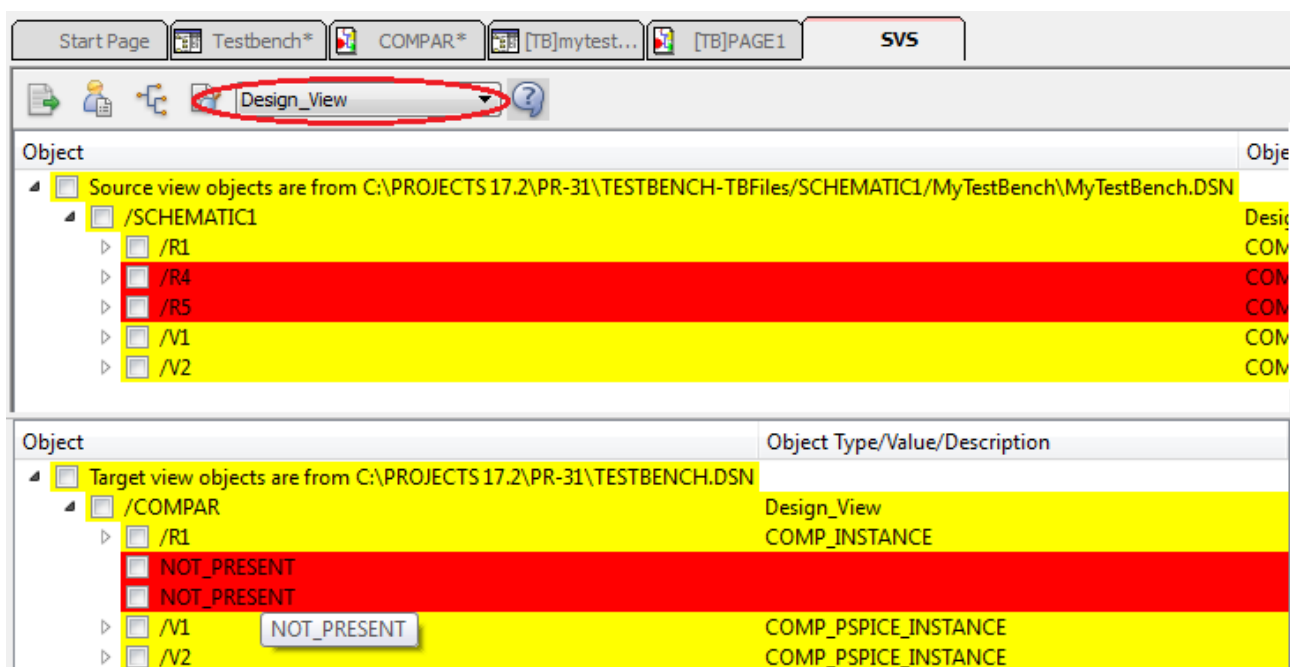


Рис.19.10. Окно сравнения проектов

Чтобы обновить основной проект с помощью различий в тестовом стенде, проверьте различия, которые вы хотите использовать для обновления на вкладке SVS и нажмите Ассерт Left ().

19.4. Контрольные вопросы

1. Для чего применяют и как используют испытательные стенды ?
2. Как отображается тестовый стенд в Менеджере проекта ?
3. Как используют функцию частичного моделирования проекта ?
4. Как организован поток частичного моделирования ?
5. Расскажите о порядке создания тестового стенда.
6. Как можно активировать компоненты на тестовом стенде из основного проекта ?
7. Как выполнить активацию компонентов из испытательного стенда ?
8. Как проверить наличие плавающих цепей ?
9. Как провести сравнение основного проекта и тестового стенда в окне SVS ?

Глава 20. Обработка схемы

После того как вы создали свой эскизный проект, вам может потребоваться обработка вашей конструкции путём добавления дополнительной информации для таких задач, как моделирование, синтез и разработка топологии печатной платы.

В этом разделе описываются некоторые из задач, которые можно выполнять в OrCAD Capture для обработки вашего проекта.

Мы будем изучать это на примере проекта полного сумматора с выходным транзистором и коннектором из главы 18 (рис. 18.16 и 20.1). Для этого создадим новый проект в папке PR-33-Refer на основе проекта PR-29-FullAdd-2.

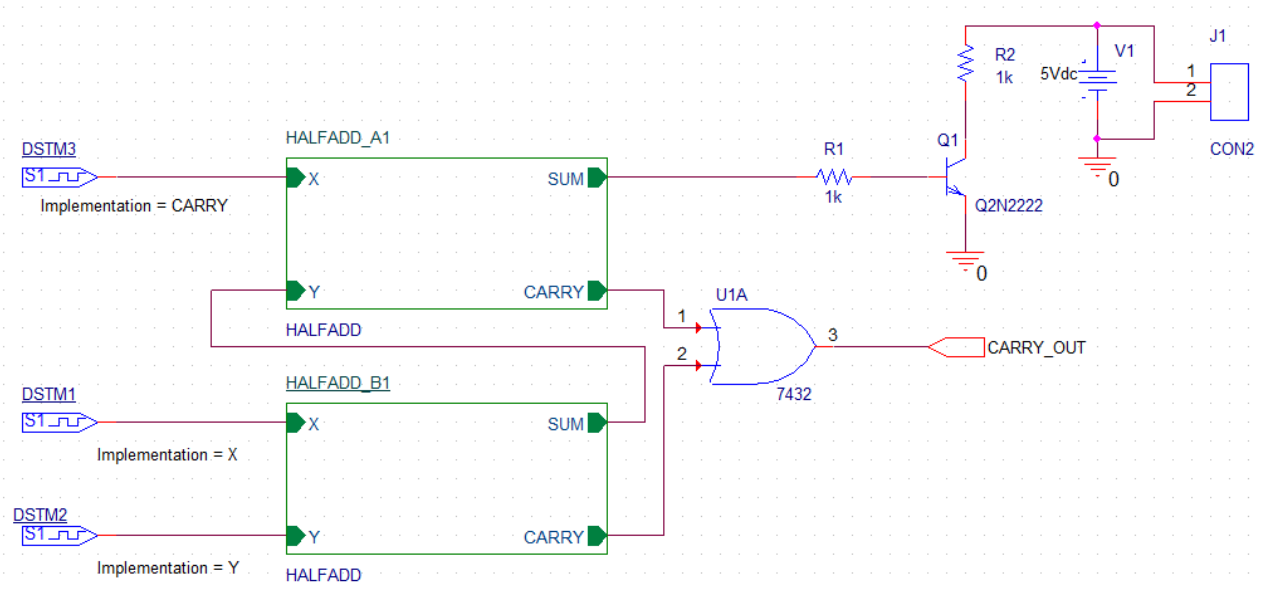


Рис. 20.1. Схема полного сумматора с выходным транзистором

20.1. Добавление ссылок для компонентов

Для того, чтобы быть в состоянии передать ваш эскизный проект в Редактор печатных плат для компоновки и трассировки, вам необходимо убедиться, что все компоненты в конструкции однозначно идентифицируются со ссылками компонентов.

В OrCAD Capture можно назначить ссылки либо вручную или с помощью команды Annotate.

По умолчанию Capture добавляет ссылки на все компоненты, размещённые на странице схемы. При необходимости эту функцию можно отключить, выполнив действия, перечисленные ниже.

1. В меню Options выберите Preferences.
2. В диалоговом окне Preferences выберите Miscellaneous tab.
3. В разделе Auto Reference снимите флажок Automatically reference.
4. Нажмите кнопку ОК, чтобы сохранить эти настройки.

Последовательность действий показана на рис. 20.2.

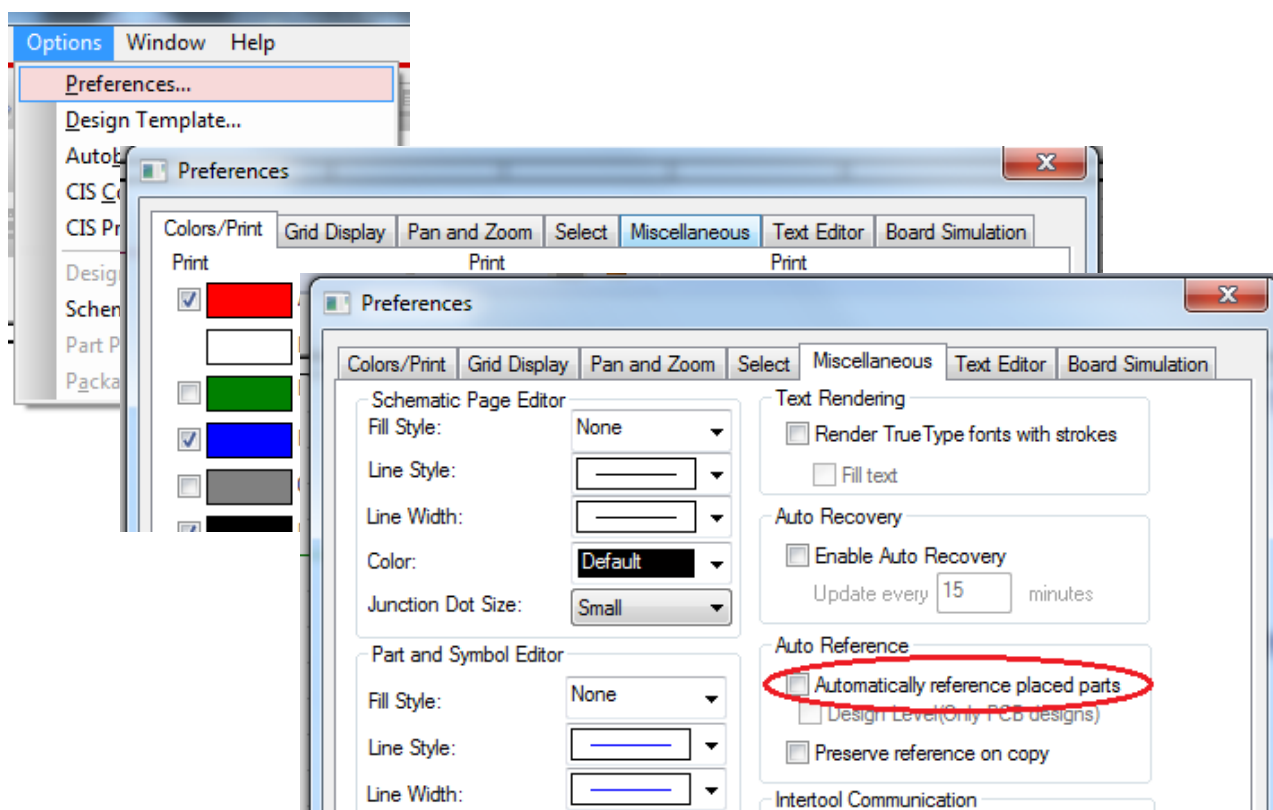


Рис. 20.2. Отключение автоматических ссылок

Поскольку существуют две копии иерархического HALFADD блока в дизайне FULLADD, оба дизайна должны быть аннотированы. Для этого выполним команду Annotate. (Хотя уникальные ссылки были назначены по умолчанию, когда компоненты были размещены, копирование иерархических блоков должно скопировать содержимое иерархического блока буквально и повторное аннотирование ссылок компонентов не требуется).

Чтобы присвоить уникальные ссылки на компоненты в проекте FULLADD с помощью команды Annotate, выполните следующие шаги:

1. В окне менеджера проекта, выберите файл pr-33-refer.dsn.
2. Из меню Tools выберите Annotate.

Примечание: В качестве альтернативы, вы можете нажать кнопку Annotate на панели инструментов .

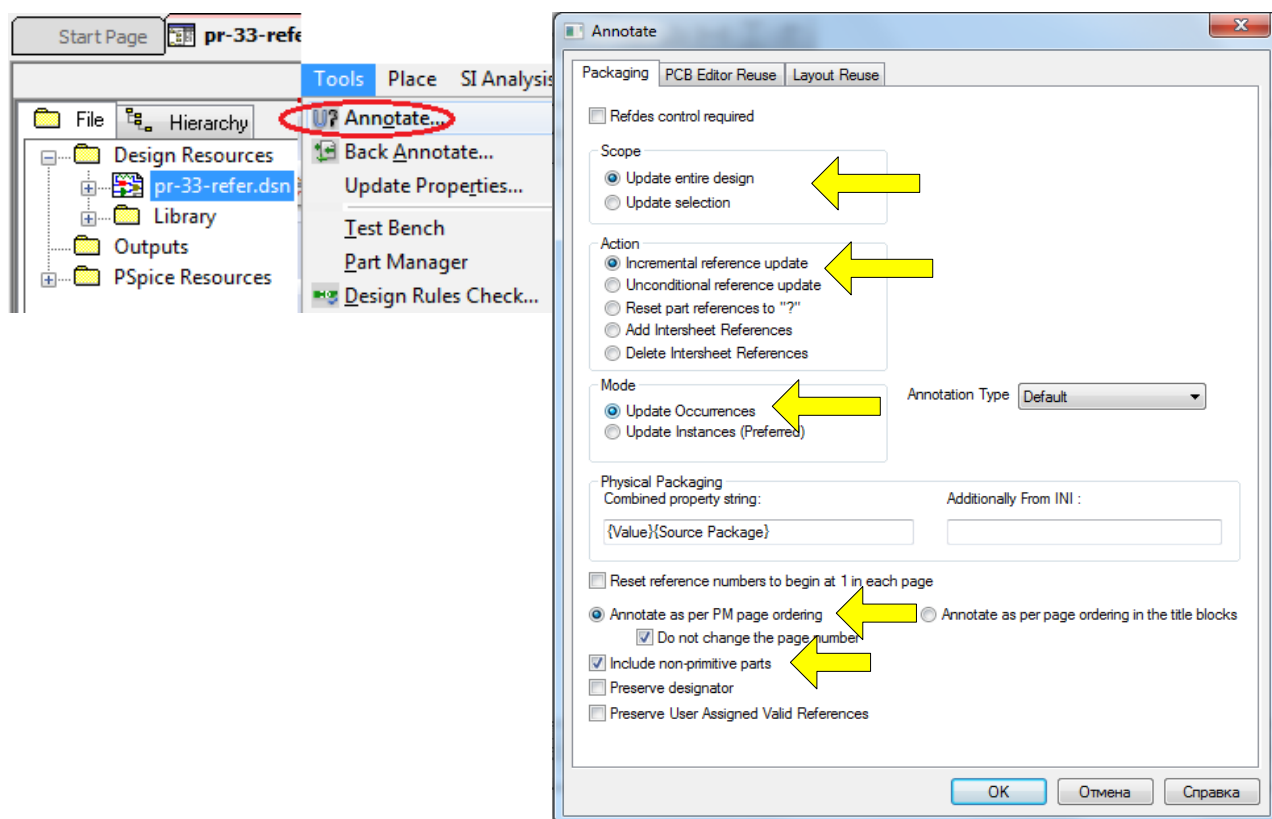


Рис. 20.3. Аннотирование проекта

3. На вкладке Packaging диалогового окна Annotate укажите, хотите ли вы обновить полный дизайн или только часть конструкции. Выберите кнопку Update entire design.

4. В разделе Action выберите кнопку опции обновления Incremental reference.

Примечание: Чтобы узнать о других доступных опций, см. диалоговое окно справки.

5. Схема полного сумматора представляет собой сложную иерархическую конструкцию. Поэтому выбирайте опцию Update Occurrences.

(Это должно быть установлено по умолчанию).

Примечание: При выборе параметра Update Occurrences может появиться предупреждающее сообщение. Игнорируйте это сообщение, потому что для всех сложных иерархических конструкций режим Occurrences является предпочтительным режимом.

6. Для остальных параметров примите значения по умолчанию и нажмите кнопку ОК, чтобы сохранить настройки.

Появляется предупреждающее окно Undo Warning.

7. Нажмите кнопку Yes. Появится окно с сообщением о том, что проводится аннотация.

8. Нажмите кнопку ОК.

Ваша конструкция аннотирована и сохраняется. Вы можете просмотреть значение обновлённых указателей ссылок на странице Schematic. Для этого в главном меню на вкладке Windows откройте окно Session Log (рис. 20.4).

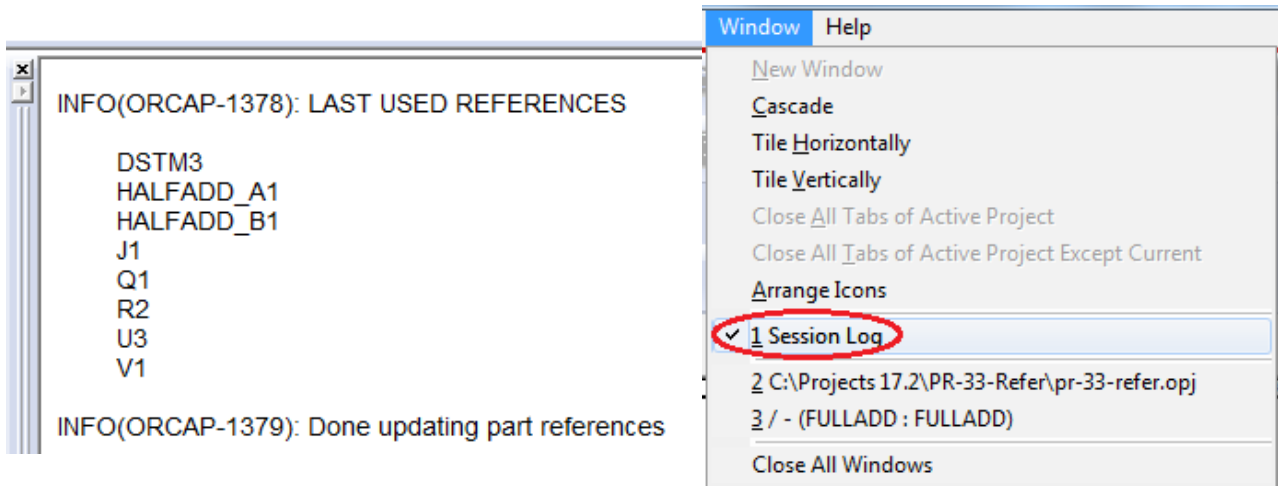


Рис. 20.4. Просмотр указателей ссылок

Предупреждение:

При выборе команды Annotate после генерации списка соединений для редактора плат PCB Editor, вы получите сообщение об ошибке, при которой аннотирование на данном этапе может привести к тому, что плата выйдет из синхронизации с эскизным проектом. Это может привести к дальнейшим проблемам повторной аннотации (backannotation).

20.2. Создание отчёта перекрёстных ссылок

Используя Capture, можно создать перекрёстные справочные отчёты для всех компонентов в вашей схеме. Отчёт о перекрёстных ссылках содержит информацию, такую как название компонента, ссылку на компонент и библиотеку, из которой компонент был выбран.

Для создания отчета о перекрёстных ссылках с помощью Capture сделайте следующее:

1. В Менеджере проектов выделите файл pr-33-refer.dsn.
2. В меню Tools выберите Cross References.

В качестве альтернативы, вы можете выбрать кнопку перекрёстных

ссылок на панели: .

2. В диалоговом окне Cross Reference Parts убедитесь, что выбрана кнопка опции Cross reference entire design.

Примечание: Если вы хотите сгенерировать отчет перекрестных ссылок для конкретной схемной папки, выберите схемную папку перед открытием диалогового окна Cross Reference Parts, а затем выберите опцию Cross References.

3. В разделе Mode выберите кнопку Use Occurrences option.

Примечание: Не обращайте внимания на предупреждение, которое отображается при выборе режим Use Occurrences. Для сложной иерархической конструкции, вы должны всегда использовать этот режим.

4. Укажите отчёт, который вы хотите сгенерировать.

5. В случае, если вы хотите, чтобы отчёт отображался автоматически, установите флажок View Output.

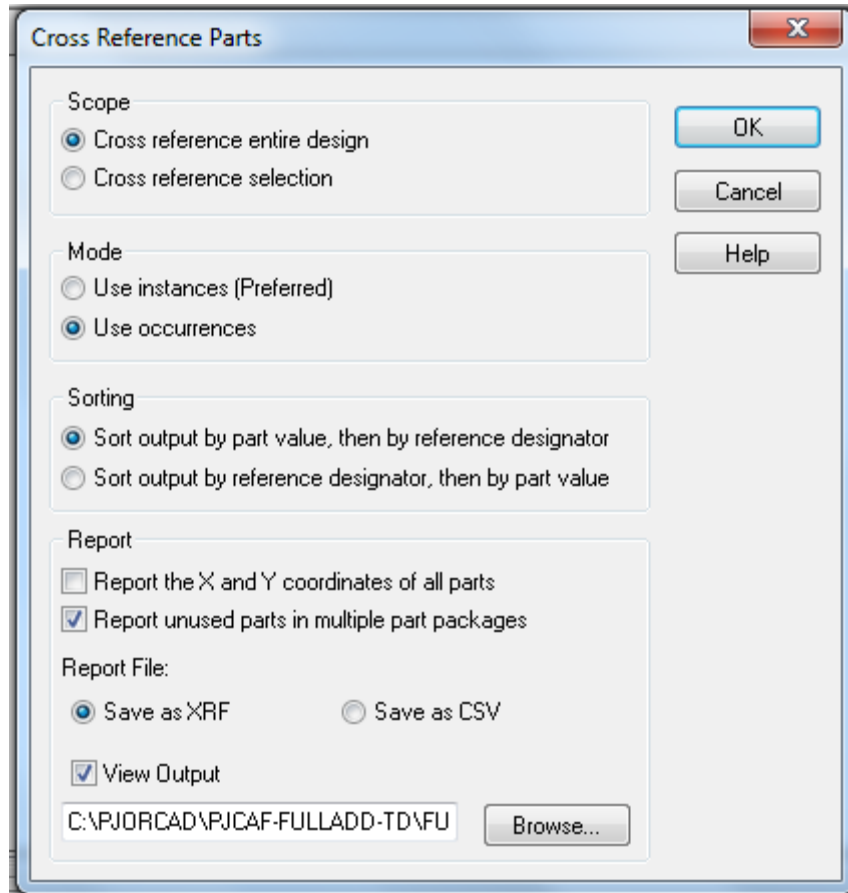


Рис. 20.5. Установка параметров отчета

6. Нажмите кнопку ОК для создания отчёта.
Образец выходного отчета показан на рис.20.6.

PR-33-REFER — Блокнот					
Файл Правка Формат Вид Справка					
Design Name: C:\PROJECTS 17.2\PR-33-REFER\PR-33-REFER.DSN					
Cross Reference July 10,2018 12:17:19 Page1					
Item	Part	Reference	SchematicName	Sheet	Library
1	1K	R1	/FULLADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\ANALOG.OLB
2	1K	R2	/FULLADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\ANALOG.OLB
3	7404	U3A	HALFADD_A1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
4	7404	U3A	HALFADD_B1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
5	7404	U3B	HALFADD_A1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
6	7404	U3B	HALFADD_B1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
7	7408	U2A	HALFADD_A1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
8	7408	U2A	HALFADD_B1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
9	7408	U2B	HALFADD_A1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
10	7408	U2B	HALFADD_B1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
11	7408	U2C	HALFADD_A1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
12	7408	U2C	HALFADD_B1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
13	7432	U1A	/FULLADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
14	7432	U1B	HALFADD_A1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
15	7432	U1B	HALFADD_B1/HALFADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\7400.OLB
16	CON2	J1	/FULLADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\CONNECTOR.OLB
17	Q2N2222	Q1	/FULLADD	1	C:\CADENCE\SPB_17.2\TOOLS\CAPTURE\LIBRARY\SPICE\EVAL.OLB
Revised:					
Revision:					

Рис. 20.6. Образец выходного отчета перекрестных ссылок

20.3. Создание списка материалов

После того, как вы завершили свой проект, вы можете использовать Capture, чтобы создать спецификацию материалов Bill of Materials (BOM). Спецификация материалов является составным списком всех элементов, которые необходимы для разработки печатных плат.

Используя Capture, можно создать BOM для электрических, а также неэлектрических компонентов, таких как винты. Стандартный отчет BOM включает в себя наименование, количество, ссылки на компонент и значение компонента.

Создадим спецификацию для проекта FULLADD. Откроем этот проект.

Для создания отчёта спецификации:

1. В окне диспетчера проекта, выберите файл проекта pr-33-refer.dsn.
2. В меню Tools выберите Bill of Materials.
3. Для создания отчёта спецификации для всего дизайна, убедитесь, что выбрана кнопка Process entire design.
4. Для сложных иерархических конструкций, предпочтительным режимом является режимом возникновения. Поэтому используйте кнопку Use Occurrences.

Примечание: В случае, если вы получаете предупреждение о том, что это не предпочтительный режим, игнорируйте предупреждение.

5. Укажите имя отчета BOM, которое будет генерироваться. Для нашего дизайна, надо принять имя FULLADD.BOM (рис. 20.7).

Примечание: По умолчанию отчет будет назван designname.BOM.

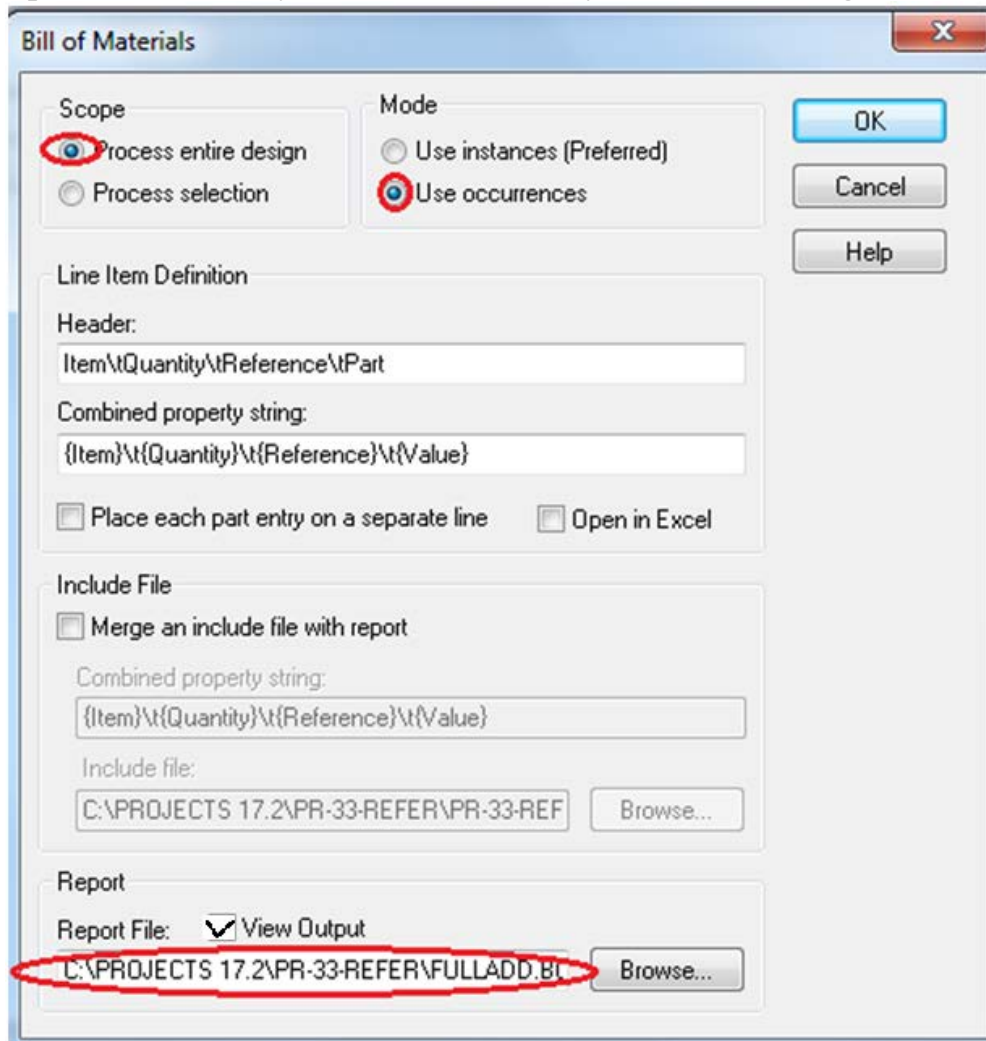


Рис. 20.7. Установки для создания списка материалов

6. Нажмите кнопку ОК.

Отчёт BOM генерируется. Пример отчёта показан на рис. 20.8.

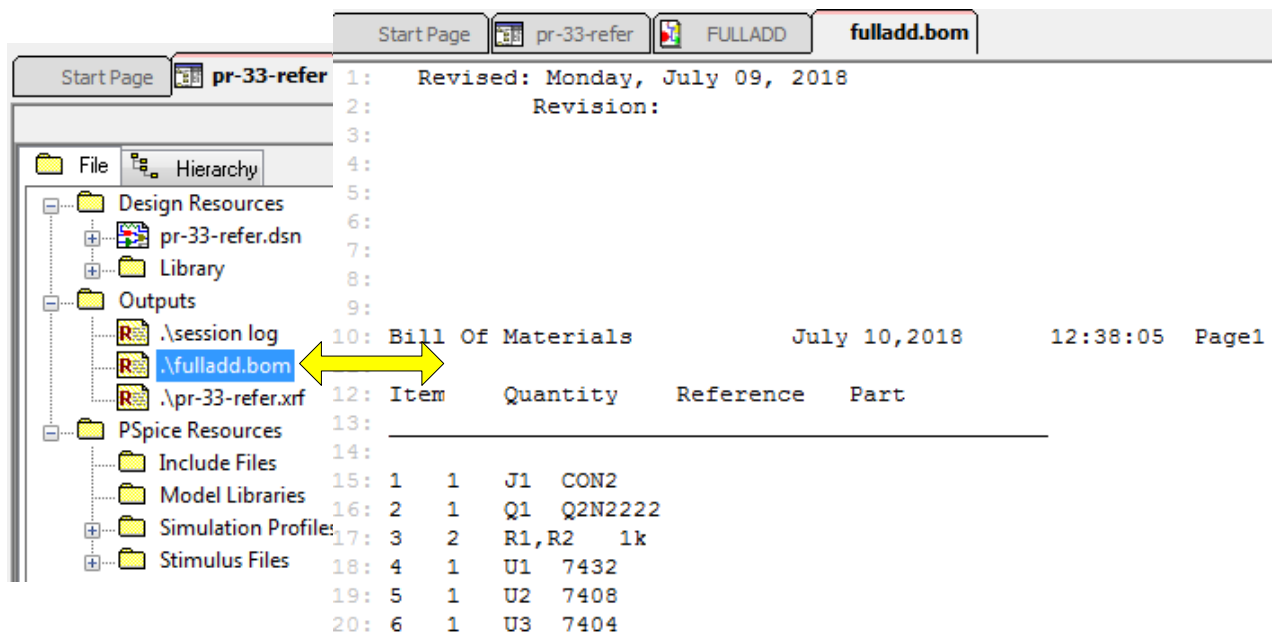


Рис. 20.8. Пример отчета по спецификации материалов

20.4. Добавление специфических свойств редактора РСВ

Для того, чтобы быть в состоянии передать ваш проект в OrCAD PCB Editor для размещения компонентов и разводки, вам нужно добавить информация о корпусе (footprint – футпринт) для каждого из компонентов в проекте. По умолчанию некоторые футпринты, доступные для всех компонентов из Pspice - совместимых библиотек, находятся в <install_dir>/tools/capture/library/pspice.

Тем не менее, эти футпринты могут оказаться не действительными. Вам нужно будет изменить их до допустимых значений футпринта корпуса.

Вы можете добавить информацию о футпринте на этапе проектирования схемы в OrCAD Capture или на этапе проектирования платы в инструментах компоновки печатной платы. В этом разделе вы научитесь добавлять информацию о футпринтах к компонентам во время этапа проектирования схемы.

Для добавления информации о корпусе к вентилю ИЛИ 7432 на странице схемы FULLADD выполните следующие действия:

1. Щёлкните правой кнопкой мыши на логическом элементе ИЛИ и выберите Edit Properties .

Появится окно редактора свойств.

2. На вкладке Filter из раскрывающегося списка выберите Allegro-PCB Designer (Рис. 20.9).

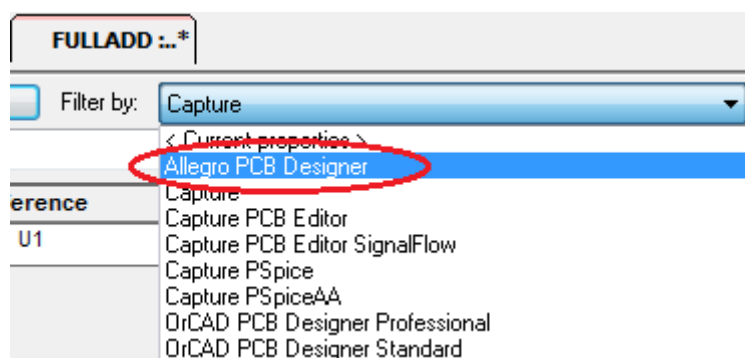


Рис. 20.9. Выбор программы Allegro PCB Designer

Столбцы в таблице отображают свойства корпуса для PCB Editor.

3. Чтобы изменить значение свойства PCB Footprint, нажмите на соответствующую ячейку и введите значение SOIC14 (рис. 20.10).

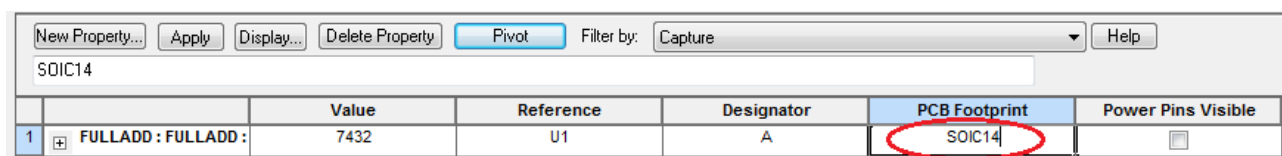


Рис. 20.10. Выбор корпуса элемента ИЛИ

4. Нажмите кнопку Apply или кнопку ENTER.

5. Сохраните изменения и закройте окно Редактора свойств.

6. Добавьте в PCB информацию о корпусах для всех компонентов в схеме.

Для резисторов введите RES500. Для коннектора- JUMPER2. Для транзистора TO18.

Для компонентов полусумматоров надо выбрать футпринт SOIC14.

Ваша схема теперь готова быть к передаче в OrCAD PCB Editor для размещения компонентов и разводки.

20.5. Проверка правил проектирования

После того, как вы завершили свой проект, рекомендуется выполнить проверку правил проектирования (Design rules check - DRC), чтобы изолировать любые нежелательные ошибки проектирования, которые могут быть в схеме.

Чтобы запустить DRC для схемы полного сумматора, выполните следующие шаги:

1. В окне менеджера проекта, выберите файл проекта.
2. В меню Tools выберите команду Design Rule Checks (рис. 20.11).

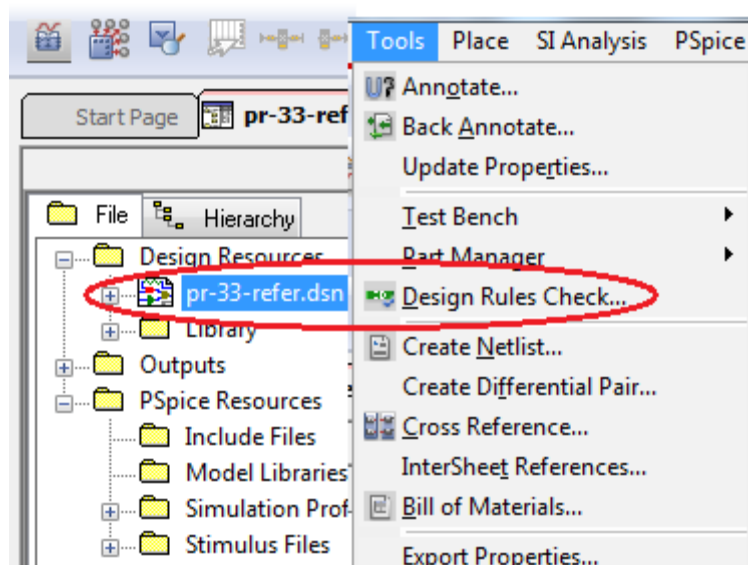


Рис. 20.11.

Примечание: В качестве альтернативы, вы можете выбрать DRC кнопкой на панели инструментов.

3. В диалоговом окне DRC вкладка Design Rules Check выбирается по умолчанию. Укажите свои предпочтения (рис. 20.12).

По умолчанию выбирается кнопка Check entire design (проверить весь вариант дизайна). Чтобы запустить DRC на всю разработку, примите выбор по умолчанию.

4. Выберите кнопку опции Use Occurrences.

Примечание: Для сложных иерархических конструкций Use Occurrences режим является предпочтительным режимом. Поэтому игнорируйте предупреждение, которое отображается при выборе этого режима.

5. Для запуска DRC, выберите кнопку опции Check design rules под Action.

6. В разделе Report выберите то, что требуется указать в DRC отчете.

7. Установите флажок View Output.

Если этот флажок установлен, отчет DRC автоматически открывается для просмотра после полной проверки.

8. В текстовом поле Report File, укажите имя и расположение DRC файла, который будет создан.

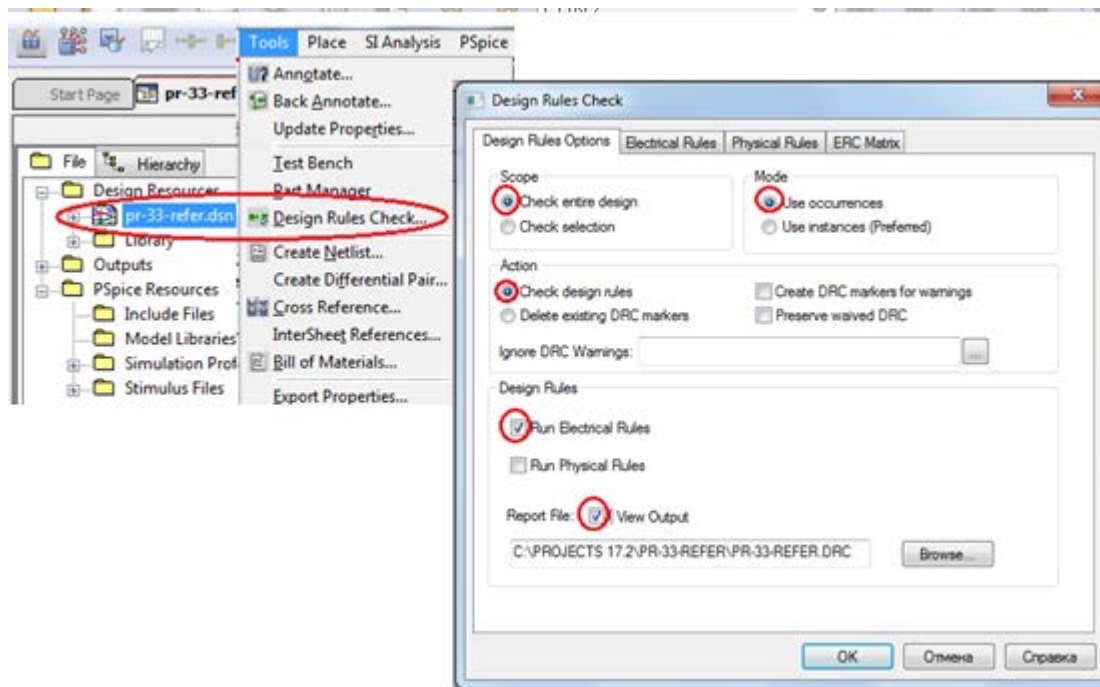


Рис. 20.12. Установка проверки правил проектирования

9. На вкладке Electrical Rules установите флажки на нужных вам проверках (рис. 20.13).

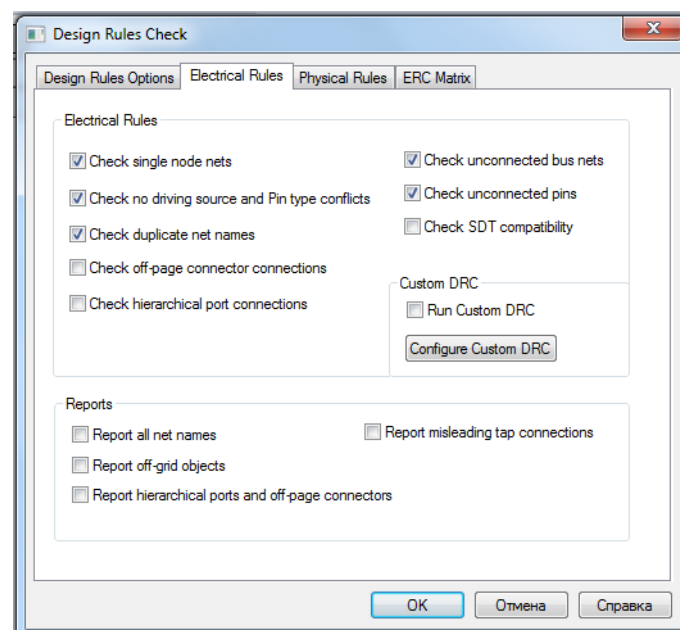


Рис. 20.13. Установка проверок электрических правил

9. Нажмите кнопку ОК.

После выполнения проверки отчет DRC отображается в формате, показанном ниже.

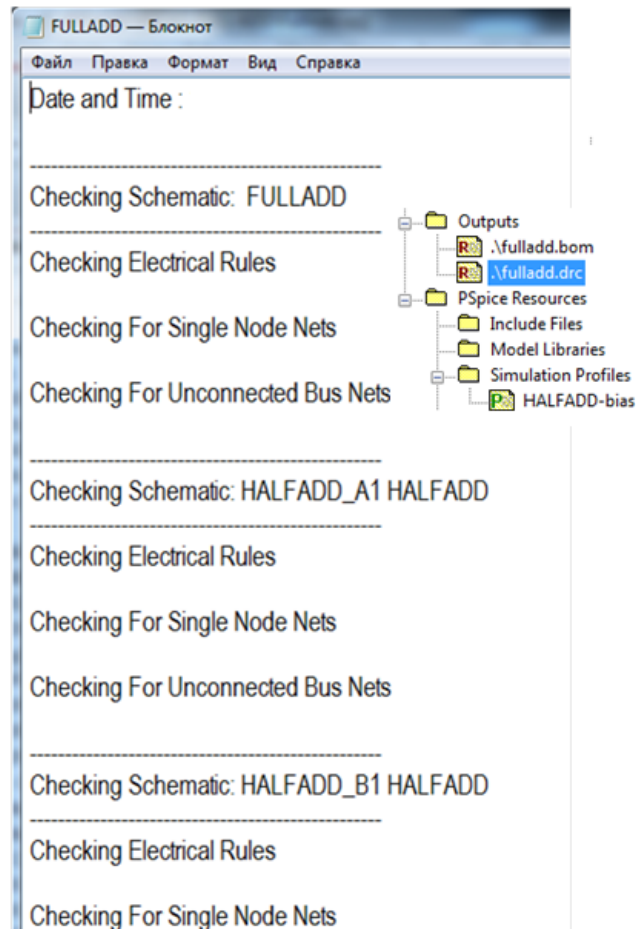


Рис. 20.14. Отчет проверки правил проектирования
 На рис. 20.15 показана проверка матрицы ERC.

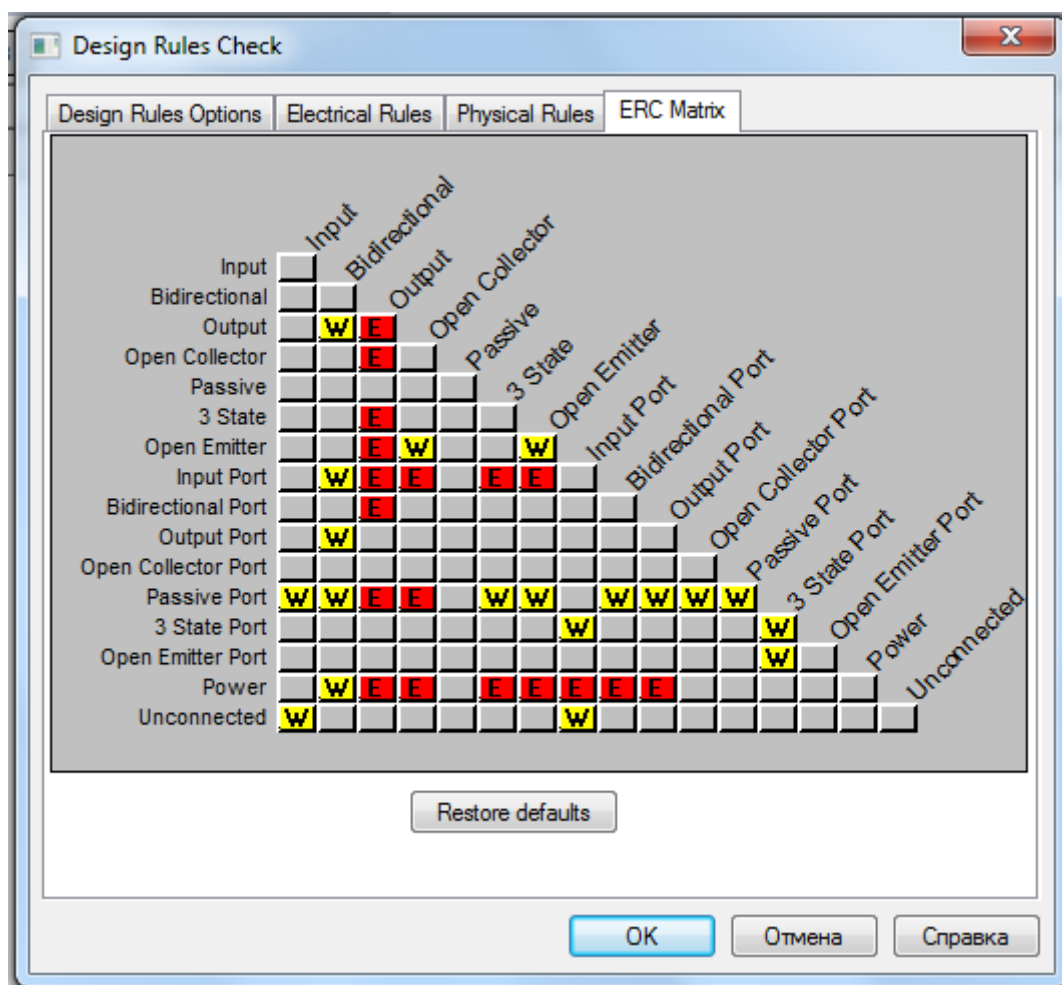


Рис. 20.15. Проверка матрицы электрических правил (ERC)

В этом разделе были рассмотрены шаги для создания плоских и иерархических проектов с использованием OrCAD Capture. Вы были ознакомлены с основными задачами создания проекта, такими как создание схем, добавление библиотеки в проект, размещение компонентов и редактирование свойств.

Далее познакомимся с циклом проектирования печатных плат.

20.6. Контрольные вопросы

1. Какие задачи выполняются для обработки проекта в OrCAD Capture ?
2. Для чего требуется назначать ссылки на компоненты схемы ?
3. Как выполняют ручное аннотирование проектов ?
4. Как просмотреть значения обновленных указателей ссылок компонентов ?
5. Какую информацию содержит отчет о перекрестных ссылках ?
6. Как можно создать отчет о перекрестных ссылках ?
7. Как создают спецификацию материалов (Bill of Materials) ?
8. Как добавить в проект информацию о корпусах компонентов ?
9. Как выполняют проверку правил проектирования (DRC) ?
10. Какие правила проверяют включает DRC ?

Глава 21. Проектирование печатных плат с использованием OrCAD PCB Editor

21.1. Обзор

Редактор печатных плат OrCAD (на основе Allegro® PCB) – этот мощный и гибкий инструмент для компоновки и трассировки печатных плат позволяет PCB (PCB-printed circuit board) дизайнерам создавать и использовать данные для сквозного проектирования электронных устройств.

Это интерактивная среда для создания и редактирования сложных, многослойных печатных плат. Набор функций, который предоставляет, предназначен для широкого спектра современных разработок и технологических задач.

В этой главе вы будете использовать OrCAD PCB Editor, чтобы на основе проекта полного сумматора, созданного ранее, довести эскизное проектирование до печатной платы. Здесь рассмотрены некоторые из общих задач, решаемых в редакторе печатных плат. В процессе изучения вы также можете использовать кросс-проверки между Capture и PCB Editor.

Для того, чтобы пройти все шаги, описанные в этой главе, вы должны иметь готовый дизайн полного сумматора. Полный сумматор, используемый нами, представляет собой иерархическую конструкцию. Она состоит из двух экземпляров иерархического блока HALFADD.

Вы можете использовать конструкцию, созданную ранее. Однако в учебной программе Orcad 17.2 Lite установлено ограничение на максимальное количество компонентов в схеме и некоторые важные подготовительные операции (например, DRC – проверку правил проектирования для полного сумматора) не удастся выполнить. Поэтому мы будем использовать файлы дизайна, которые поставляется с обучающей программой.

Файлы дизайна полного сумматора доступны как файл flowtut.zip, который расположен в <Install_dir> / DOC / flowtut / tutorial_example.

Распакуйте файл flowtut.zip и извлеките его в пустой каталог, скажем orcad_flow. После извлечения файла flowtut.zip вы найдёте два файла – частичные (Partial) и полные (Complete), созданные в каталоге orcad_flow.

Каталог *partial* содержит файлы, созданные в предыдущих разделах. Используйте файлы этого каталога, только если вы хотите пропустить шаги по созданию дизайна, выполненные ранее и непосредственно перейти к этой главе.

Полный каталог *complete* содержит все файлы, созданные ранее в руководстве [3].

Вы можете использовать файлы полного каталога, чтобы проверить свои результаты.

Важное замечание !

Проектирование печатных плат – это сложный и достаточно трудоемкий процесс, требующий многих навыков и опыта, который приходит не сразу. Компания Cadence представила в Интернете полезные обучающие видеофильмы В В этой главе Вы изучите основы работы в учебных версиях OrCAD PCB Editor

Lite и OrCAD PCB Router Lite, которые помогут вам овладеть искусством проектирования.

21.2. Подготовка в Capture

Для того, чтобы быть в состоянии использовать в PCB Editor проект, созданный в Capture, необходимо выполнить некоторые задачи. Некоторые из этих задач выполняются в Capture, в то время как остальные выполняются в среде редактора печатных плат.

Задачи, которые должны быть выполнены в Capture:

- Запуск проверки правил проектирования – DRC.
- Создание списка соединений PCB Editor netlist.

Запуск DRC был выполнен в предыдущем разделе. Полезно повторить это для проекта, запущенного из каталога *complete* и убедиться в совпадении результатов.

21.2.1. Создание списка соединений для редактора печатных плат

После запуска проверки правил проектирования вы создаёте в Capture список соединений для PCB Editor. Для этого:

1. В окне менеджера проекта, выберите файл `fulladd.dsn`.
2. В меню Tools в Capture выберите Create Netlist. Появится диалоговое окно Create Netlist.
3. Выберите вкладку PCB (если она ещё не выбрана).

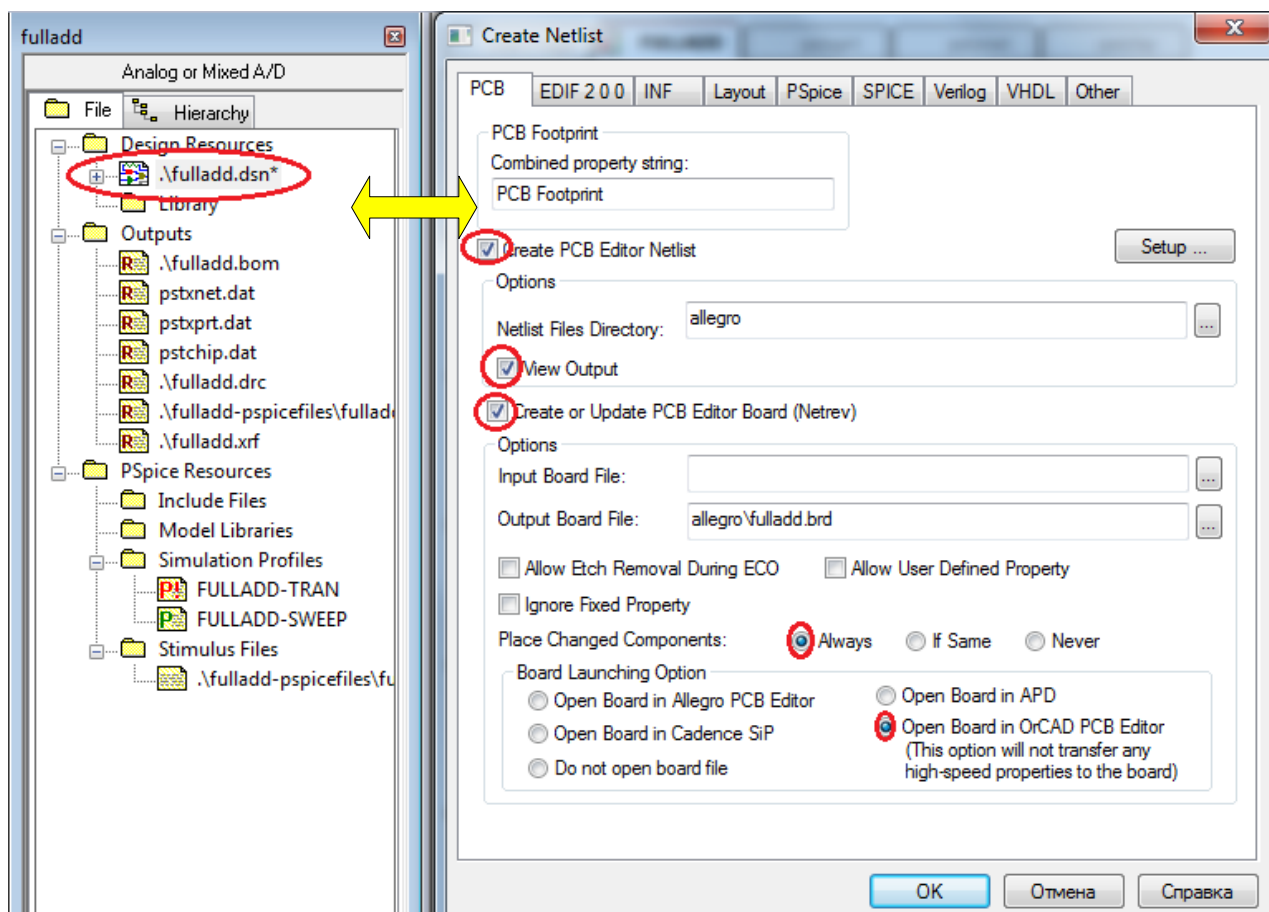


Рис. 21.1. Создание списка соединений

Флажок Create PCB Editor Netlist выбирается по умолчанию. При установке этого флажка будет сгенерирован Список соединений в формате редактора печатных плат, который состоит из следующих трёх файлов: PSTCHIP.DAT, PSTXNET.DAT и PSTXPRT.DAT.

PSTCHIP.DAT: этот файл содержит описание для каждого отличного типа компонентов, которые используются в дизайне.

- PSTXNET.DAT: этот файл подключения, называемый также плоский список или расширенный список соединений, содержит каждую сеть, её свойства, подключённые к ней узлы и свойства узлов.

- PSTXPRT.DAT: этот файл, также упоминается как расширенный список компонентов, содержит список физических компонентов и перечисляет каждое позиционное обозначение и секции, связанные с ним, указанные через позиционное обозначение и номер секции.

Примечание: Убедитесь, что правильный файл конфигурации (Allegro.cfg) задаётся в диалоговом окне настройки. Для просмотра файла конфигурации нажмите кнопку Setup. Путь к файлу конфигурации должен быть выбран, используя кнопку Browse: <install_dir> \ Tools \ capture \ allegro.cfg, где <Install_dir> это место установки (рис. 21.2) .

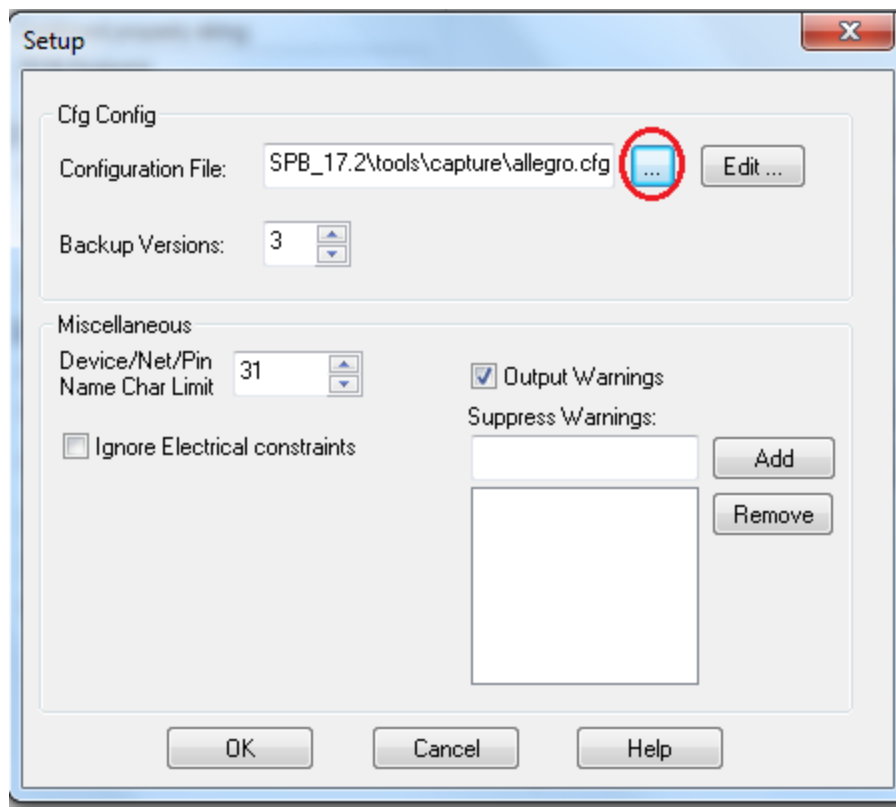


Рис. 21.3. Установка файла конфигурации

Примечание: Текстовое поле Netlist Files Directory содержит местоположение каталога, в котором будут сохранены файлы PST * .DAT. Расположение по умолчанию является Allegro subdirectory в каталоге вашего дизайна.

4. Установите флажок View Output, чтобы автоматически открыть три PST * .DAT файла списка соединений в отдельных окнах Capture для просмотра и редактирования после того, как netlisting завершится.

5. Установите флажок Create or Update PCB Editor Board (Netrev), чтобы создать в PCB Editor плату, которая соответствует списку соединений, который вы генерируете.

Примечание: Текстовое окно Output Board File содержит имя платы, которое в данном случае является fulladd.brd и расположение директории, где будет создан файл платы, которая в этом случае будет \allegro.

6. Выберите Open Board в опции OrCAD PCB Editor, чтобы открывать файл Output Board File в OrCAD PCB Editor автоматически после того, как завершается netlisting.

7. Нажмите кнопку ОК в диалоговом окне Create Netlist.

Появится сообщение с запросом, чтобы сохранить ваш дизайн до создания списка соединений. Нажмите кнопку ОК.

Если имеются указания об ошибках, их следует найти и устранить.

Происходит генерация файлов (рис.21.4)

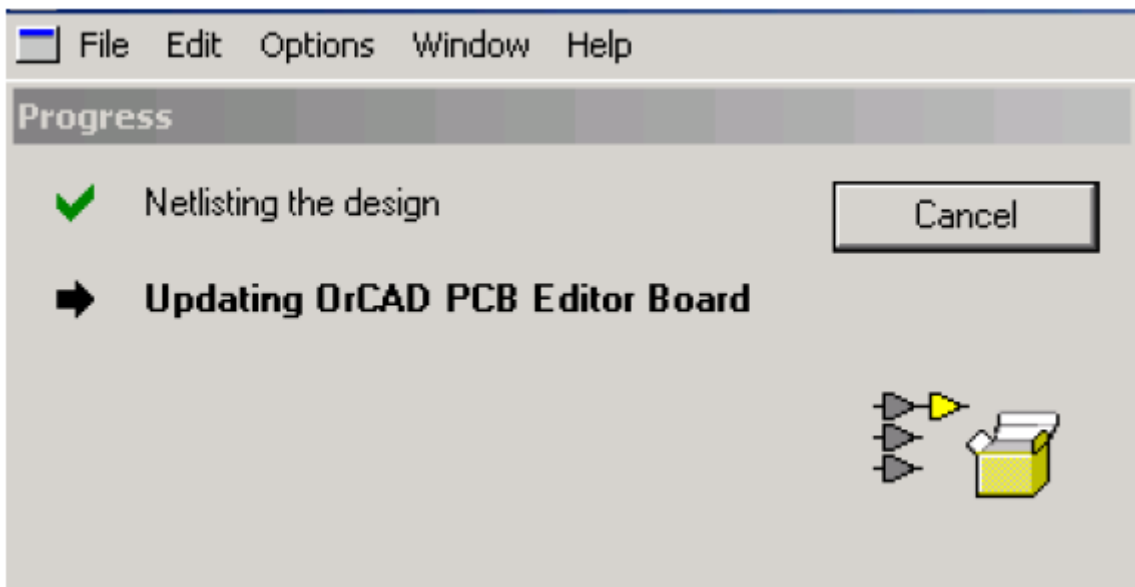


Рис. 21.4. Генерация файлов списка соединений

После этого Capture генерирует файлы списка соединений (PSTCHIP.DAT, PSTXPRT.DAT и PSTXNET.DAT) и файл платы (Fulladd.brd) в указанном месте каталога, который в этом случае будет: \complete\allegro. Кроме того, открываются файлы списка соединений в отдельных окнах Capture и они появляются под Outputs directory в окне менеджера проекта (рис. 21.5).

Фрагменты содержания файлов показаны на рис. 21.5.

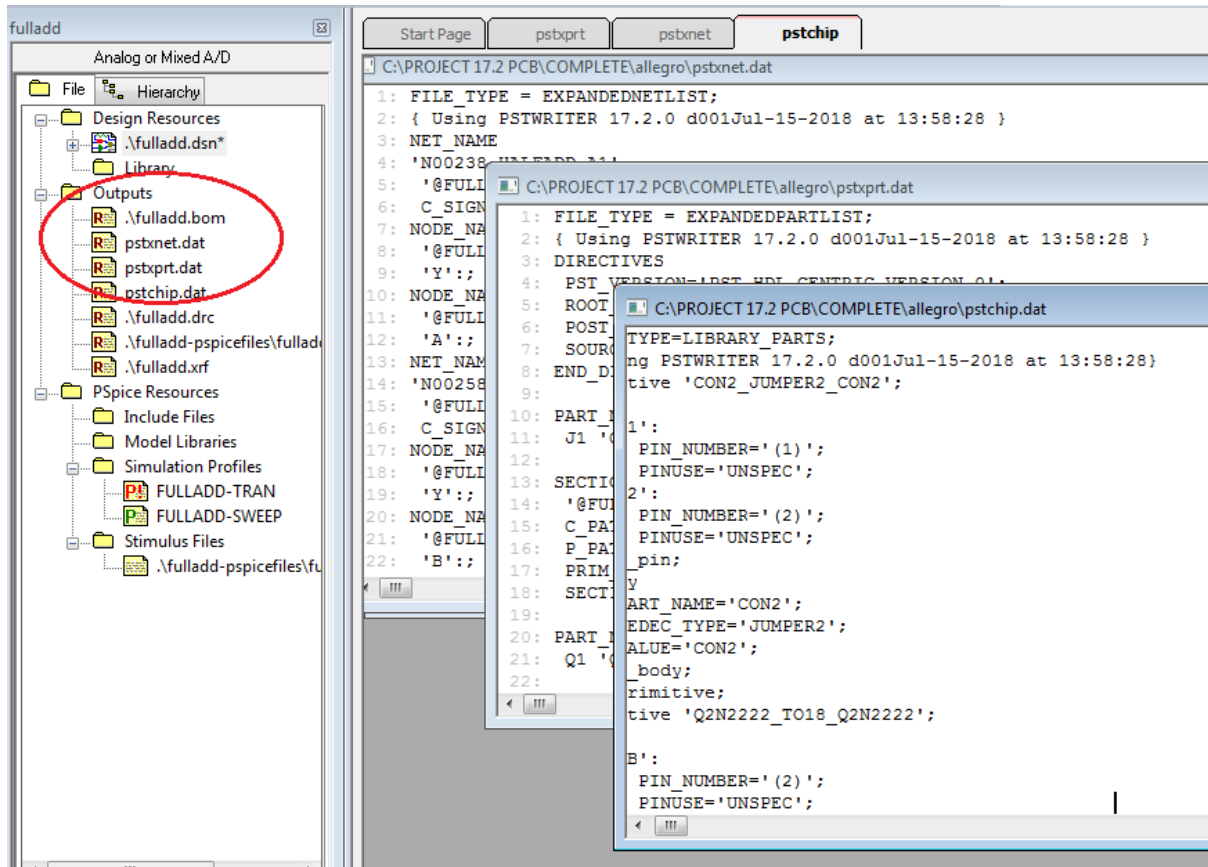


Рис. 21.5. Фрагменты файлов списка соединений

Файл платы fulladd.brd откроется в редакторе OrCAD PCB Editor.

8. После выполнения команды Create Netlist открывается окно редактора печатных плат OrCAD PCB Design (рис. 21.6). Выбрав Display>Windows, можно открыть нужные окна и панели.

Окно редактора OrCAD PCB Design содержит большое количество вспомогательных панелей и инструментов, с которыми мы будем знакомиться по мере изучения процесса проектирования печатных плат. Некоторые панели и окна показаны на рис. 21.6. Перемещение объекта в окне проектирования выполняют, используя окно позиционирования.

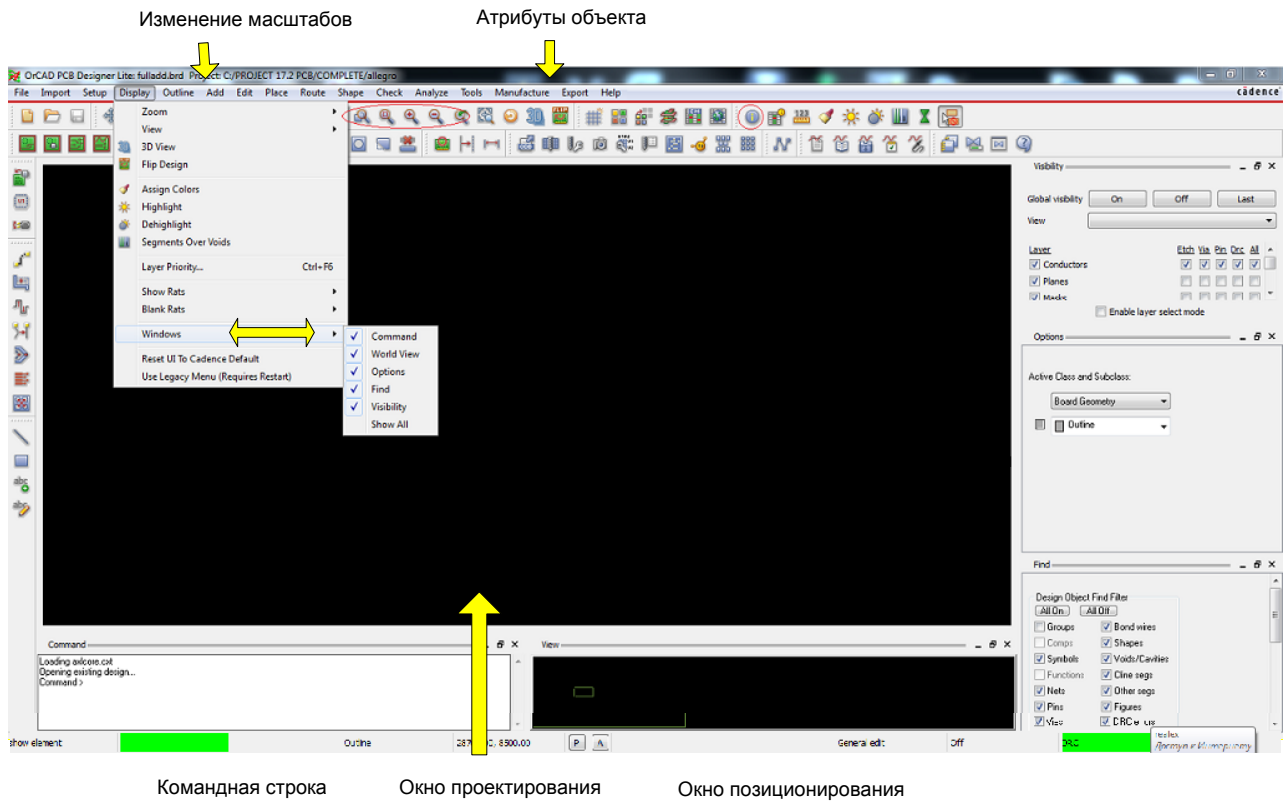


Рис. 21.6. Окно редактора печатных плат OrCAD PCB Design

Примечание: Если окно не открылось, надо проверить в каталоге Cadence «Все программы» загружается или нет программа PCB Design Lite. Если загрузки нет, возможно закончился срок демоверсии. Тогда переустановите программу OrCAD ещё раз.

21.3. Начало работы в PCB Editor

Режимы работы приложения показаны на рис. 21.7.

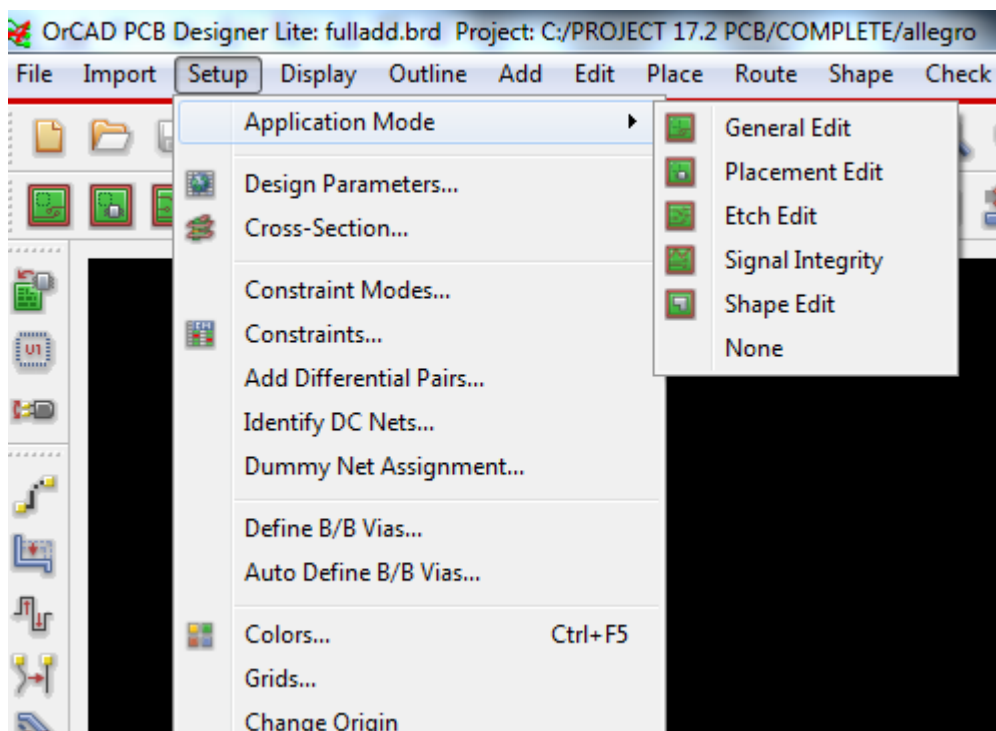


Рис. 21.7. Режимы работы PCB Editor

Режим *General edit* позволяет выполнять операции редактирования, такие как размещение, разводка, перемещение, копирование, зеркальное отображение.

Режим *Placement edit* позволяет редактировать размещение компонентов.

Режим *Etch edit* адаптирует среду для выполнения задач травления, таких как добавление разъемных соединений, настройка задержки, сглаживание клиньев или острых углов сегмента.

Режим *Signal Integrity* обеспечивает быстрый и легкий доступ к часто используемым командам SI.

Shape Edit обеспечивает быстрый и легкий доступ для редактирования границы формы, такие как сглаживание краев формы с углами или без углов, многосегментное сглаживание и добавление надрезов.

Режим *None* позволяет выйти из любого режима и выбрать новый.

Текущий режим работы отражается в строке состояния (рис. 21.8).

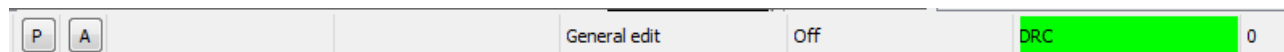


Рис. 21.8. Отображение текущего режима

Параметры проектирования устанавливаются на вкладках *Design Parameter Editor* из меню *Setup* (рис.21.9).

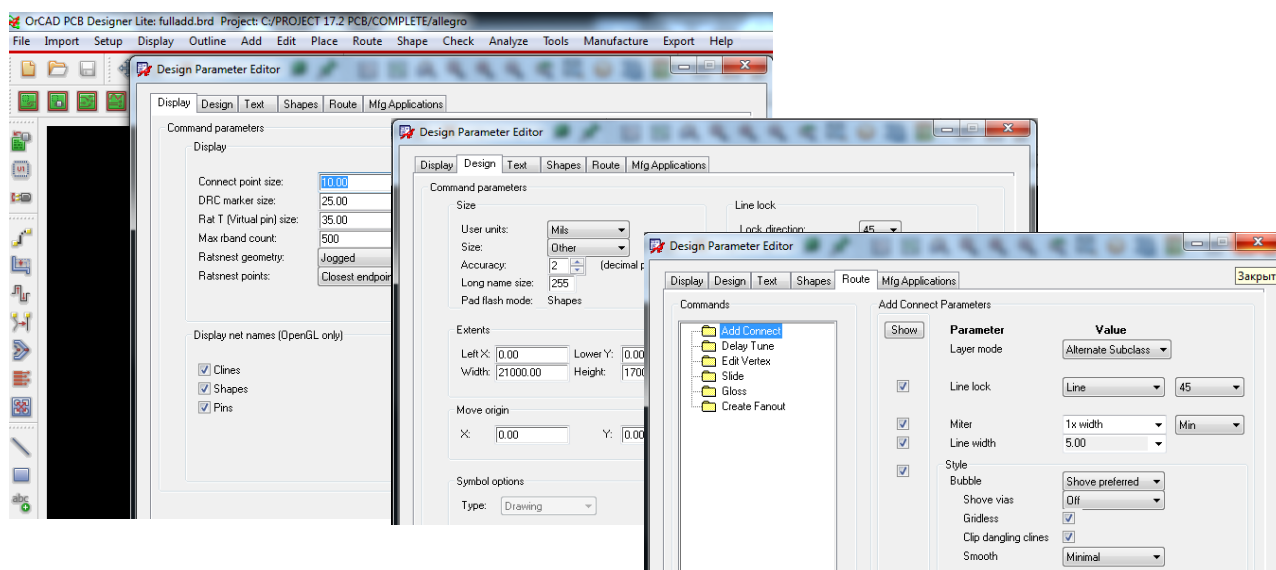


Рис. 21.9. Установка параметров проектирования

21.4. Создание печатной платы

После создания списка соединений для редактора РСВ следующим шагом будет создание новой платы в редакторе печатных плат. Capture netlistер генерирует файл платы и три файла списка соединений, совместимых с РСВ. Дополнительную информацию см. в разделе «Создание списка соединений для редактора печатных плат».

21.4.1. Создание контура платы

Контур платы определяет границы платы. Чтобы создать схему платы в редакторе печатной платы:

1. В меню Add выберите Line. Панель Options изменится, как показано на рис. 21.10.

Примечание. Убедитесь, что панель Options в правой части окна редактора печатной платы отображает Active Class (активный класс) как Board Geometry и подкласс как Outline (контур).

2. Задайте следующие параметры в окне Options:

- а. Окончание (замок) линии Line Lock: Line, 90°
- б. Ширина линии Line Width: 20,0
- с. Строковый шрифт Line Font: сплошной (Solid)

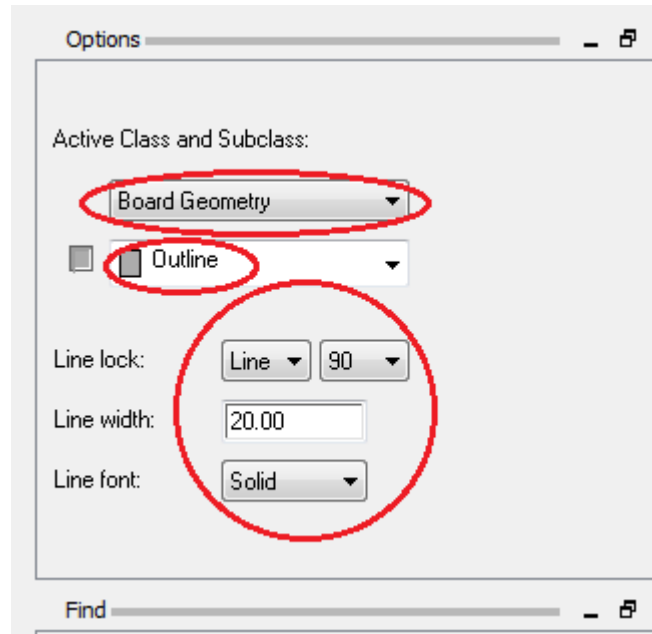


Рис. 21.10. Установка параметров линий

Примечание. Пользовательские единицы по умолчанию в редакторе печатных плат – mils (0,001 дюйма). Чтобы просмотреть пользовательские единицы, выберите Design Parameters в меню Setup. В диалоговом окне Design Parameter Editor перейдите на вкладку Design. Пользовательские единицы определены в разделе Size (рис. 21.11).

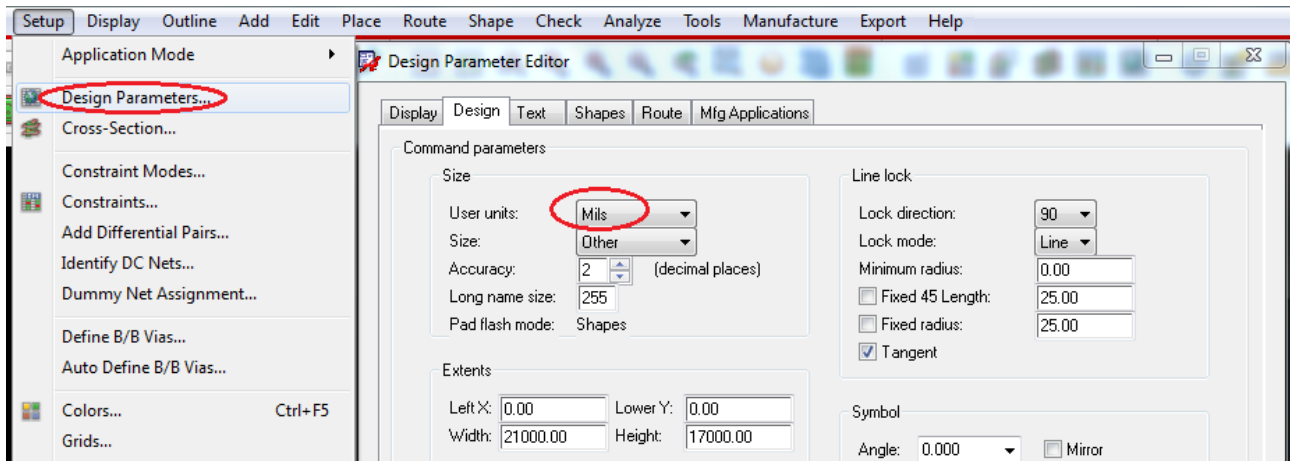


Рис. 21.11. Установка единиц измерения

Примечание. Расстояние по размеру сетки по умолчанию для координат X и Y в редакторе печатной платы составляет 25 мил каждый. Чтобы просмотреть интервал сетки, выберите Setup> Grids. Можно также на вкладке Design Parameter Editor нажать кнопку Setup Grids. Появится диалоговое окно Define Grid. Установите нужные значения и нажмите Ok (рис. 21.12).

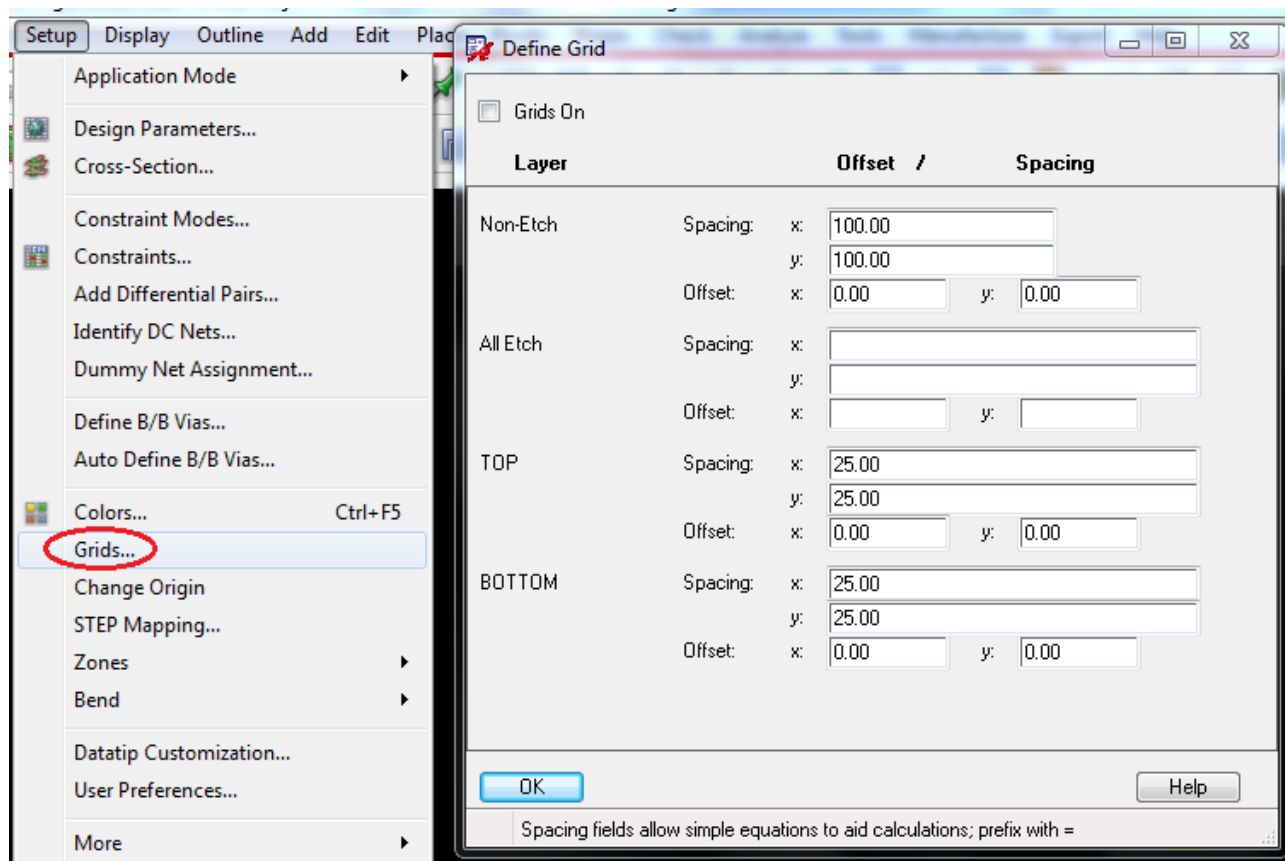
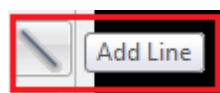


Рис. 21.12. Установка параметров сеток

3. Создадим контур платы с координатами:

- ☐ 3000, 3000
- ☐ 3000, 5000
- ☐ 1000, 5000
- ☐ 1000, 3000



Сначала надо включить режим Add Line на панели инструментов.

Чтобы вставить первый угол контура платы, поместите курсор в координаты: 1000, 3000 и нажмите левую кнопку мыши.

Примечание: При перемещении курсора в окне в характеристиках конструкции координаты будут постоянно меняться. Вы можете просматривать координаты в правом нижнем углу окна редактора печатных плат.

Совет. Можно также использовать команду `pis` в консоли PCB Editor, чтобы указать координаты. Например, чтобы указать отправную точку, введите 1000 3000.

На рис. 21.13 показан запуск команды `Pick`, выбор типа координат (абсолютные или относительные), позиционирование контура на поле. На рис. 21.14 показан ввод координат и их отображение в окне команд.

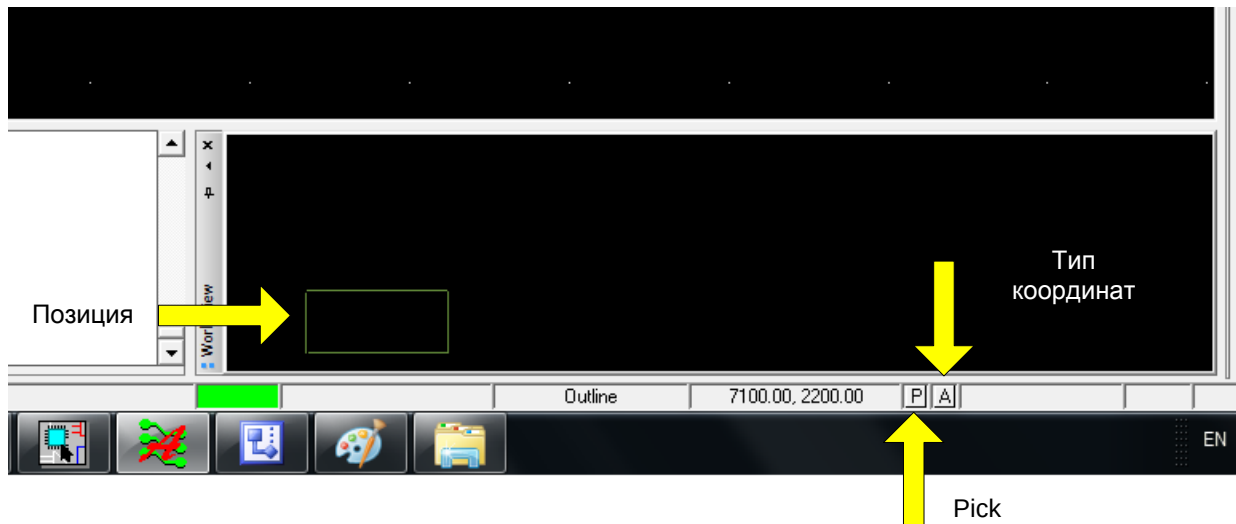


Рис. 21.13. Начало ввода координат платы

4. Заполните оставшийся контур платы, используя следующие координаты (рис. 21.14)

- ☐ 3000, 3000
- ☐ 3000, 5000
- ☐ 1000, 5000
- ☐ 1000, 3000

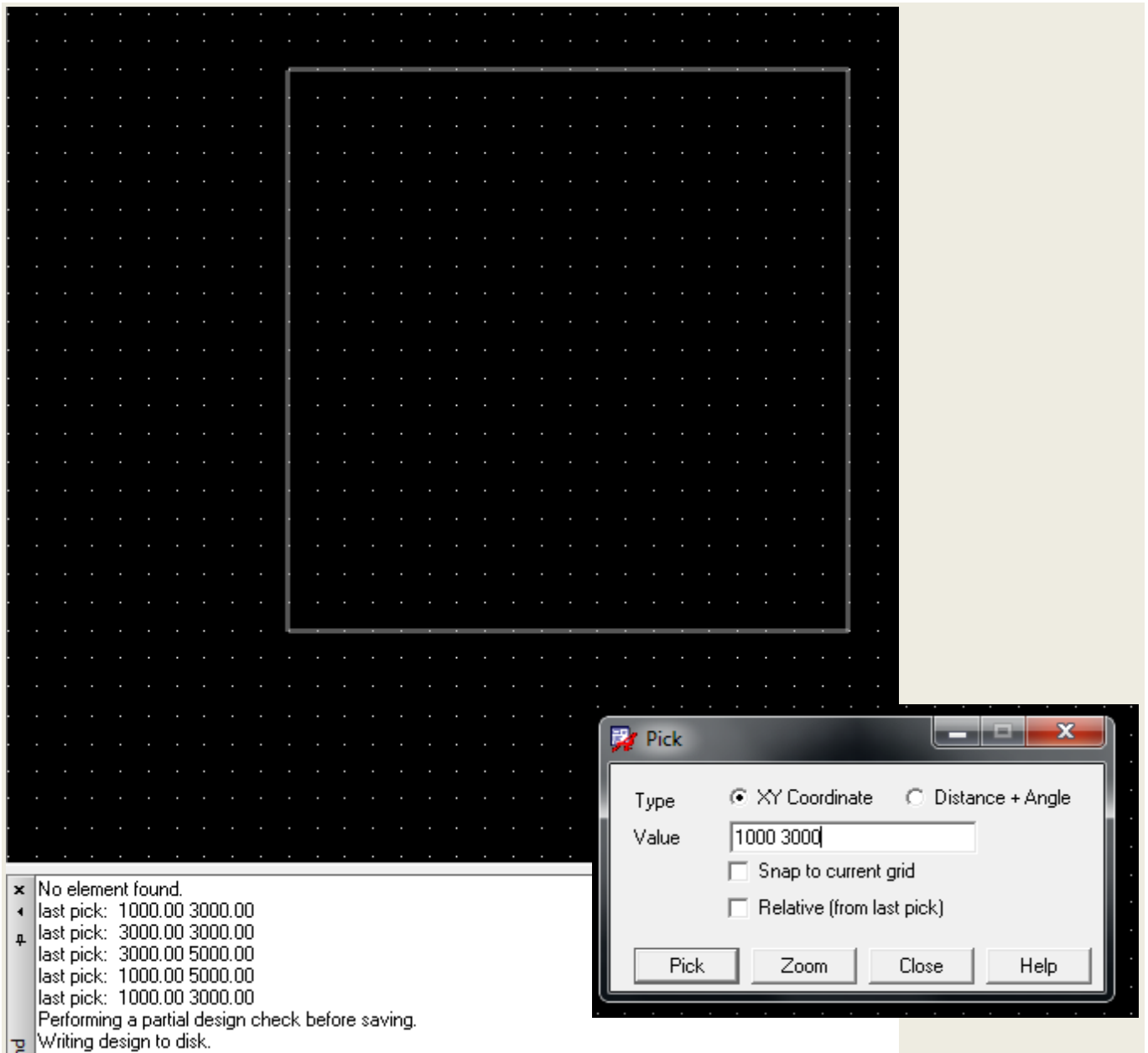


Рис. 21.14. Ввод координат контура платы

5. Когда вы находитесь на последнем повороте и замкнёте контур платы, щёлкните правой кнопкой мыши и выберите Done. Контур платы будет создан.

Примечание: Убедитесь, что контур платы является замкнутым прямоугольником. В нашем примере контур квадратный.

Совет:

Чтобы удалить контур:

- ☐ Выберите Delite из меню Edit.
- ☐ В окне Options выберите флажок Cline под группой Delete Net Options.
- ☐ Щёлкните левой кнопкой мыши по контуру, чтобы выбрать его.
- ☐ Щёлкните правой кнопкой мыши и выберите пункт Done. Контур будет полностью удалён.

Сохраните файл платы и сделайте выход из PCB Editor.

6. Повторно войдите в PCB Editor из меню <Все программы><CaDENCE><PCB Editor Lite. Откроется файл fulladd.brd с контуром платы.

7. Выберите Zoom Fit из меню View, чтобы отобразить целиком контур вашей платы в окне дизайна, как показано на рис. 21.15

Совет: В качестве альтернативы, вы можете использовать любой из этих методов масштабирования контура платы в окне дизайна:

☐ Напечатайте zoom fit в командной строке;

☐ -или нажмите на значок .

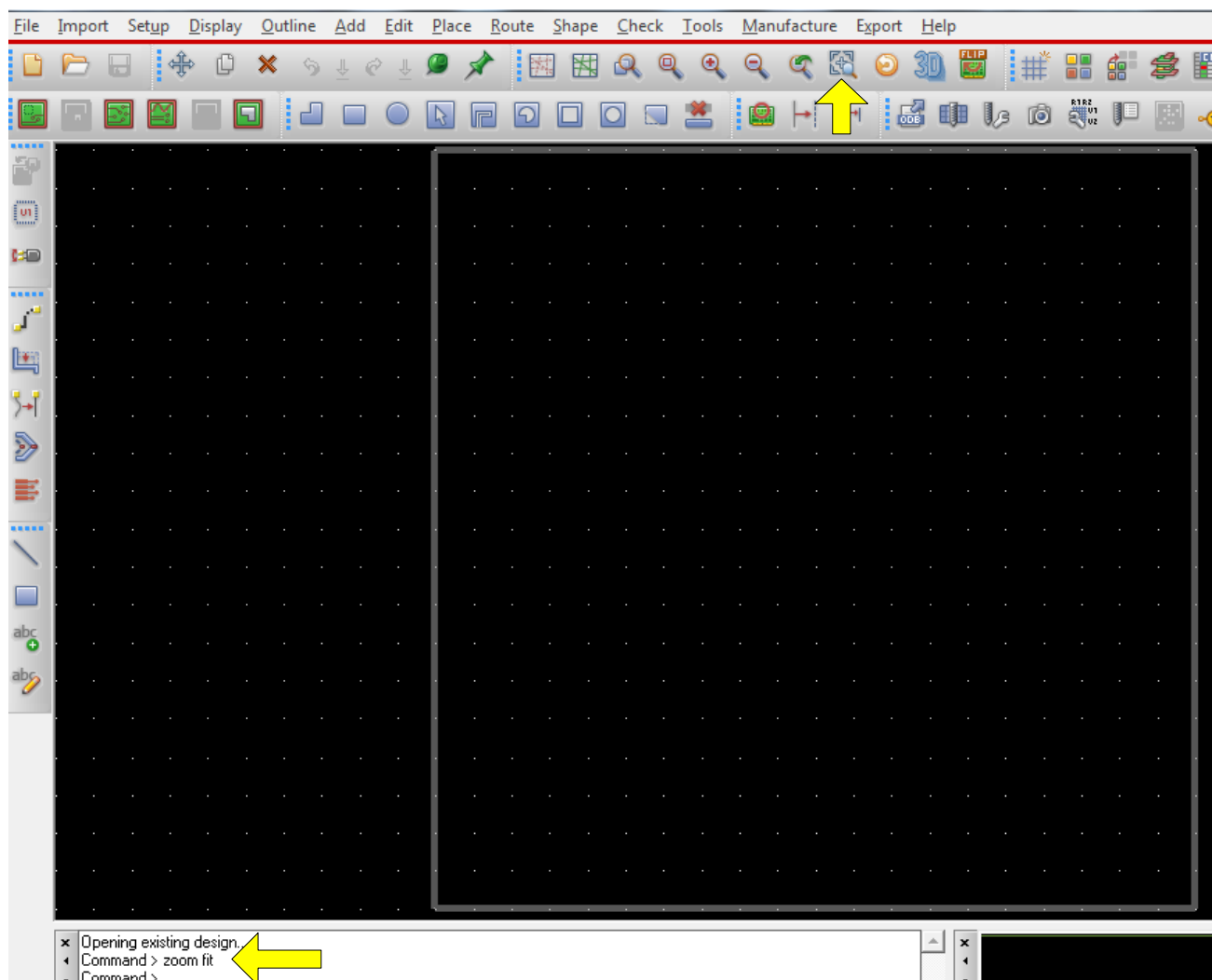


Рис. 21.15. Масштабирование контура платы

8. Для включения сетки нажмите в главном меню значок  Grid Toggle.

9. Для изменения толщины линии контура выделите линию и выберите Line > Change Width.

21.4.2. Добавление монтажных отверстий

После создания контура платы добавим в плату монтажные отверстия.

Чтобы добавить монтажные отверстия в вашей плате, выполните:

1. В меню Place выберите Components Manully. Появится окно Placement.

2. Выберите вкладку Advanced Settings.
3. Установите флажок Library и Database под разделом List construction (рис. 21.16).

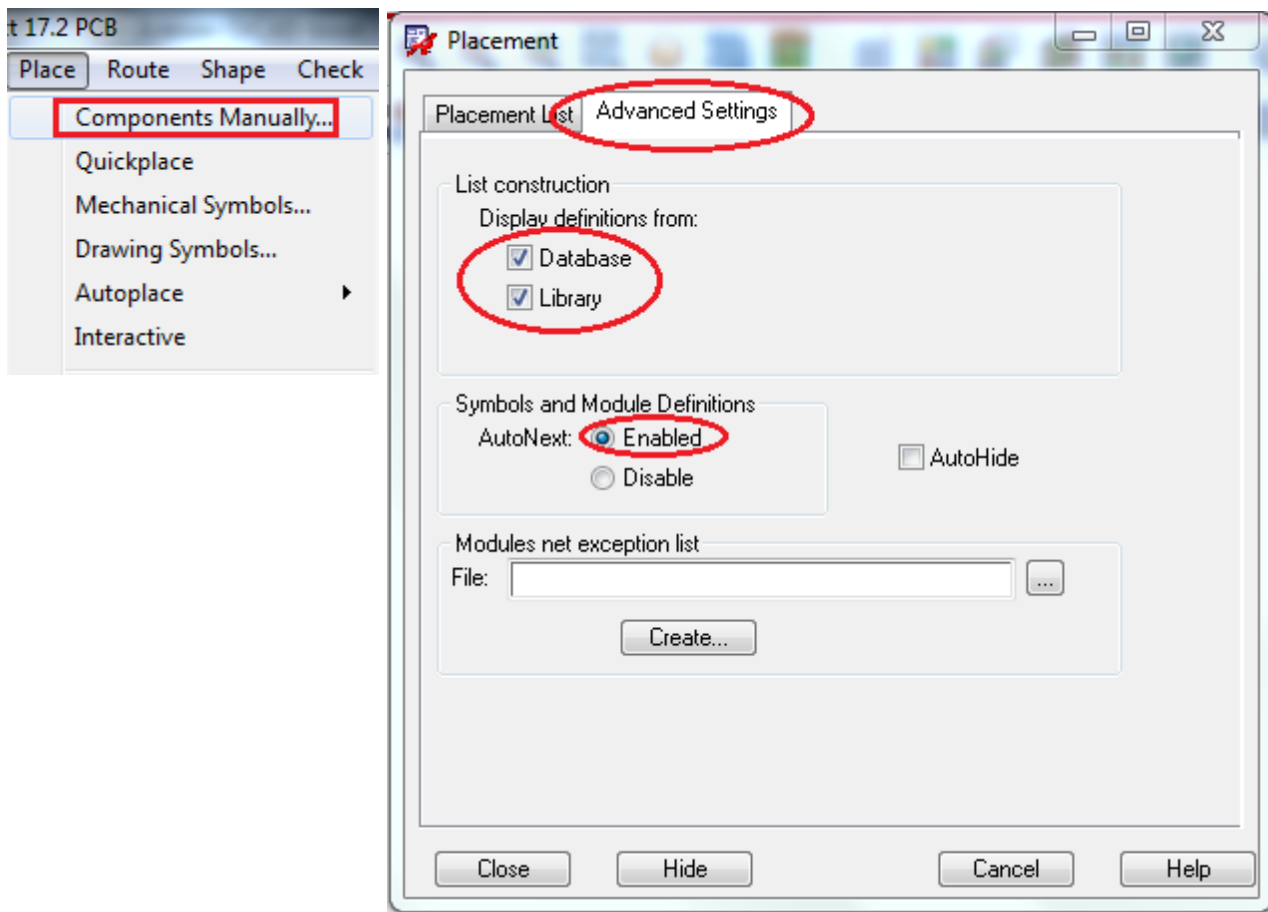


Рис. 21.16. Установка библиотек для компонентов

4. Нажмите кнопку Close, чтобы закрыть диалоговое окно Placement.
5. Снова выберите Components Manully из меню Place.
6. В диалоговом окне Placement выберите вариант Mechanical symbols из выпадающего меню.
7. Выберите нужный механический символ. Для нашего проекта механический символ MTG125 (рис. 21.17).

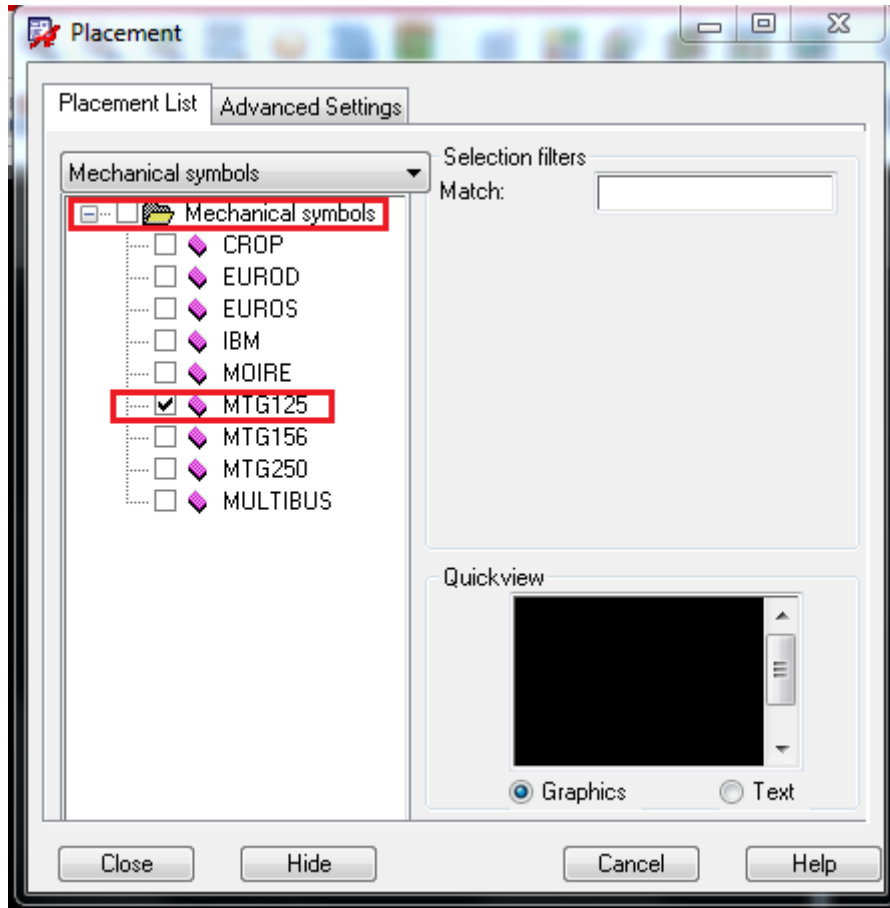


Рис. 21.17. Выбор монтажного отверстия

8. Нажмите кнопку Hide.

9. Диалоговое окно Placement закрывается и механический символ MTG125 прикрепляется к курсору.

10. Переместите механический символ в верхней левый угол окна дизайна платы и щёлкнуть левой кнопкой мыши, чтобы освободить символ.

11. Щёлкните правой кнопкой мыши и выберите пункт Done. Механический символ помещается на плату.

12. Повторите шаги с 5 по 11, чтобы поместить механические символы на остальные три угла окна дизайна. Смотрите рисунок ниже (рис. 21.18).

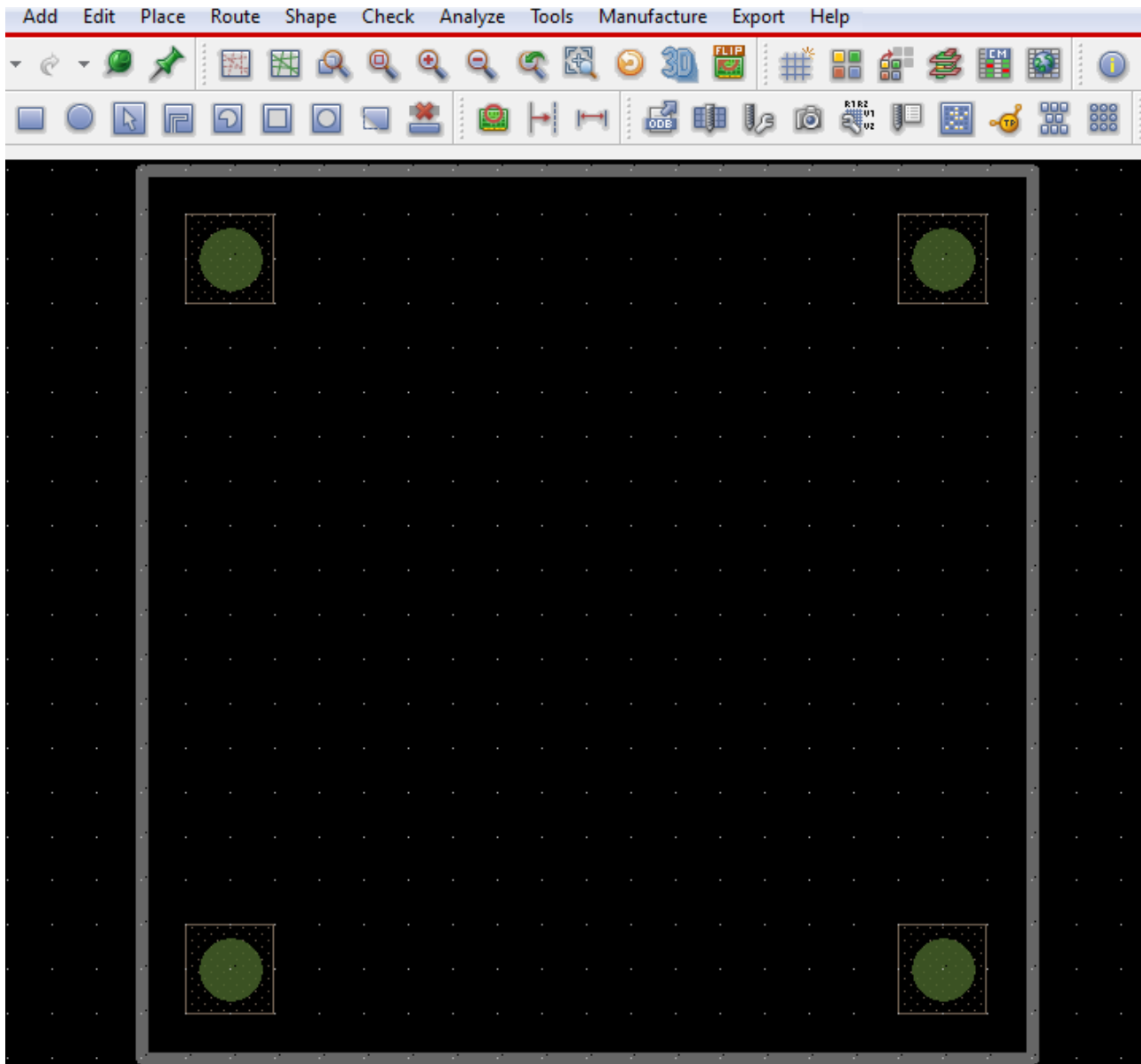


Рис. 21.18. Плата с монтажными отверстиями

Файл наброска образца платы, `fulladd_outline.brd` является доступным по адресу: `/ complete/ Allegro`.

Примечание: В качестве альтернативы, выберите `Copy` из меню `Edit` и, щёлкнув левой кнопкой мыши, поместите механический символ в окне дизайна. Выбранный механический символ прикрепляется к курсору. Передвигая символ в нужное место в окне дизайна, щёлкните левой кнопкой мыши, чтобы освободить символ. Теперь, щёлкните правой кнопкой мыши и выберите пункт `Done`.

Для удаления компонента из дизайна надо выделить компонент левой кнопкой мыши, нажать правую кнопку и на вкладке `Symbol` выбрать `Unplace component` (рис. 21.19).

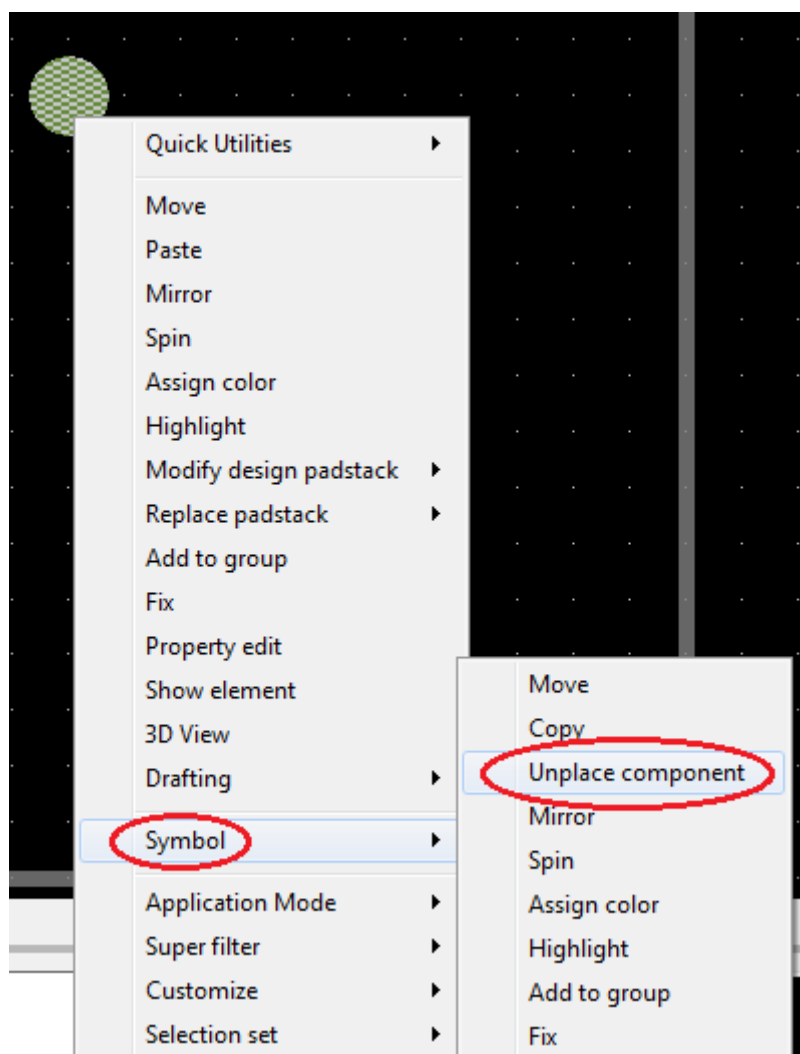


Рис. 21.19. Удаление компонента

21.5. Размещение компонентов

После того, как вы создали контур платы, вы можете начать размещение ваших компонентов на плате. OrCAD PCB Editor поддерживает как размещение вручную, так и автоматическое размещение компонентов.

В этом разделе мы будем использовать размещение вручную, чтобы создать печатную плату для дизайна полного сумматора. Существуют различные способы, которыми вы можете выбрать компонент для размещения. В этом проекте вы научитесь размещать компоненты лишь с помощью RefDes.

21.5.1. Выбор компонентов с помощью RefDes

1. В меню Place выберите Manually. Появится диалоговое окно Placement, отображающее в структурном дереве все компоненты, которые вы можете разместить в вашем дизайне. Например, для нашего случая папка Components by refdes содержит компоненты: J1, Q1, R1, R2, U1, U2, U3 и U4.

Примечание: только неразмещенные компоненты отображаются в окне Placement.

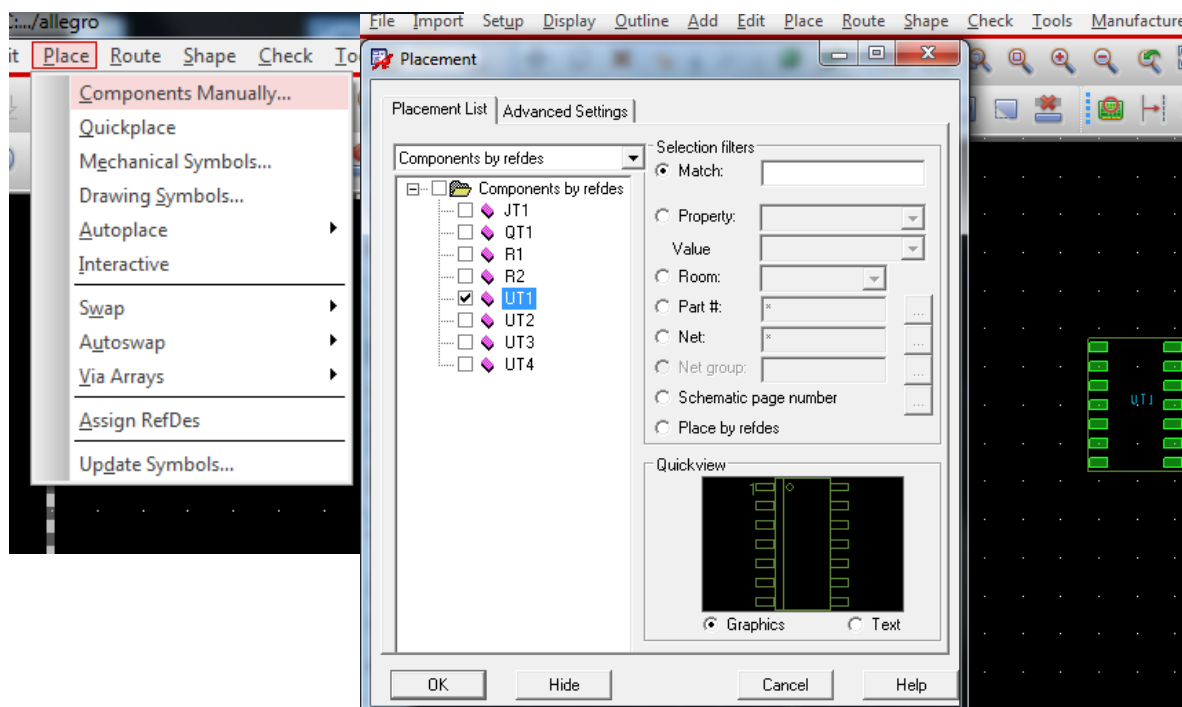


Рис. 21.20. Размещение компонента U1

Примечание: Вы также можете выбрать все компоненты одного типа, поставив галочку рядом со значком папки.

Примечание: Окно Quickview отображает корпус для выбранного компонента в графике и текстовом режиме.

2. Выберите компонент U1, установив флажок, как показано на рис. 21.20.

3. Нажмите Hide. Диалоговое окно Placement закроется, и имя (имена) компонента, в данном случае, U1, который вы выбрали, прикрепится к курсору.

4. Переместите компонент в нужное место, щёлкните правой кнопкой мыши и выберите Done.

Чтобы повернуть компонент, щёлкните правой кнопкой и выберите Rotate (Spin) из всплывающего меню.

Примечание: Убедитесь, что угол поворота определяется в панели Options. Для нашего проекта угол поворота 90 (рис. 21.21).

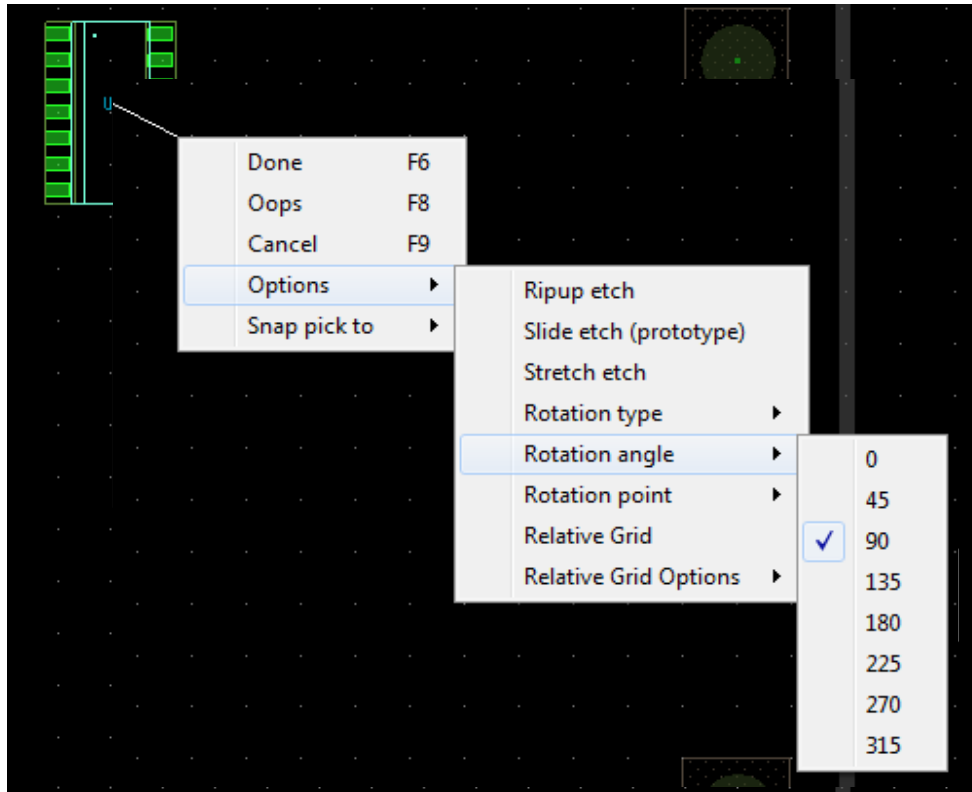


Рис. 21.21. Установка параметров поворота компонента

5. Поверните компонент в направлении против часовой стрелки и щелкнуть левой кнопкой мыши, чтобы освободить компонент (Рис. 21.22).

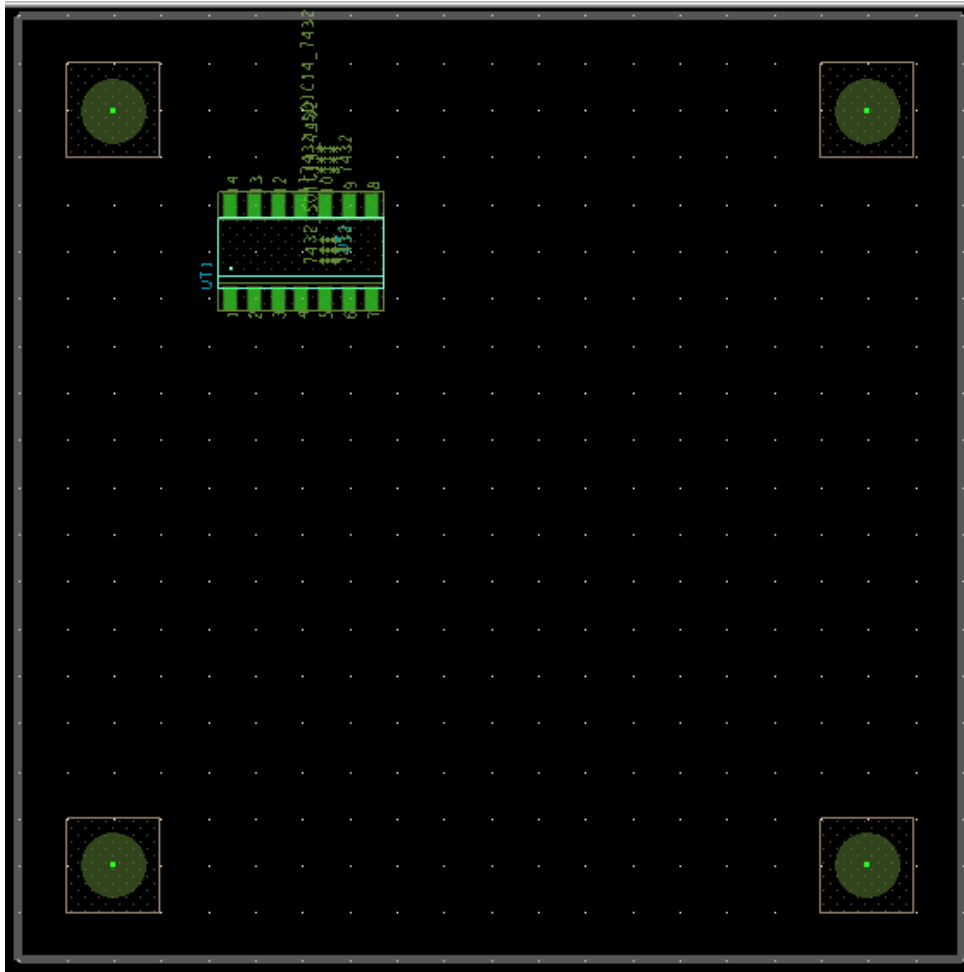


Рис. 21.22. Положение компонента U1 после поворота

6. Повторите шаги 2 - 5, пока все компоненты, доступные в диалоговом окне Placement, не будут размещены в окне дизайна, как показано на рис. 21.23. Обратите ваше внимание на то, что показанное расположение компонентов на плате будет соответствовать итоговому виду разводки. Рекомендуем вам выполнить такое же расположение с учетом положения первых выводов, обозначенное точками на корпусах и показанное стрелками на рис. 21.23.

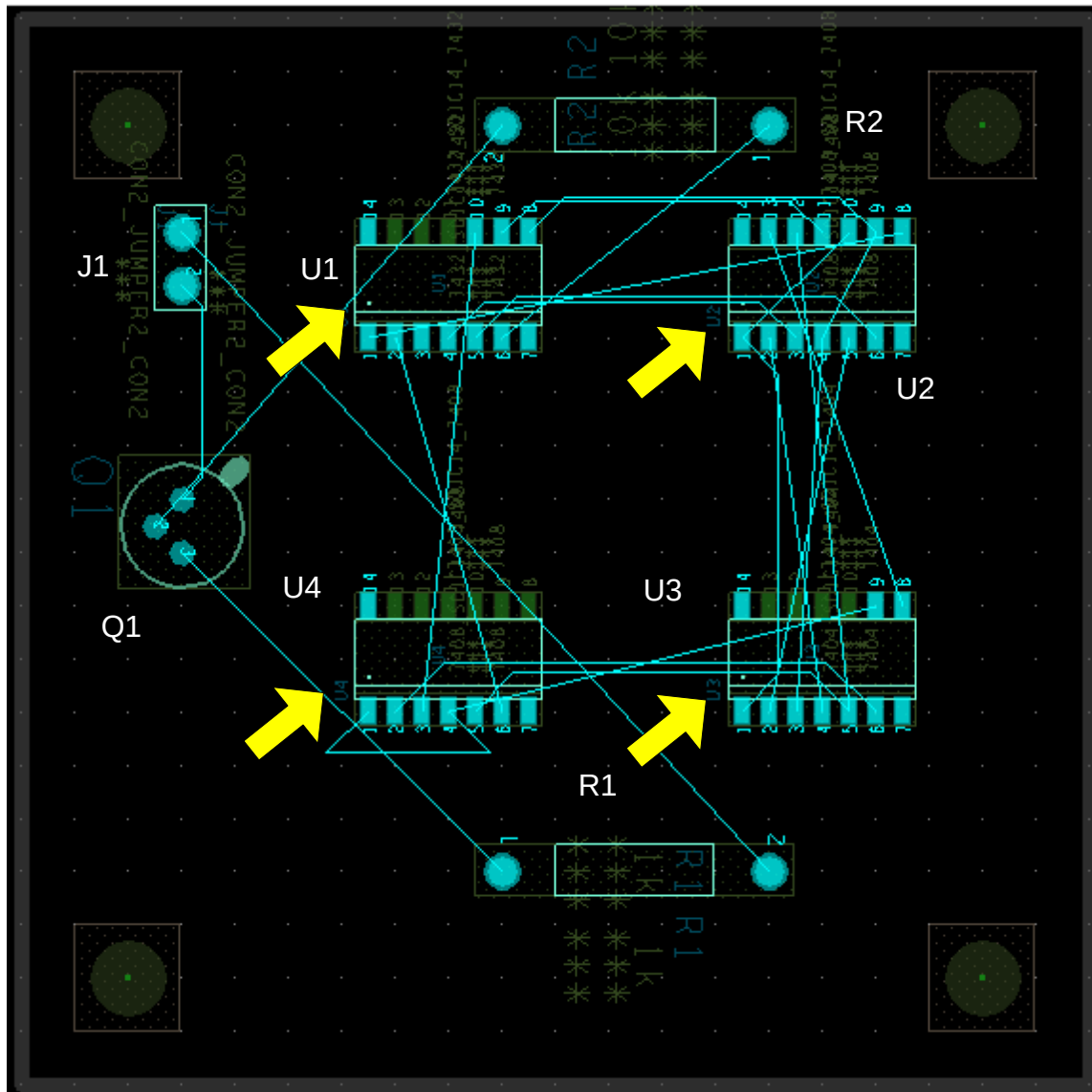


Рис. 21.23. Плата с размещенными компонентами

Файл образца платы с размещёнными компонентами, fulladd_placed.brd доступен по адресу: /complete/allegro.

7. Выберите Refresh из меню View, чтобы обновить экран (рис. 21.24).

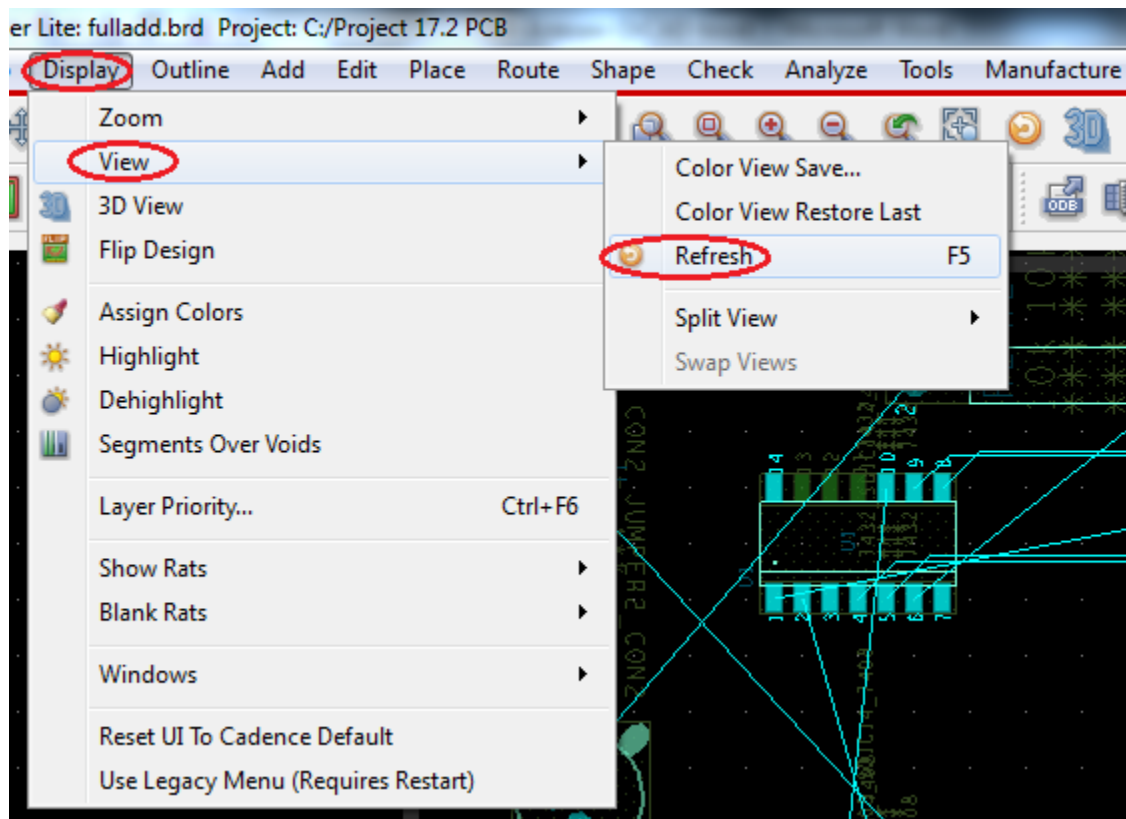


Рис. 21.24. Обновление экрана

21.5.2. Поиск компонентов на плате

Чтобы найти компонент в редакторе печатных плат, выполните следующее:

1. Откройте панель Find (рис. 21.25);

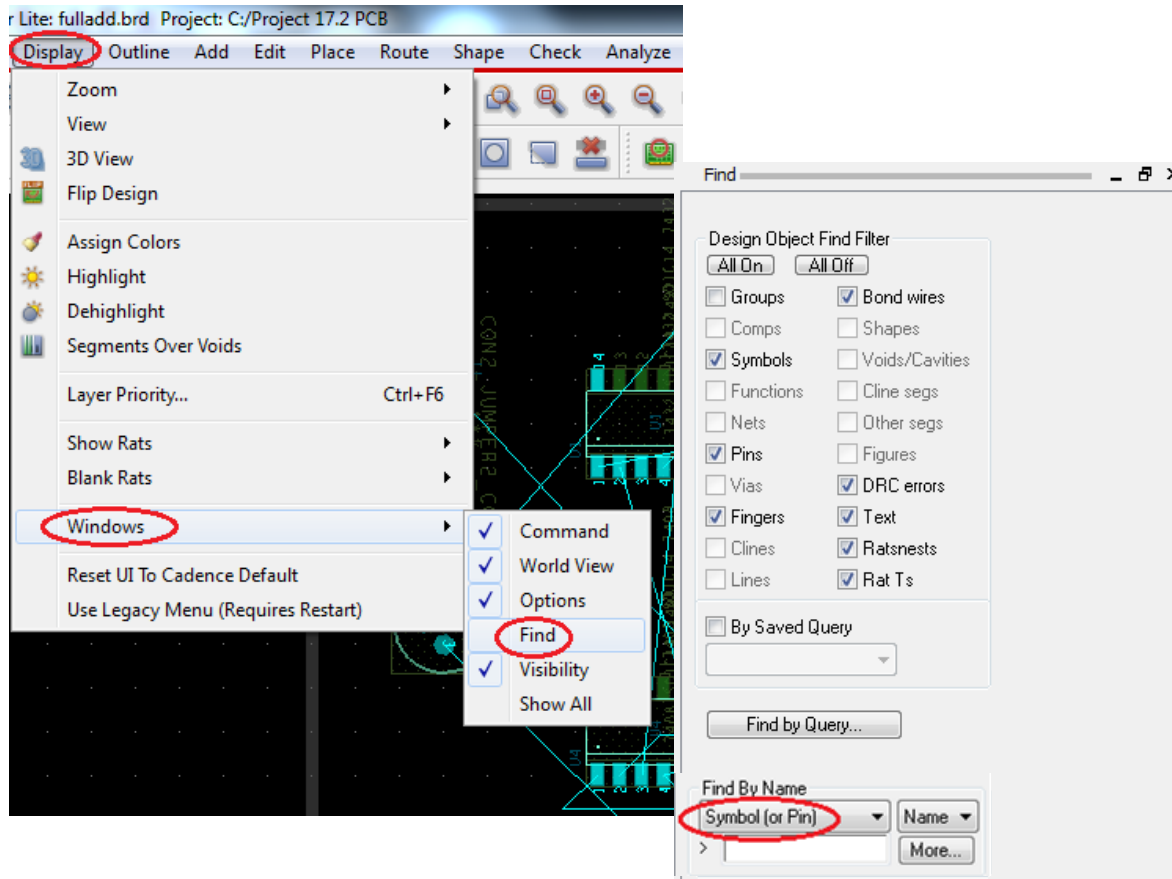


Рис. 21.25. Открытие панели поиска Find

2. В меню Find панели окна редактора печатных плат:

- Выберите опцию Symbol(or Pin) в раскрывающемся списке Find By Name.
- Нажмите кнопку More (дополнительно). Диалог Find by Name or Property появится в раскрывающемся меню, отображающий все доступные компоненты.
- Выберите компонент, который вы хотите найти. Выбранный компонент появится в окне Selected objects.
- Нажмите Ok. Компонент высветится с окне проектирования (рис. 21.26).

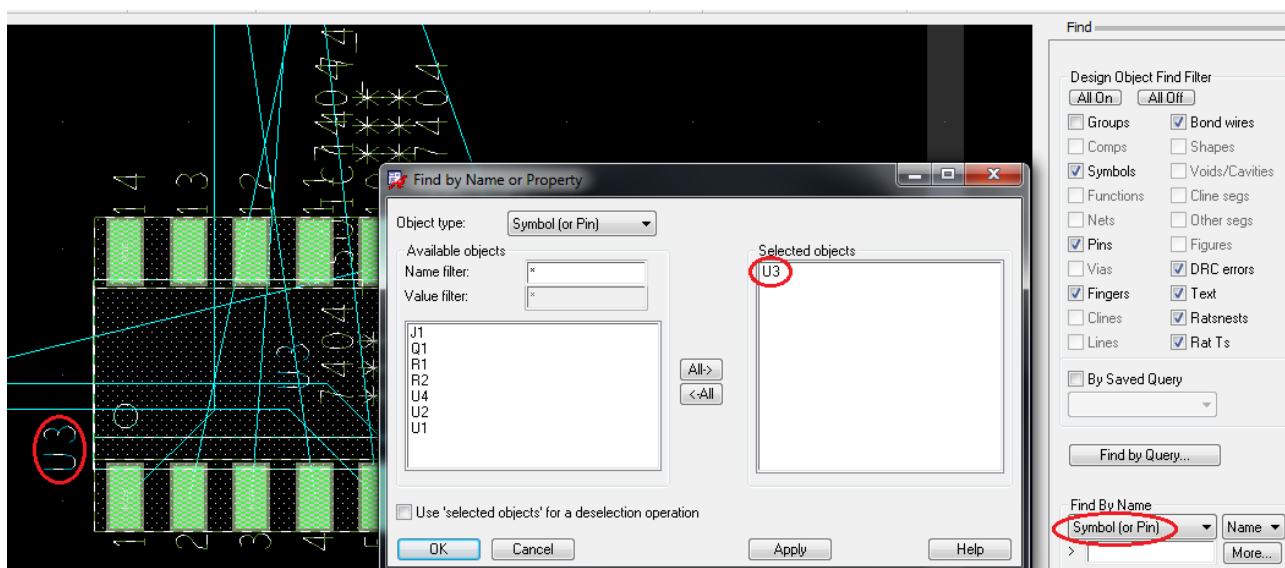


Рис. 21.26. Поиск компонента U3

Вы можете найти цепь в редакторе печатных плат. Чтобы найти цепь, в меню Find нажмите All On в Design Object Find Filter и установите стрелку напротив Net. В окне Find By Name выберите Net и нажмите More. В открывшемся окне Find by Name or Property установите Net. Откроется список цепей и Вы можете найти нужную цепь, например, N00061 (рис. 21.27). На печатной плате эта цепь будет выделена пунктиром.

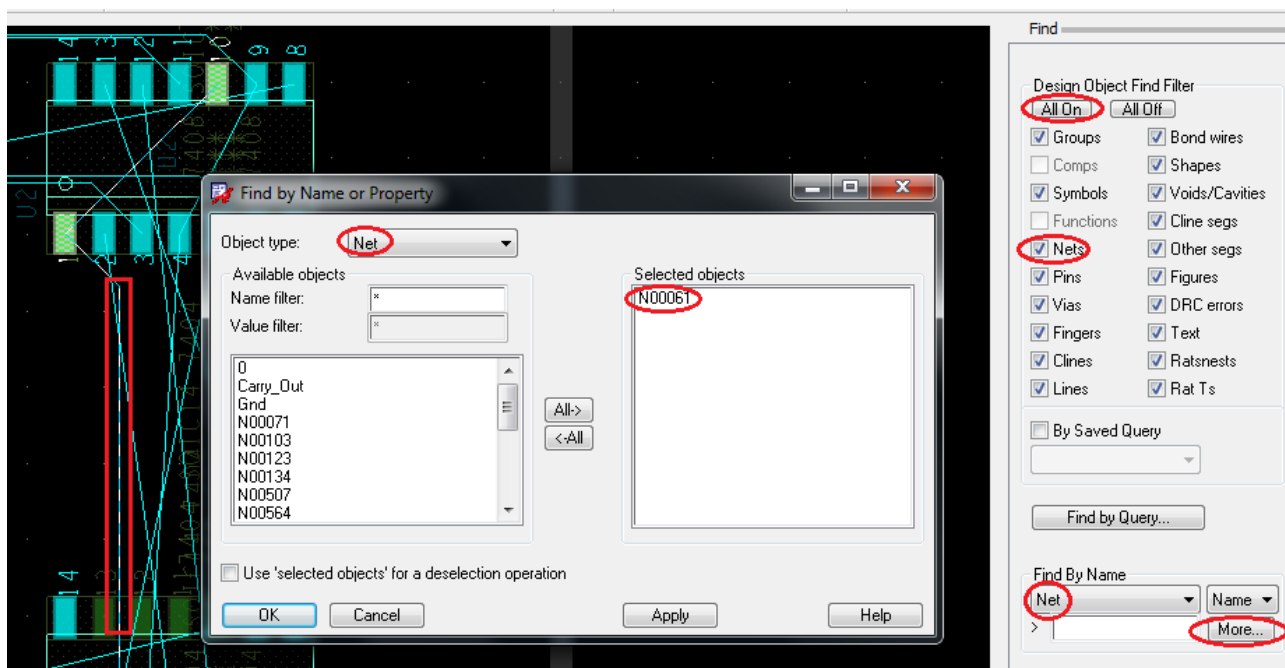


Рис. 21.27. Выделение нужной цепи N00061

Можно выполнить поиск цепи или объекта по запросу. Для этого нажмите Find by Query, выберите Net и нажмите More. В открывшемся окне выберите из объектов Net. В полях выберите Net Name, а затем нужную цепь, например, N00103. Эта цепь отобразится пунктиром (рис. 21.28). Результаты поиска будут сохранены в папке проекта печатной платы.

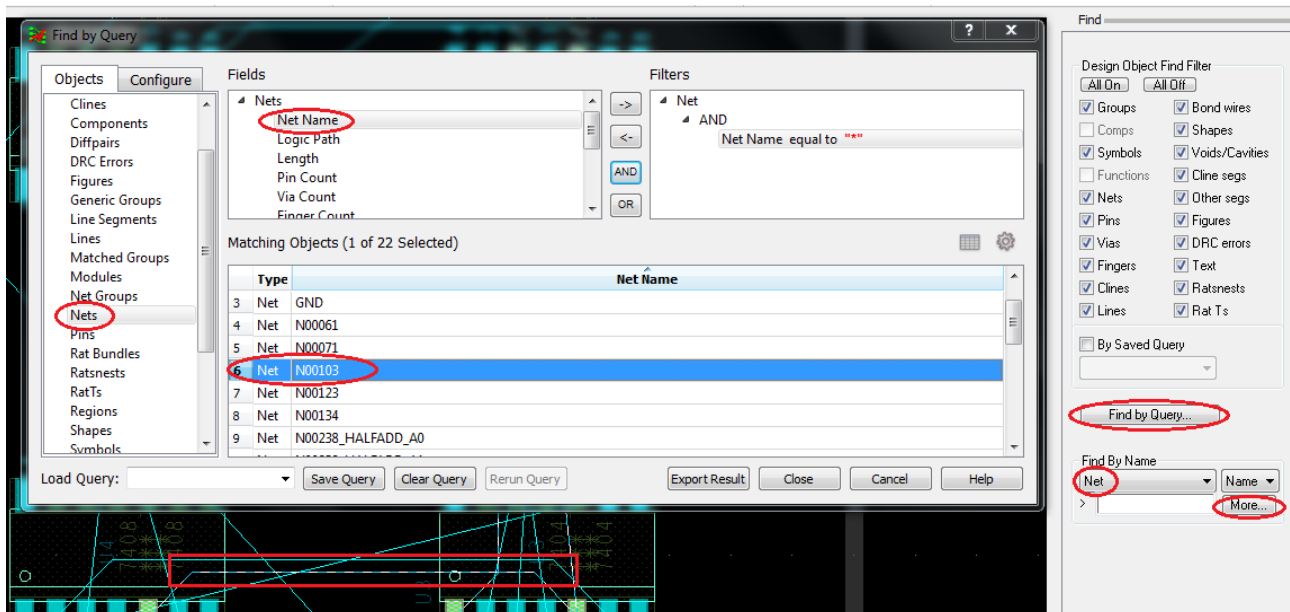


Рис. 21.28. Поиск цепи по запросу

Если потребуется, можно изменить цвет каждой цепи, выполнив Set-up>Colors>Nets (рис. 21.29).

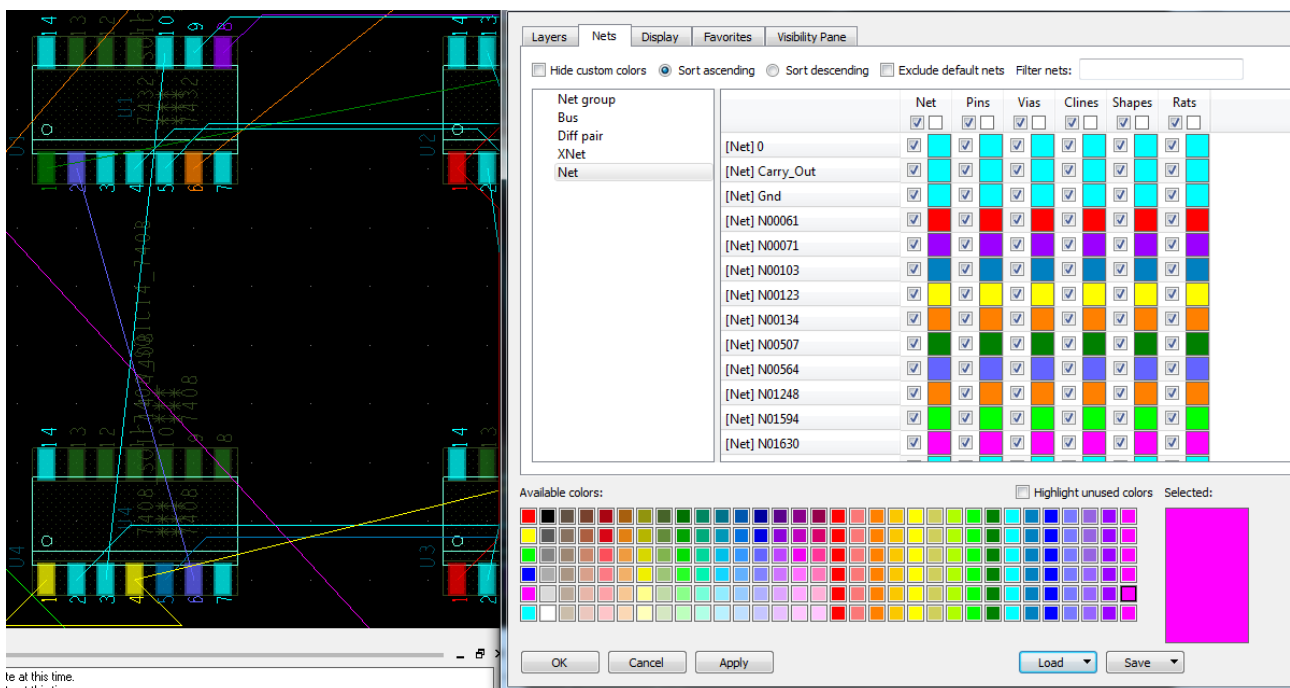


Рис. 21.29. Изменение цветов цепей

21.5.3. Проверка правил разработки

PCB Editor позволяет запускать проверку правил разработки DRC онлайн (On) или в пакетном режиме (Off). По умолчанию включено On. При размещении компонентов, если есть какие-либо нарушения правил проектирования, маркеры ошибок отображаются на плате.

Примечание. Чтобы запустить DRC в режиме онлайн, выберите *Enable On-Line DRC* в меню Setup (рис. 21.30).

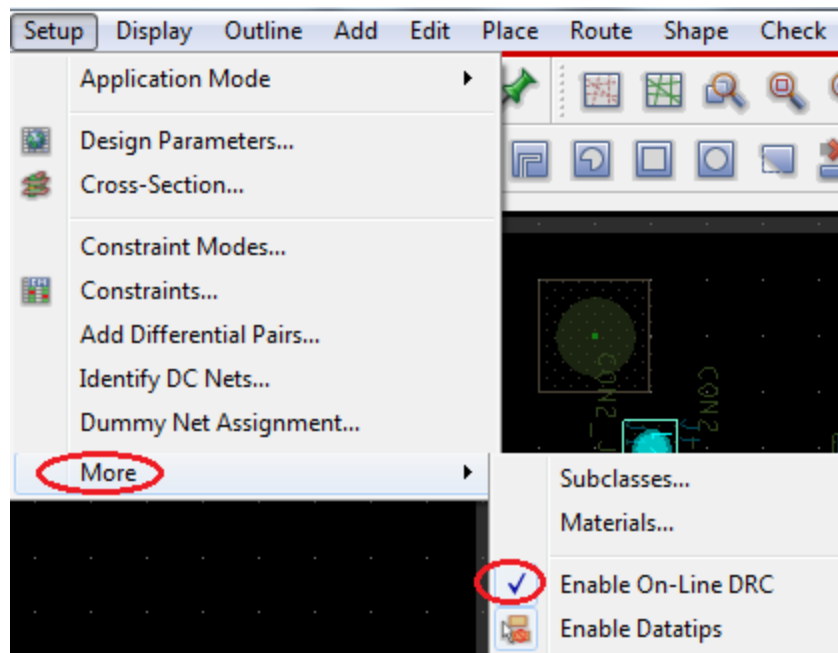


Рис. 21.30. Запуск проверки правил разработки

Чтобы проверить основные расстояния и физические ограничения для дизайна вашей платы, выберите *Setup - Constraints - Spacing*. Появится окно с указанием настроек по умолчанию. Для нашего проекта мы примем значения по умолчанию. Allegro Constraint Manager позволяет выполнить разнообразные проверки дизайна-электрические, физические и пр. (рис. 21.31).

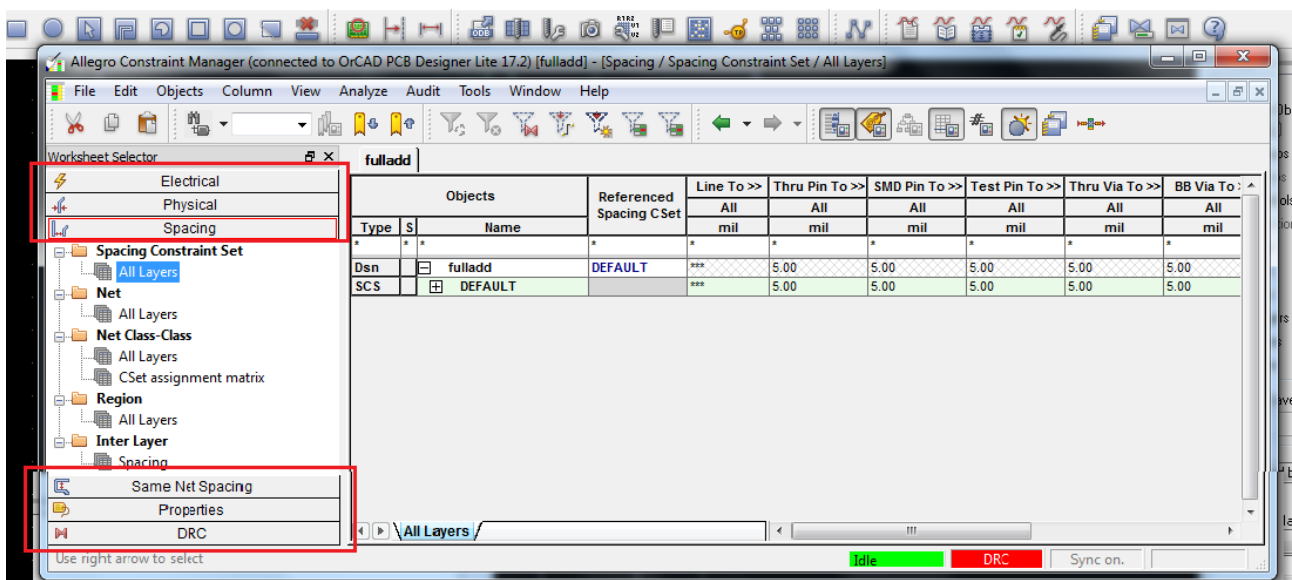


Рис. 21.31. Проверка правил разработки печатной платы

21.6. Использование категории DataTip

Конструкции становятся более плотными и различить определённый элемент в плотной конструкции может быть сложно. Чтобы помочь вам выбрать

правильный элемент, наведя курсор, над выделенным элементом появляется контекстно-зависимая информация DataTip, которая идентифицирует элемент. DataTip будет появляться над панелью команд консоли окна, если установить переменную `datatips_fixedpos` в меню Setup>User Preferences (рис. 21.32).

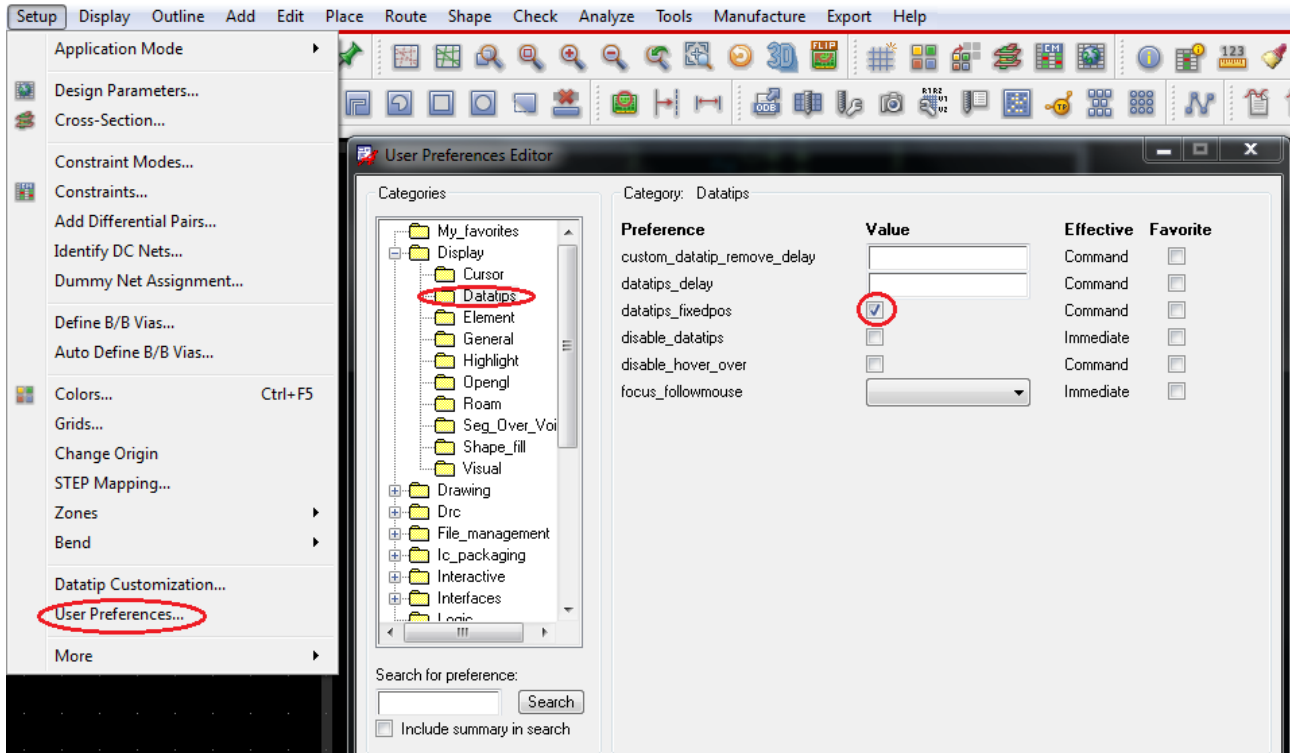


Рис. 21.32. Установка переменной `datatips_fixedpos`

Можно выводить дополнительные параметры, установив Setup>DataTips Customization (рис. 21.33).

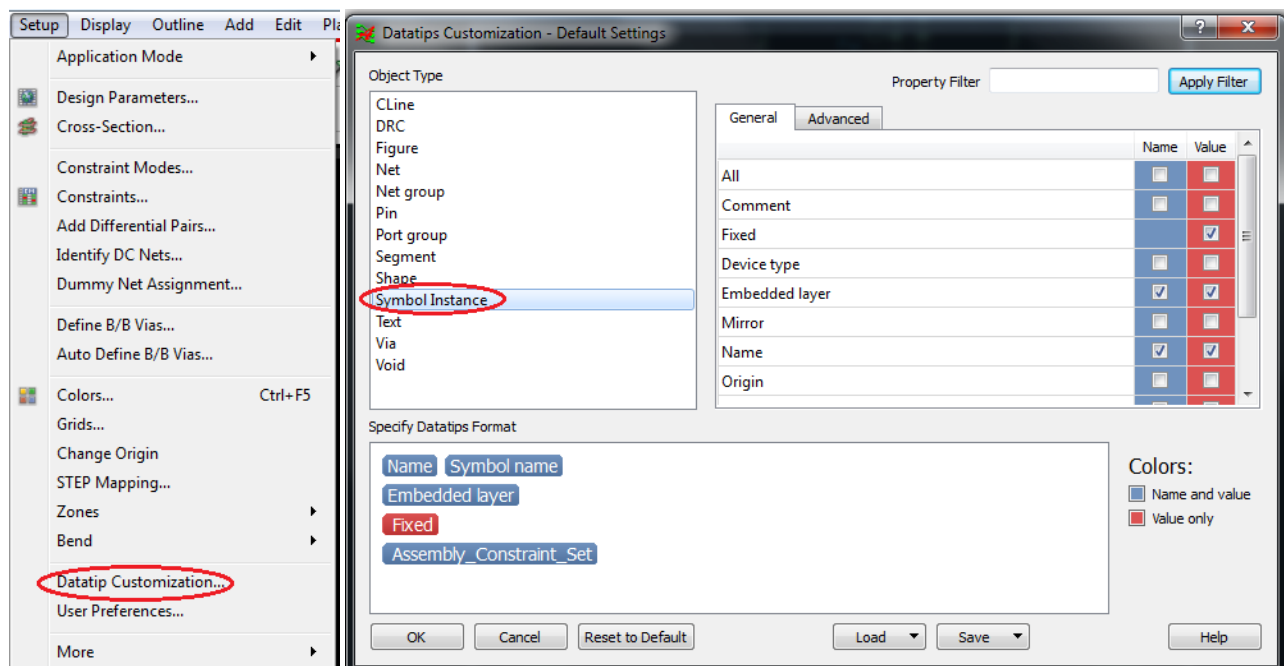


Рис. 21.33. Дополнительные параметры образца символа

21.7. Выделение области

Этот инструмент позволяет выделять элементы конструкции одним из выбранных инструментов набора выделения. Команды, которые работают при этом выборе набора, затем появляются на правой кнопке мыши всплывающего окна меню (рис.21.34). Чтобы снять выбор, нажмите Clear all Selections. При нажатии правой кнопкой Selection Set появляются варианты выделения области. Вы можете выбрать подходящий (Polygon) и он станет постоянным (Persistent) до сброса.

Для переключения режима надо выполнить Persistent Off.

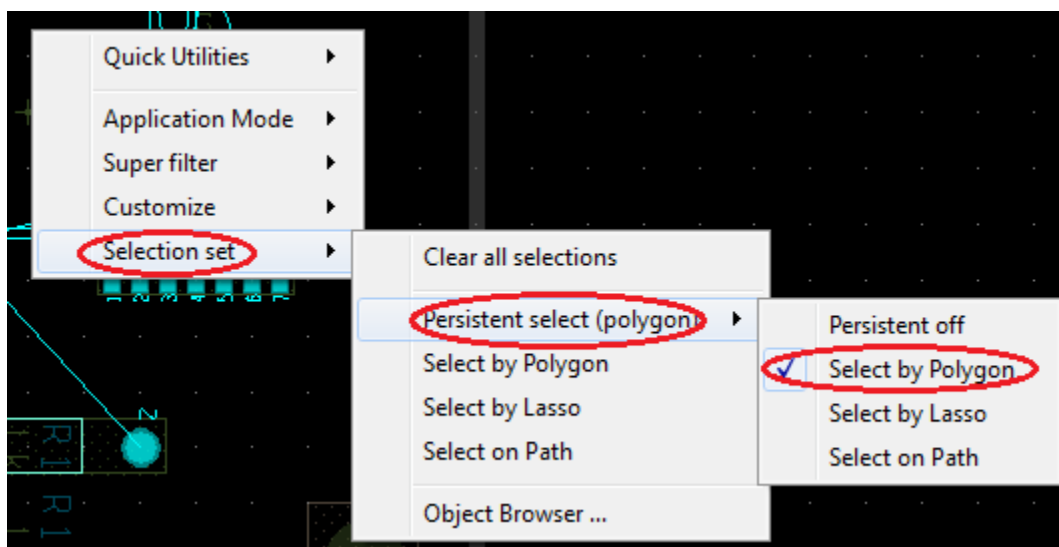


Рис. 21.34. Выбор области выделения

На рис. 21.35 показано выделение области, используя Polygon.

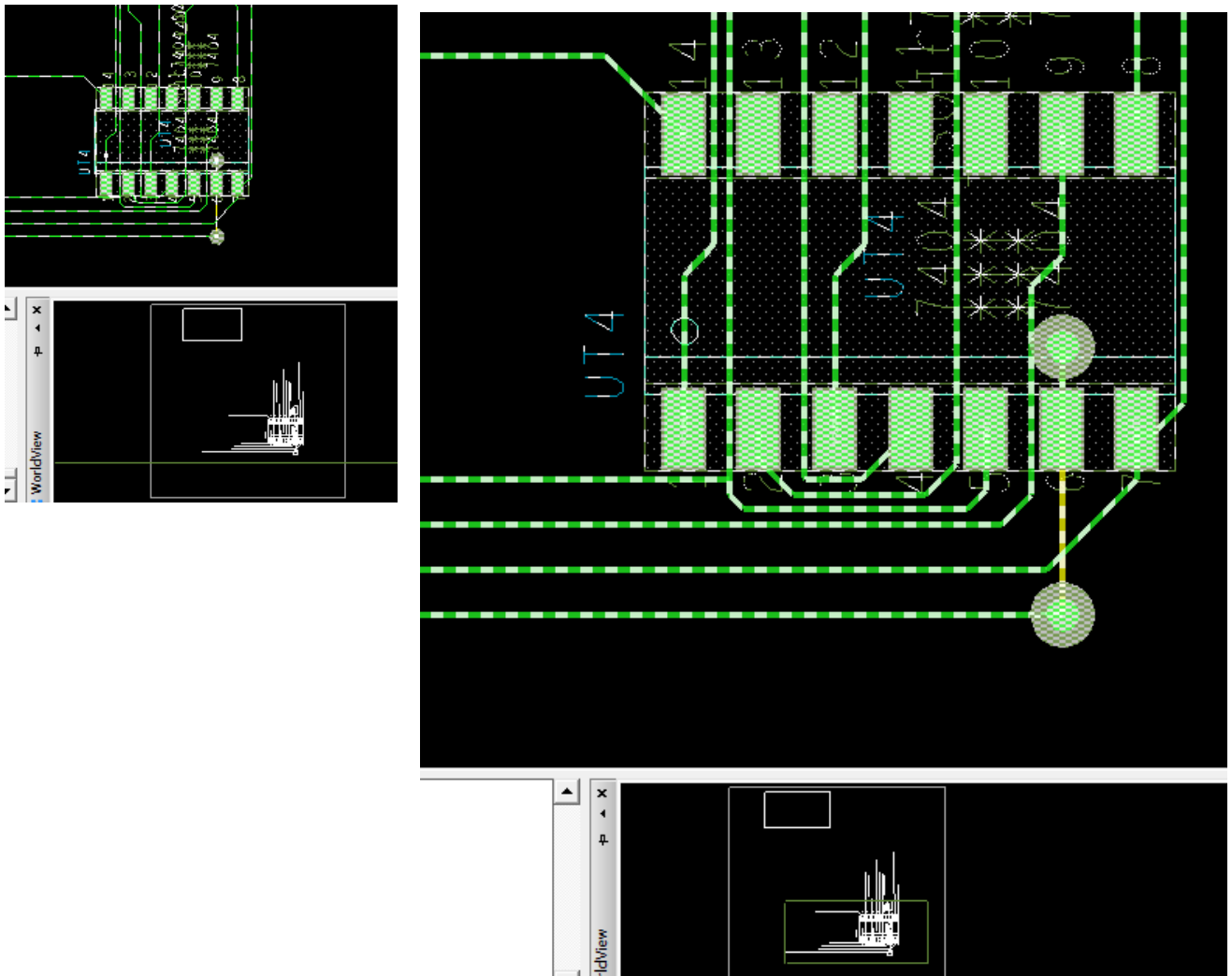


Рис. 21.35. Выделение области, используя Polygon

21.8. Выбор элементов дизайна с помощью Superfilter

Superfilter позволяет выбрать конкретный тип элемента для более точного выбора и временно отключить все остальные элементы. Для этого правой кнопкой мыши надо открыть всплывающее меню и отметить нужный для поиска тип объекта. На рис. 21.36 выбираются будут только цепи, а на рис. 21.37 будут выбираться символы из всплывающего меню правой кнопкой мыши, а не через окно Find.

По умолчанию для Superfilter установлено значение Off (Выкл.). Это означает, что выбираются все объекты в конструкции (нефильтрованный выбор).

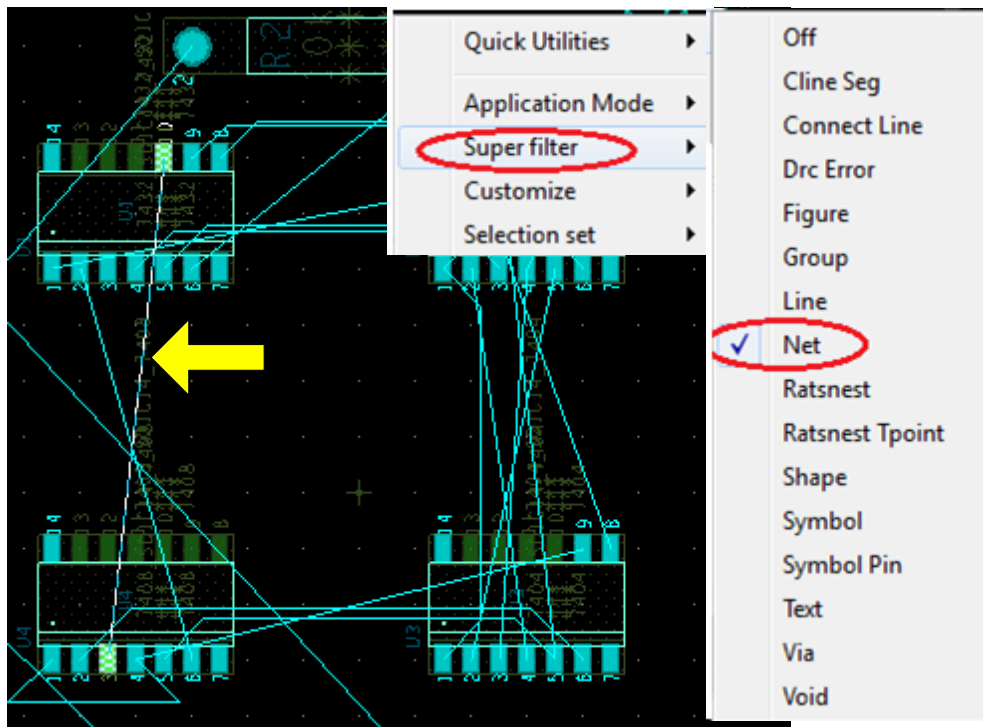


Рис. 21.36. Выбор только цепей суперфильтром

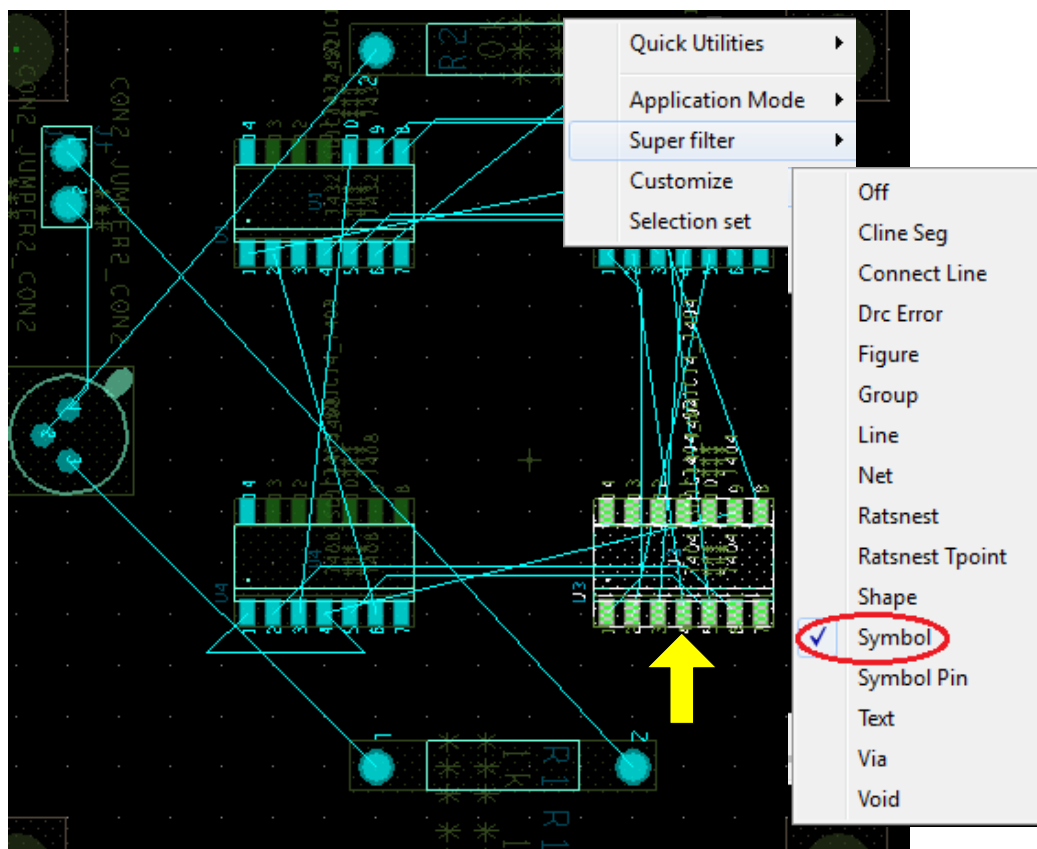


Рис. 21.37. Выбор только символов суперфильтром

21.9. Общие параметры на всплывающих меню

Во всплывающем меню после нажатия правой кнопки мыши можно выполнять дополнительные функции, а также будут доступны различные варианты.

Quick Utilities позволяет получить доступ к часто используемым функциям, таким как Undo, Design Parameters, Grids, Change active subclass (рис. 21.38).

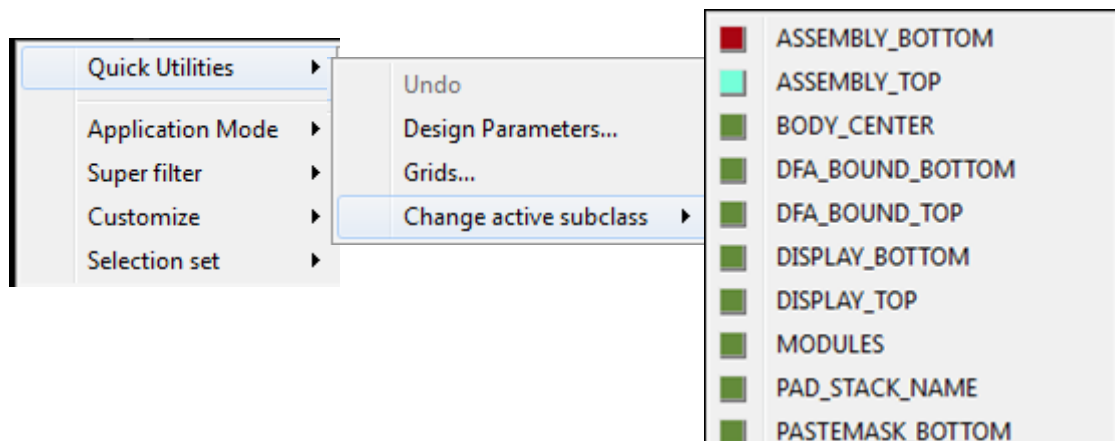


Рис. 21.38. Всплывающие меню из Quick Utilities

Щелчок правой кнопкой мыши на элементе конструкции открывает более подробное содержание всплывающих меню (рис. 21.39). Рекомендуем ознакомиться с опциями этих меню.

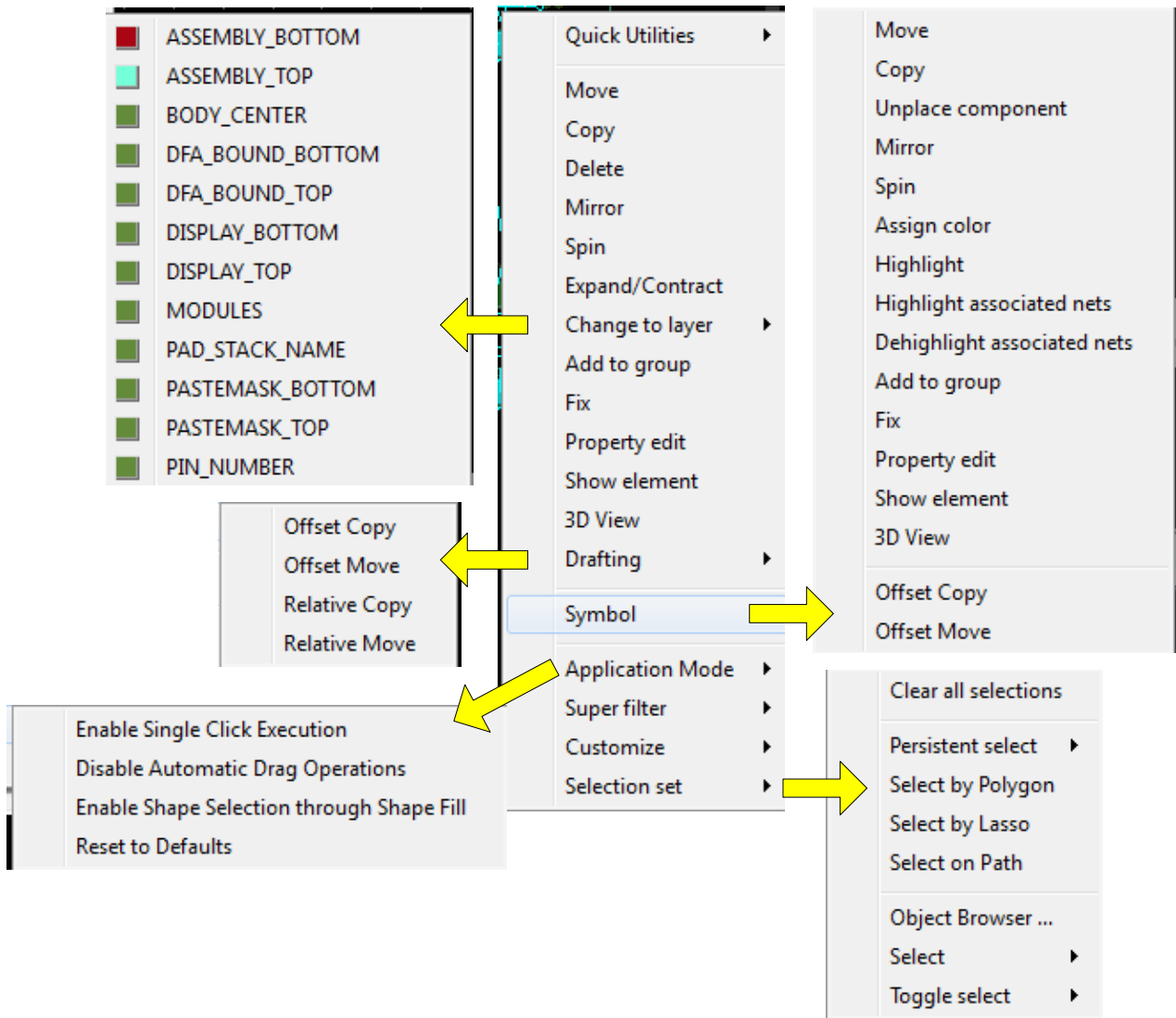


Рис. 21.39. Всплывающие меню после щелчка на элементе конструкции

21.10. Описание режима привязки

Если команда выполняется на подмножестве набора компонентов или на иерархических блоках, то соответствующие элементы надо добавить к набору, а остальные части проекта игнорируются.

Для этого выполняют привязку компонентов.

Режим привязки доступен, когда даётся интерактивная команда редактирования, например, *Move* или *Copy*. При этом правой кнопкой открывается меню, содержащее команды *Snap pick to* (Привязать к ..), *Persistent Snap* (Shape Center) и прочие (рис. 21.40). Можно нарисовать дорожку проводника близко к контакту, щелкнуть правой кнопкой мыши и выбрать *Snap pick to>Pin* (привязать к пину). Это удобно для других целей, таких как сквозные отверстия (Via).

По желанию можно контролировать как отправную точку выбора, так и точку назначения. Привязка к точке достигается от текущего положение мыши к выбранному режиму привязки и зависит от режима привязки и типа объекта

привязки. Если объекты не доступны, привязка будет неудачна. Появится сообщение в окне командной строки, указывающее, что привязка оказалась неудачной. Подробнее об этих режимах следует читать в полном руководстве по OrCAD 17.2 от компании Cadence.

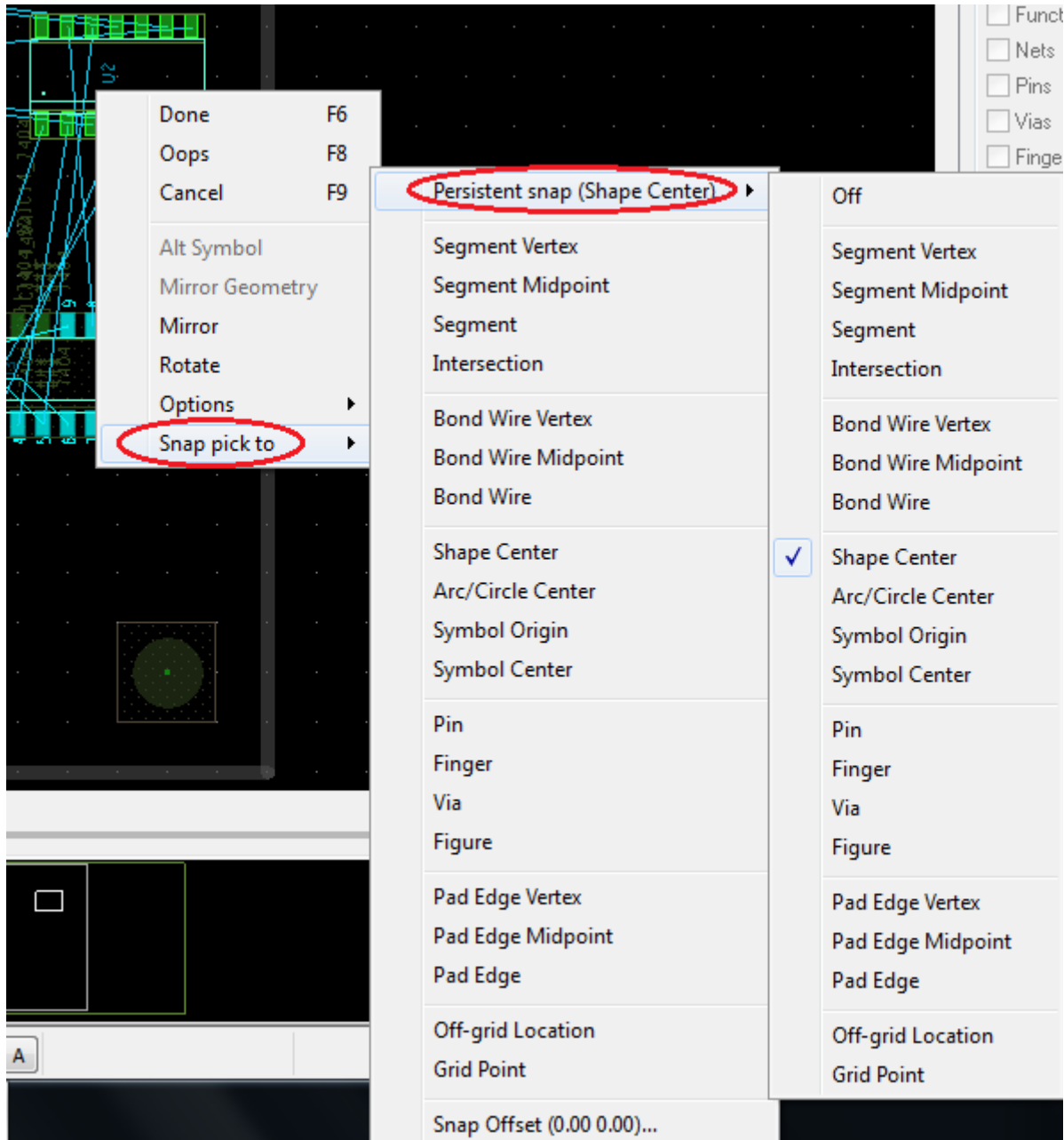


Рис. 21.40. Установки режима привязки

21.11. Использование панели окна WorldView

Есть три способа, которыми вы можете контролировать вид конструкции с помощью окна WorldView:

- Для отображения конкретных областей дизайна
- Для прокрутки дизайна
- Для увеличения или уменьшения масштаба конструкции

В окне просмотра (позиционирования) открывается дополнительное меню (рис. 21.41).

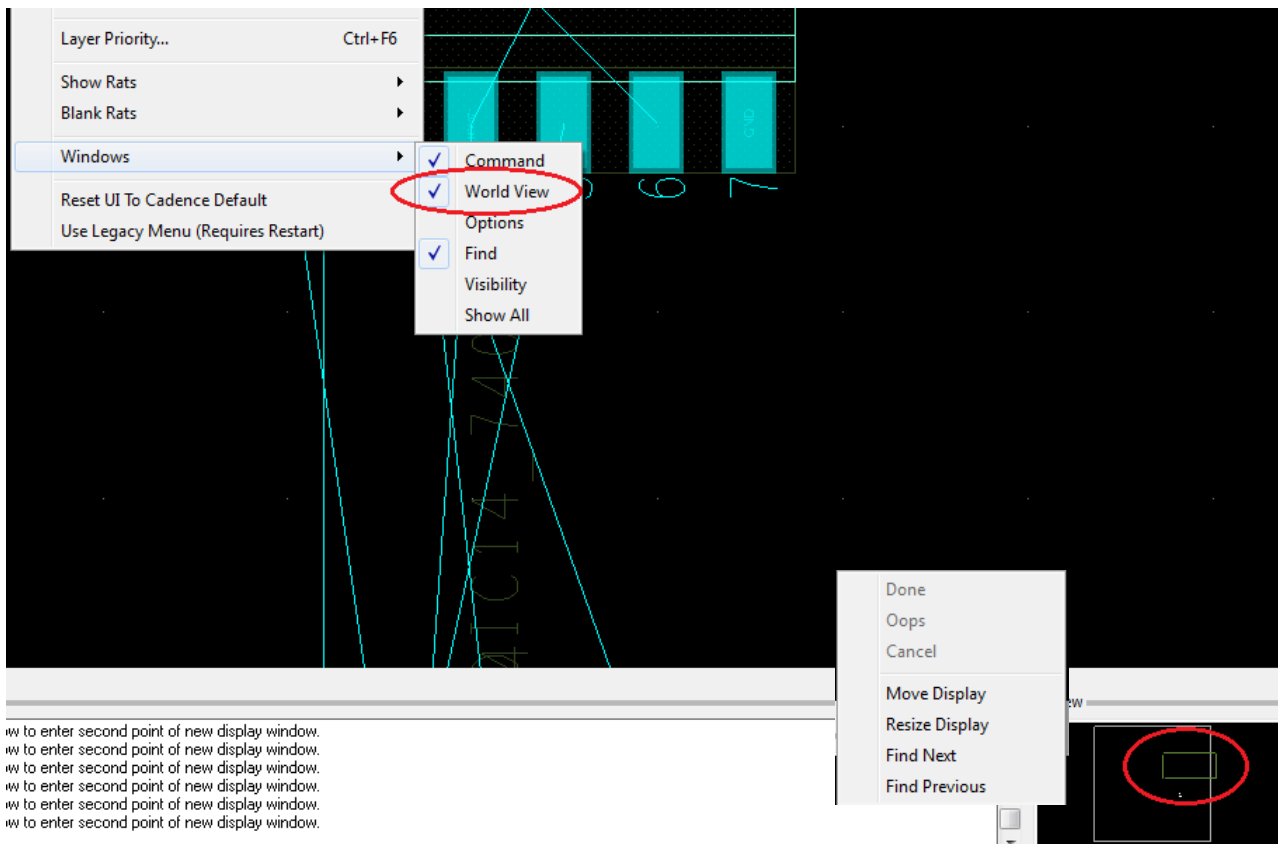


Рис. 21.41. Работа с окном WorldView

Для отображения платы в полном размере надо выделить границу и нажать кнопку Zoom Fit или в командной строке набрать zoom fit (рис. 21.42).

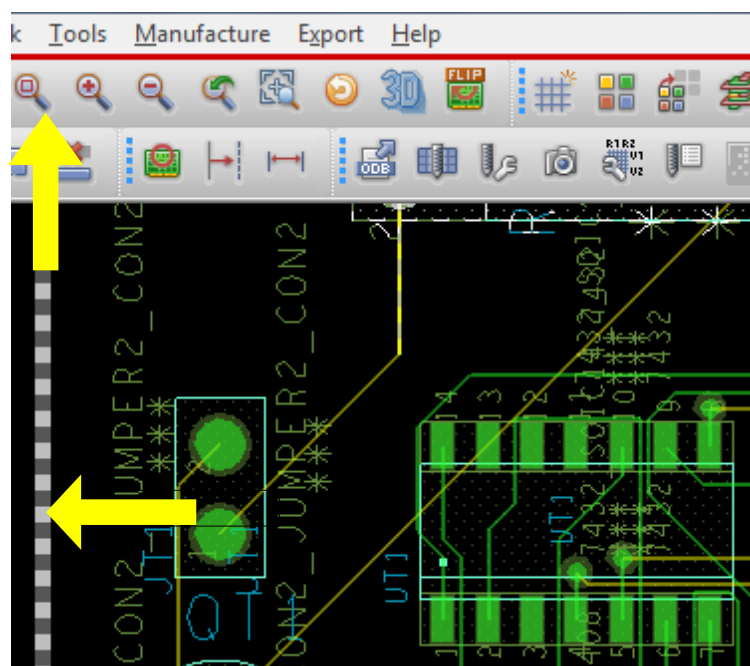


Рис. 21.42. Возврат к исходному масштабу платы

21.12. Маршрутизация

После завершения размещения компонентов на плате, вы можете сделать маршрутизацию (трассировку) платы полного сумматора для выполнения электрических соединений между компонентами. OrCAD PCB Editor поддерживает как ручную маршрутизацию так и автомаршрутизацию. Обычно наиболее важные цепи сначала разводят вручную, закрепляют их, а затем выполняют автоматическую маршрутизацию (разводку) остальной части платы.

21.12.1. Руководство по маршрутизации

Шаги, используемые в процесс ручной маршрутизации, следующие:

- Проверьте контур платы с помощью определений, маршрутизации и с помощью сеток.
- Выполните разводку питания и земли.
- Просмотрите поверхностный монтаж устройств и проверьте подключение к сети питания и заземлению.
- Разведите остальные сигналы с помощью ручной маршрутизации.
- Выполните оптимизацию маршрутизации с использованием ручных команд.
- Проверьте наличие нарушений промежутков трасс и проверьте статистику маршрутизации.

Примечание: Чтобы узнать больше о каждом из этих этапов, см. документацию PCB Editor.

21.12.2. Ручная маршрутизация цепей VCC и GND.

Перед тем, как начать маршрутизацию цепей VCC и GND, убедитесь, что вы удалили свойство NO_RAT, прикрепленное к этим цепям. Чтобы удалить это свойство:

1. Выберите Object Properties в меню Edit или нажмите клавишу F12.
2. В панели Find выберите опцию Net (если она ещё не выбрана) из раскрывающегося списка Find By Name.
3. Введите VCC и нажмите кнопку More (рис. 21.43)

На плате высветятся проводники VCC. Выделите проводник и выберите Properties Edit.

Появится диалоговое окно Edit Property, отображающее все свойства, относящиеся к цепи VCC.

4. Выберите свойство NO_RAT в списке Available Properties. Установленные свойства отображаются в панели на правой части диалогового окна (рис. 21.43).

Дополнительные сведения о свойствах редактора печатных плат см. в документации PCB Editor.

5. Установите флажок Delete рядом с именем свойства No_Rat.

6. Сделайте пустым меню Value.
7. Нажмите кнопку Apply.
8. Нажмите кнопку OK, чтобы закрыть диалоговое окно Edit Property.

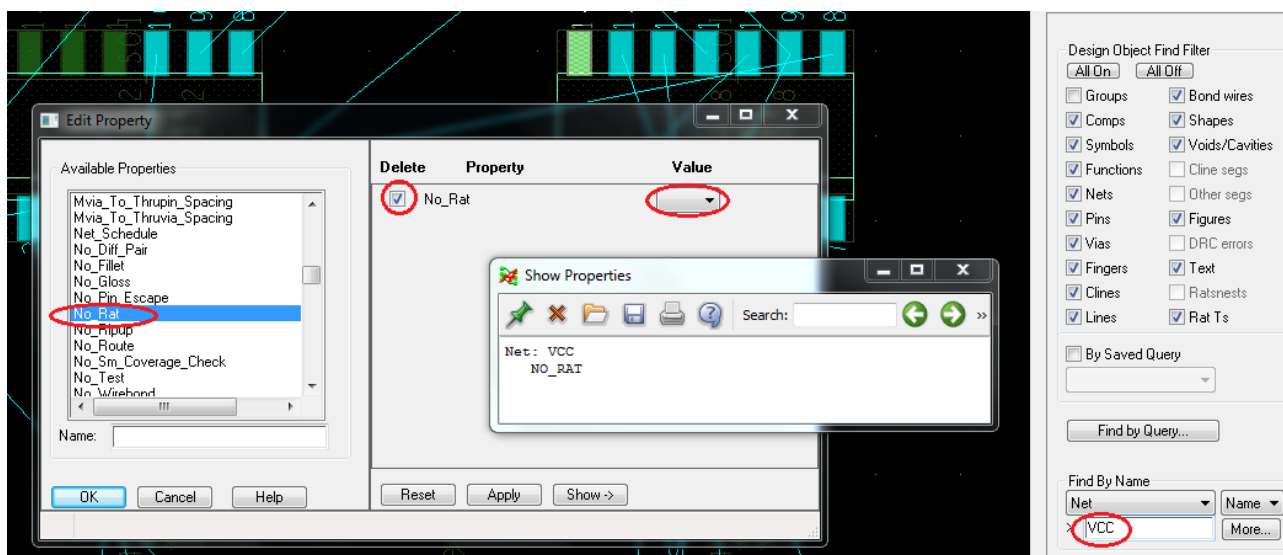


Рис. 21.43. Установка свойства No_Rat для цепей VCC

Аналогичные действия выполните для цепей GND (Рис. 21.44).

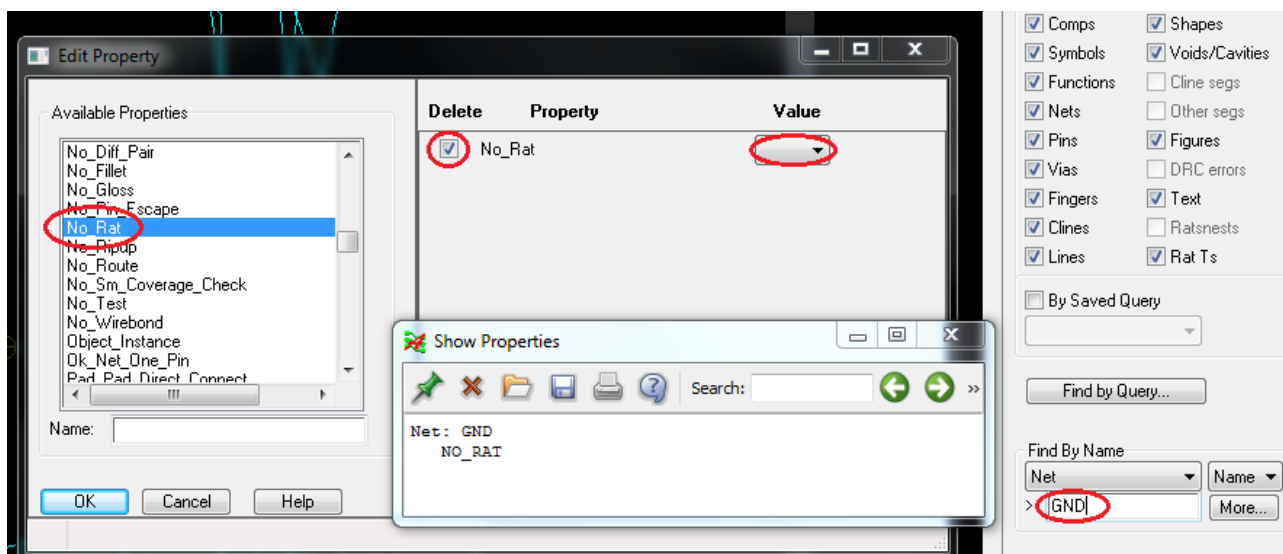


Рис. 21.44. Установка свойства No_Rat для цепей GND

Примечание: Вы можете использовать диалоговое окно Edit Property для добавления или удаления свойств компонента или цепи.

Перед ручной разводкой убедитесь, что шаг сетки соответствует или меньше шага выводов микросхем.

Установим шаг сетки 25.0. Для этого выполним Setup>Grids (рис. 21.45).

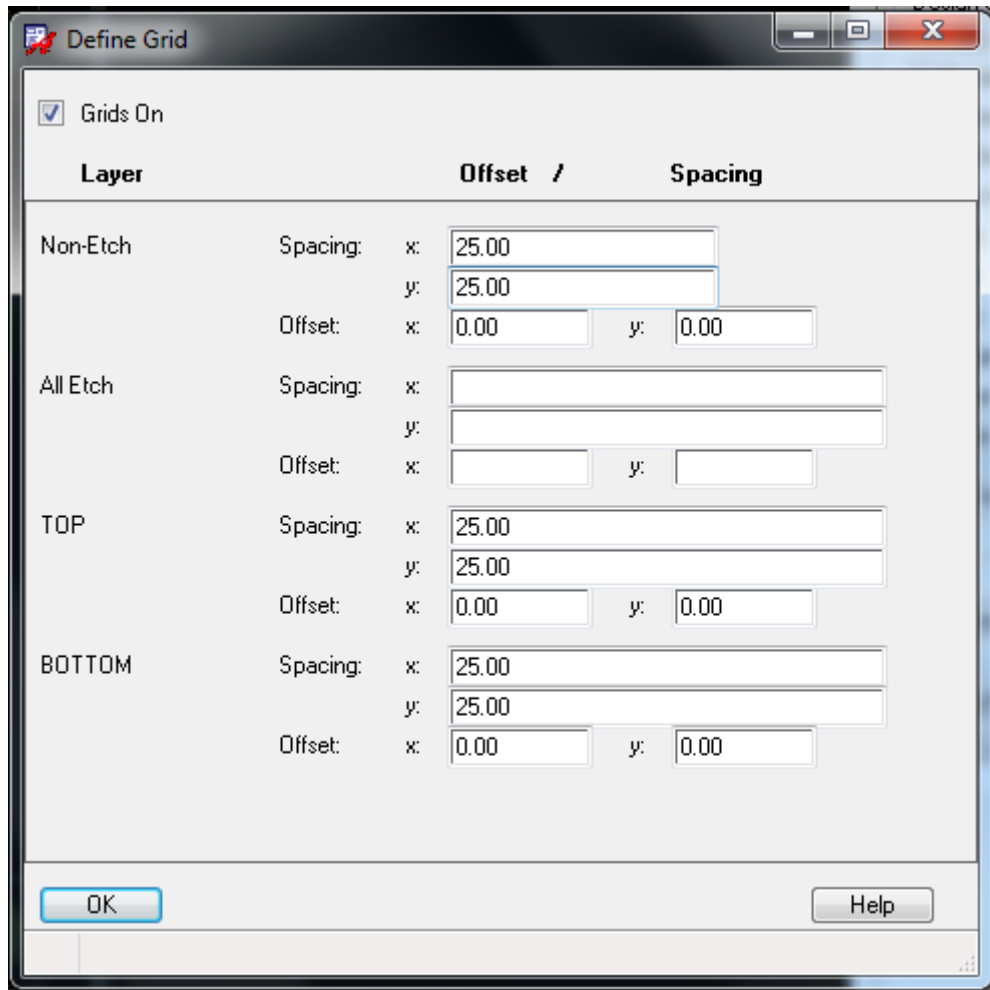


Рис. 21.45. Установка шага сетки

Чтобы вручную развести VCC и GND цепи:

1. Выберите вкладку Find в правой части окна редактора печатных плат. Появится панель Find.
2. Выберите опцию Net из списка Find By Name .
3. Нажмите кнопку More. Появится окно Find by Name или Property, отображающие все доступные цепи.
4. Выберите VCC. Элемент цепи VCC отображается в сетке Selected objects (рис. 21.46).
5. Нажмите кнопку OK. Все сети VCC будут выделены в окне проекта.
6. Выберите Connect из меню Route.

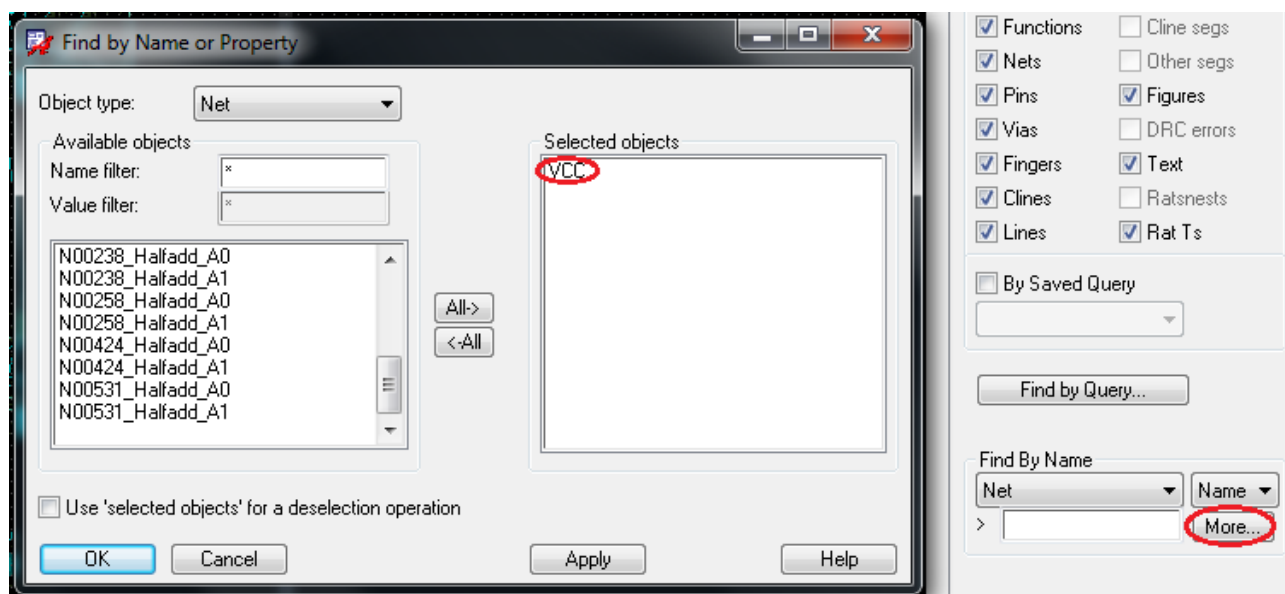


Рис. 21.46. Выделение цепей VCC

Примечание: В качестве альтернативы, вы можете щёлкнуть значок Add

Connect .

7. Измените ширину линии до 20.00 в панели Options.

8. Теперь нажмите на цепь, которую надо проложить.

9. Нарисуйте цепь по нужному пути.

10. После завершения разводки, щёлкните правой кнопкой мыши на цепи и выберите Done.

Аналогичным образом, выполните описанные выше действия для ручной маршрутизации цепи GND.

Плата с разведенными цепями VCC и GND показана на рис. 21.45.

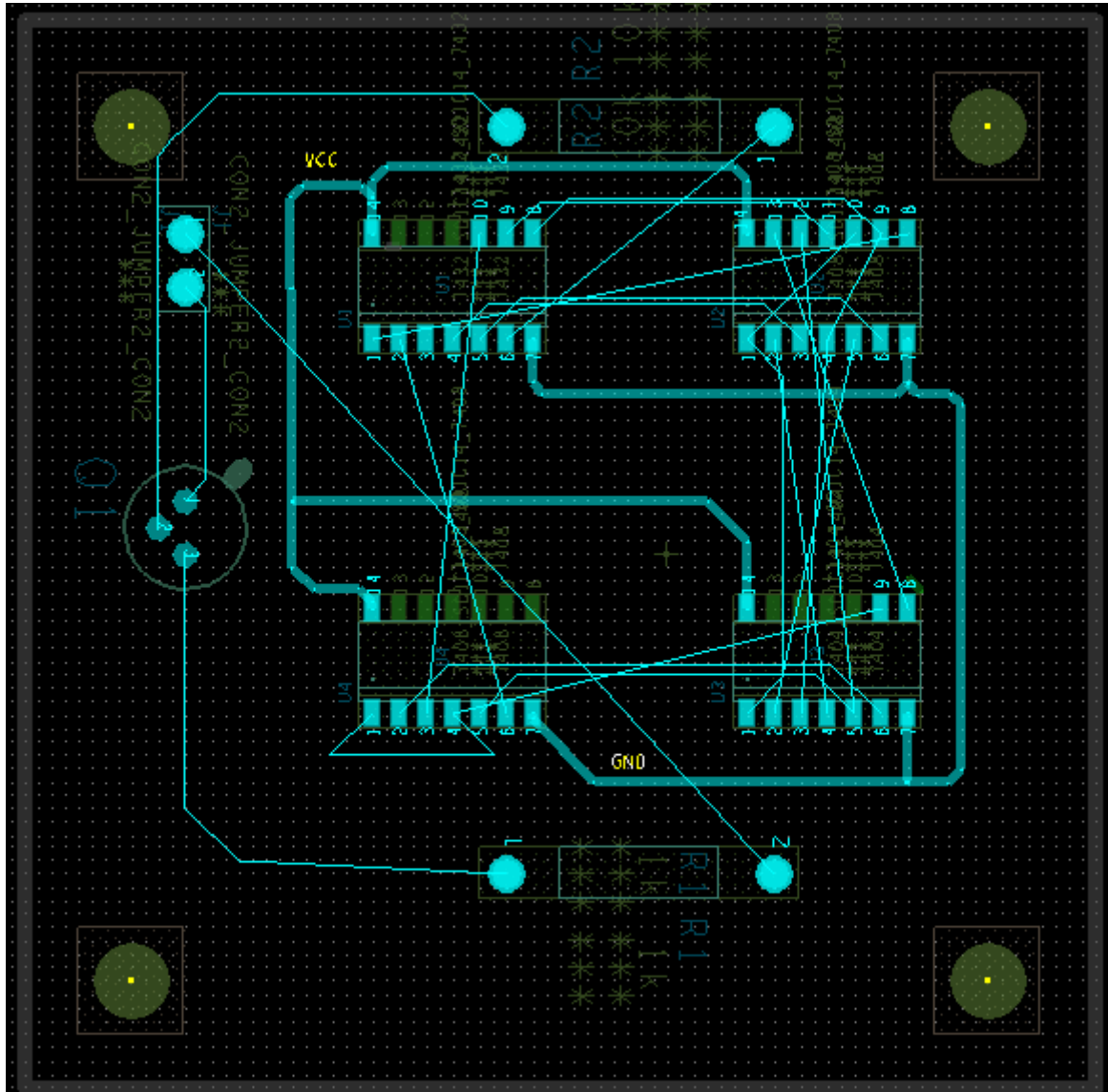


Рис. 21.45. Плата после разводки цепей VCC и GND

21.12.3. Маршрутизация остальных сетей вручную

Чтобы вручную трассировать остальные сети, выполните следующее:

1. Введите команду zoom fit, чтобы ваша плата соответствовала окну дизайна.
2. Поместите курсор на цепь, которую надо проложить и увеличьте масштаб.
3. Выберите Connect из меню Route или выделите цепь, нажмите правую кнопку мыши и выберите Add connect (рис. 21.46).

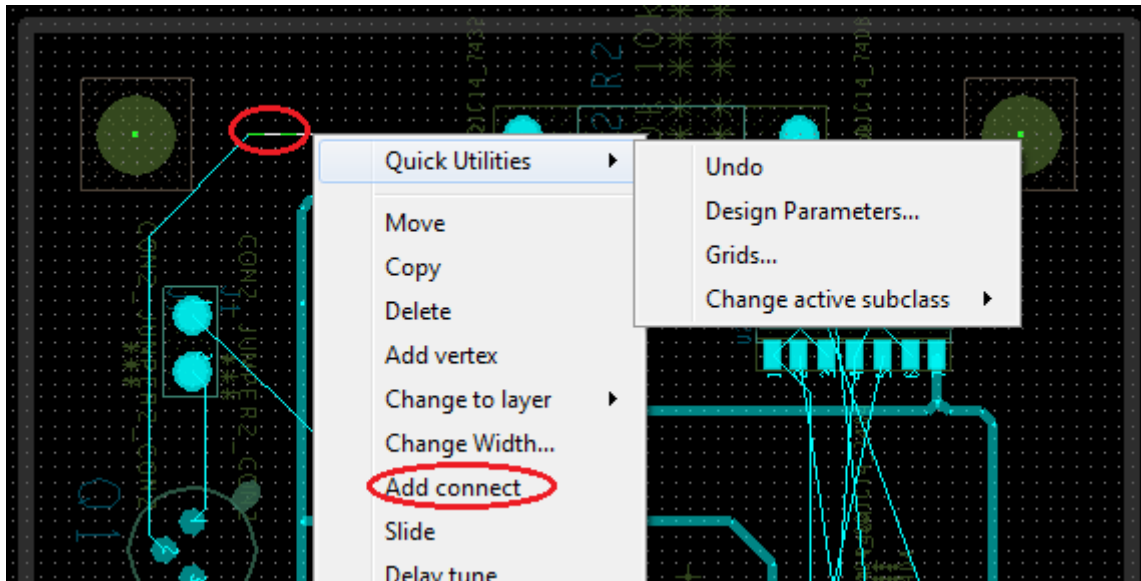


Рис. 21.46. Выбор цепи для разводки

4. Нажмите на цепь, которую разводите. Панель Options изменится, как показано на рис. 21.47.

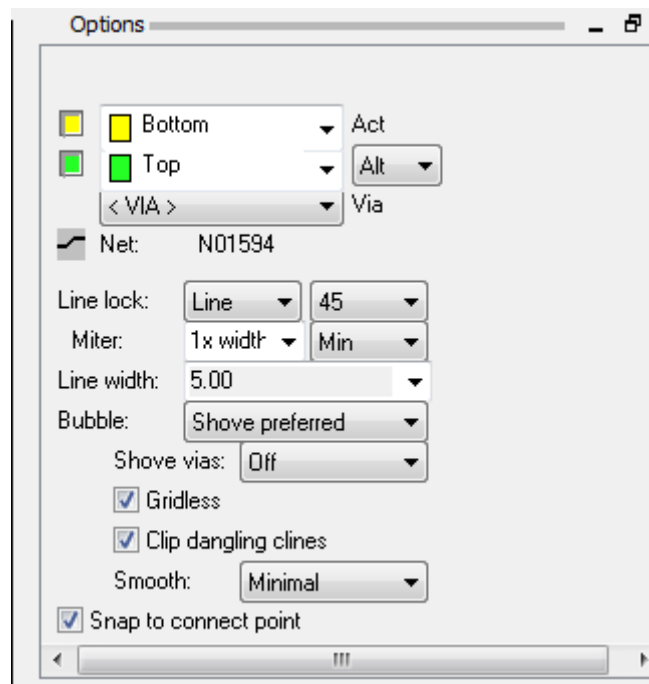


Рис. 21.47. Панель Options для разводки остальных цепей

Примечание: Убедитесь, что настройка Line Lock является Line, 45. Ширина линии 5.00.

5. Нарисуйте цепь по нужному пути.

6. После завершения маршрутизации, щёлкните правой кнопкой мыши на цепи и выберите Done.

Для изменения слоев во время маршрутизации выполняют добавление переходных отверстий Add Vias:

1. Нажмите на цепь, которую проводите.

2. Щёлкните правой кнопкой мыши на цепь и выберите Add Via. Добавится переходное отверстие Via. Текущий активный слой становится Alternate layer и Alternate layer становится Active layer и наоборот. Например, если у вас есть верхний и нижний слой, где текущий активный слой верхний, то затем, когда вы добавляете Via, нижний слой станет активным слоем и верхний слой становится Alternate layer (рис. 21.48).

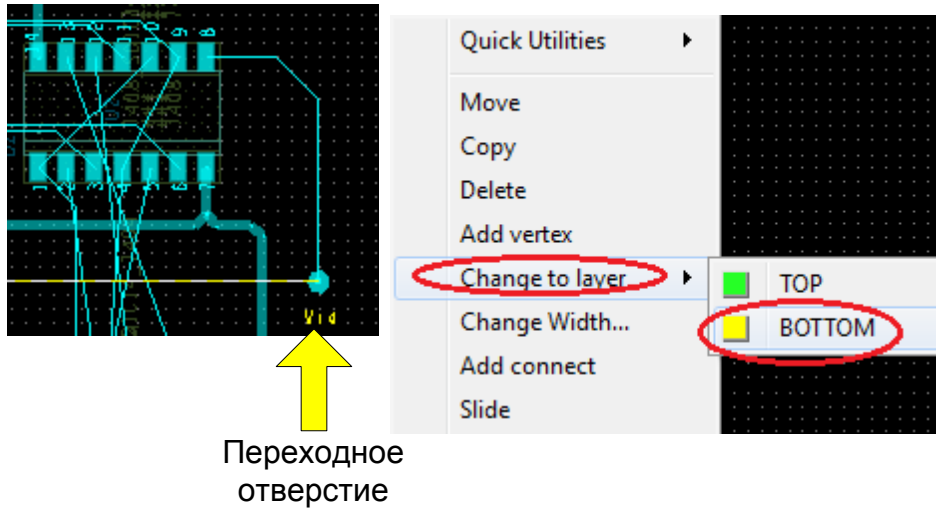


Рис. 21.48. Добавление переходного отверстия и изменение слоя проводника

3. Нарисуйте цепь по нужному пути.

4. После завершения маршрутизации, щёлкните правой кнопкой мыши на цепи и выберите Done.

В целом, получение навыков ручной маршрутизации потребует от вас терпения и определенных усилий. Если вы справитесь с трудностями, то получите эталонный образец разведенной платы, показанный на рис. 21.49.

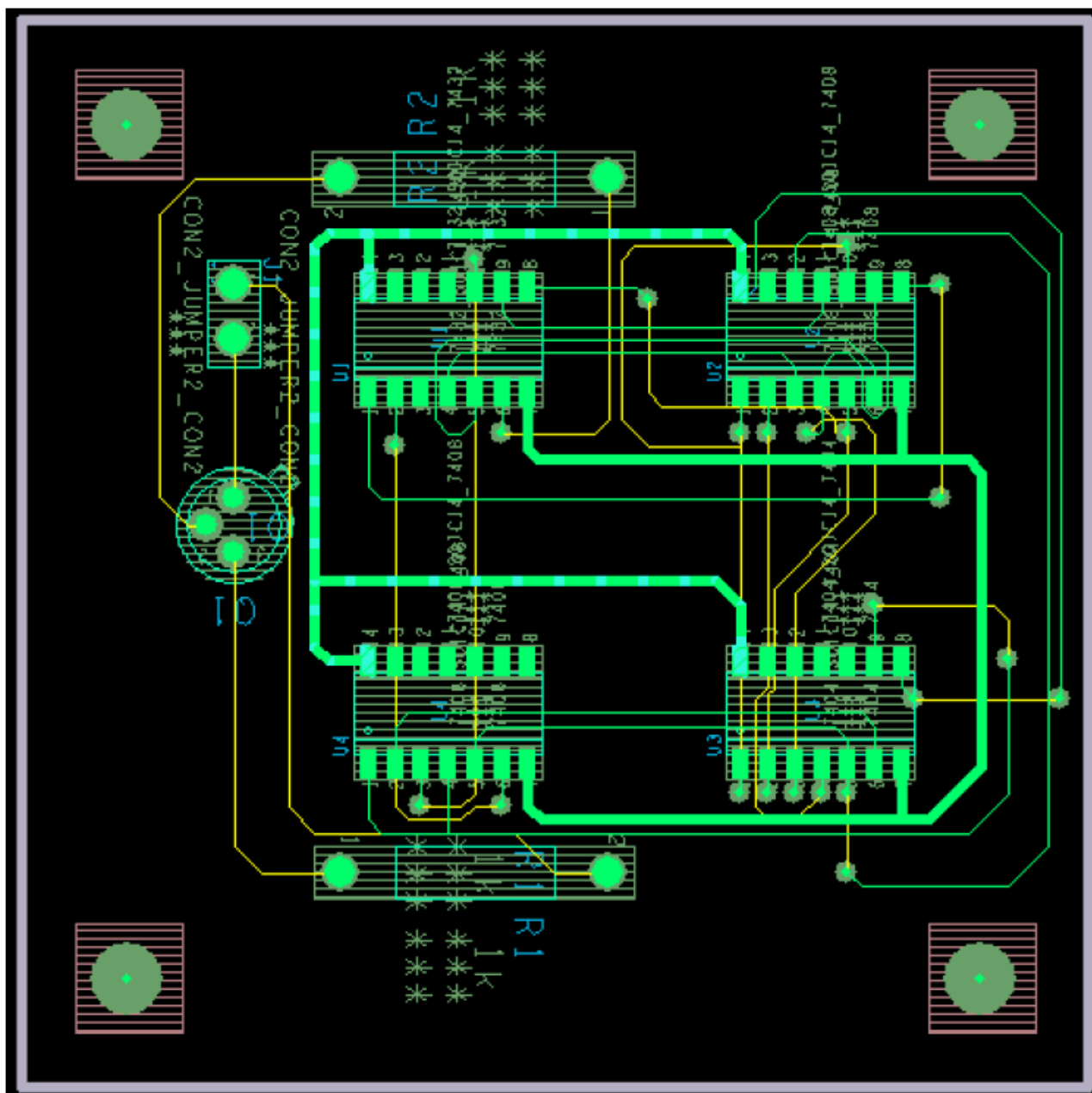


Рис. 21.49. Эталлонный образец платы

Файл образца платы fulladd.brd доступен по адресу: /complite / allegro

Более подробную информацию о маршрутизации плат вы найдете в специальных руководствах компании Cadence.

21.13. Автоматическая маршрутизация с помощью PCB Editor

OrCAD PCB Editor поддерживает автоматическую маршрутизацию платы, компонентов и DRC.

Автомаршрутизация предполагает, что цепи на законченной плате проложены. Разводка компонента выполняется только для цепей, прикрепленных к выбранному компоненту.

Для разводки платы:

1. Выберите Route - PCB Router - Route Automatic. Появится диалоговое окно Automatic Router.

2. Нажмите Route. Плата будет разведена.

Для получения дополнительной информации см. документации PCB Editor.

Примечание: Эта опция может быть недоступна, если вы используете программу PCB Editor Lite.

21.14. Автоматическая маршрутизация с помощью OrCAD PCB Router

При выборе автотрассировщика OrCAD PCB Router маршрутизируется вся плата. PCB Router использует маршрутизацию на основе Shape-Based или бессеточной технологии и является более быстрым инструментом маршрутизации.

Согласно ей все объекты печатной платы моделируются в виде совокупности геометрических фигур (прямоугольник, круг, дуга, трасса, полигон). При бессеточной технологии каждый объект моделируется не набором узлов сетки, а геометрически точно, за счет чего достигается более плотный монтаж. Характерная особенность бессеточной технологии – меньшие затраты памяти компьютера. Она в основном предназначена для маршрутизации многослойных печатных плат с высокой плотностью расположения компонентов в автоматическом, интерактивном и ручном режимах. Особые преимущества имеет при наличии планарных компонентов, выполненных в разных системах единиц (метрической и английской).

Чтобы использовать автоматический маршрутизатор PCB Router:

1. В меню Пуск, выберите OrCAD PCB Router.

2. Укажите файл дизайна, который должен быть загружен.

Вы можете открыть .dsn файл, созданный в папке allegro вашего проекта, если вы выполнили предыдущие шаги в этой главе. Вы также можете открыть файл FULLADD.ses из complete/allegro.

В полной версии программы PCB Router появится диалоговое окно PCB Router ShapeBased Automation Software отображающее файл дизайна (рис. 21.50).

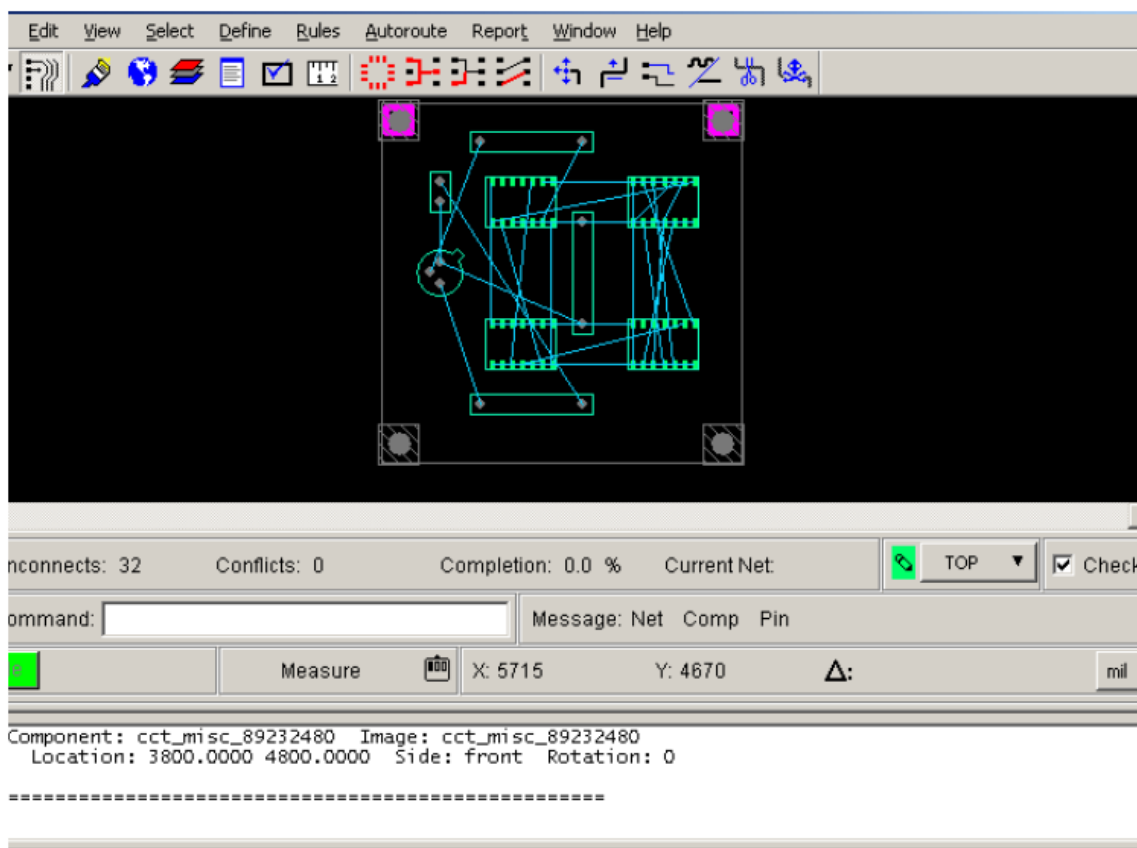


Рис. 21.50. Окно маршрутизатора PCB Router в полной программе

3. Выберите Route из меню AutoRoute. Появится диалоговое окно AutoRoute.

4. Выберите опцию Basic в диалоговом окне AutoRoute.

Для получения дополнительной информации см. *PCB Router User Guide* и *PCB Router Tutorial*.

5. Чтобы начать автомаршрутизацию, нажмите кнопку ОК.

Процесс маршрутизации начинается и плата будет разведена.

Примечание. В учебной программе PCB Router Lite файл FULLADD.ses открывается и указываются ошибки в файле.

Поэтому мы будем использовать учебные файлы из библиотеки PCB Router. Путь к файлам:

C:/Cadence/SPB_17.2/share/specctra/tutorial/lesson1.dns (рис. 21.51).

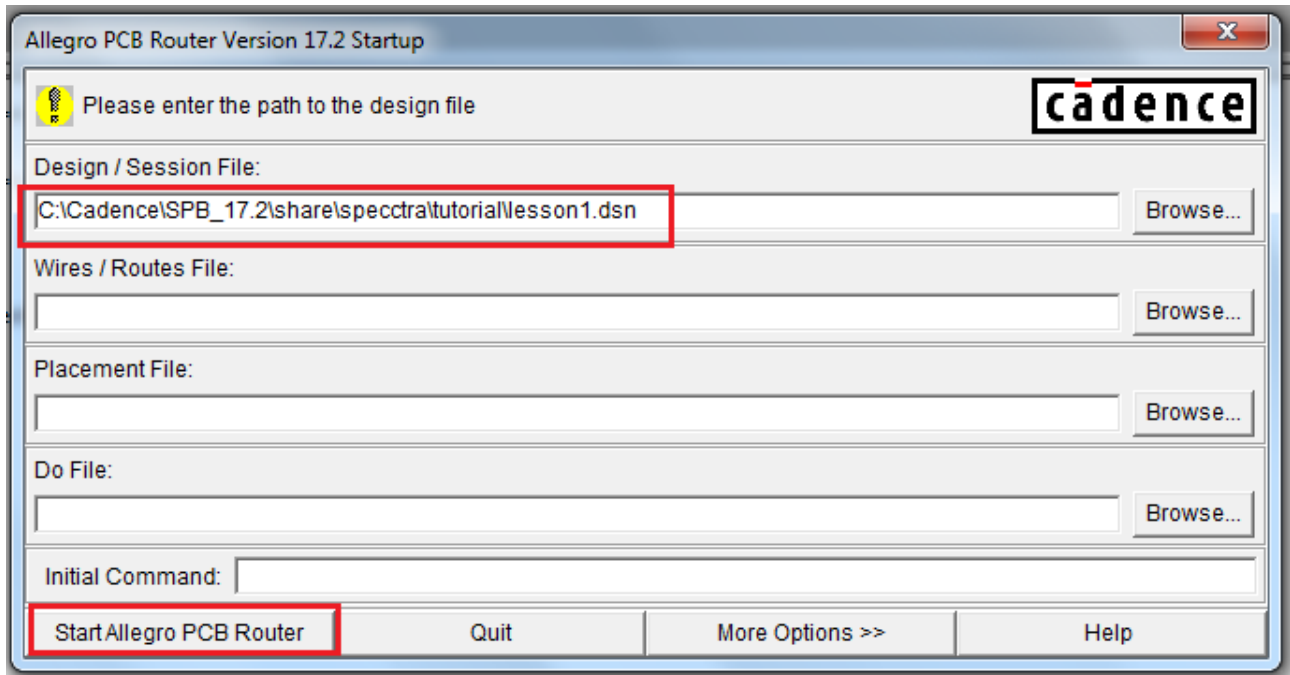


Рис. 21.51. Выбор учебного файла lesson1

Нажмите Start Allegro PCB Router. Соглашаемся работать в Демоверсии без сохранения результатов (рис. 21.52).

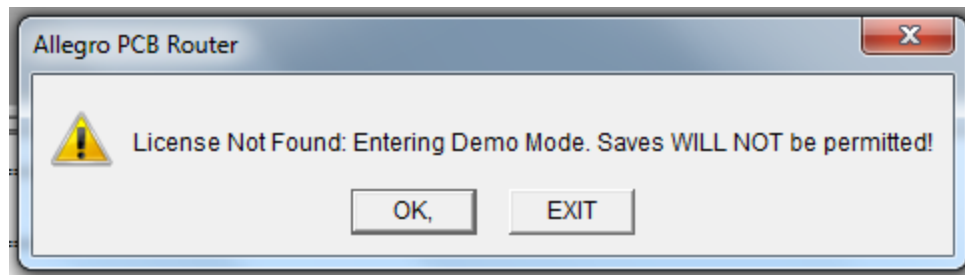


Рис. 21.52. Работа в демоверсии без сохранения результатов

На рабочем поле появится макет платы с установленными компонентами (рис. 21.53).

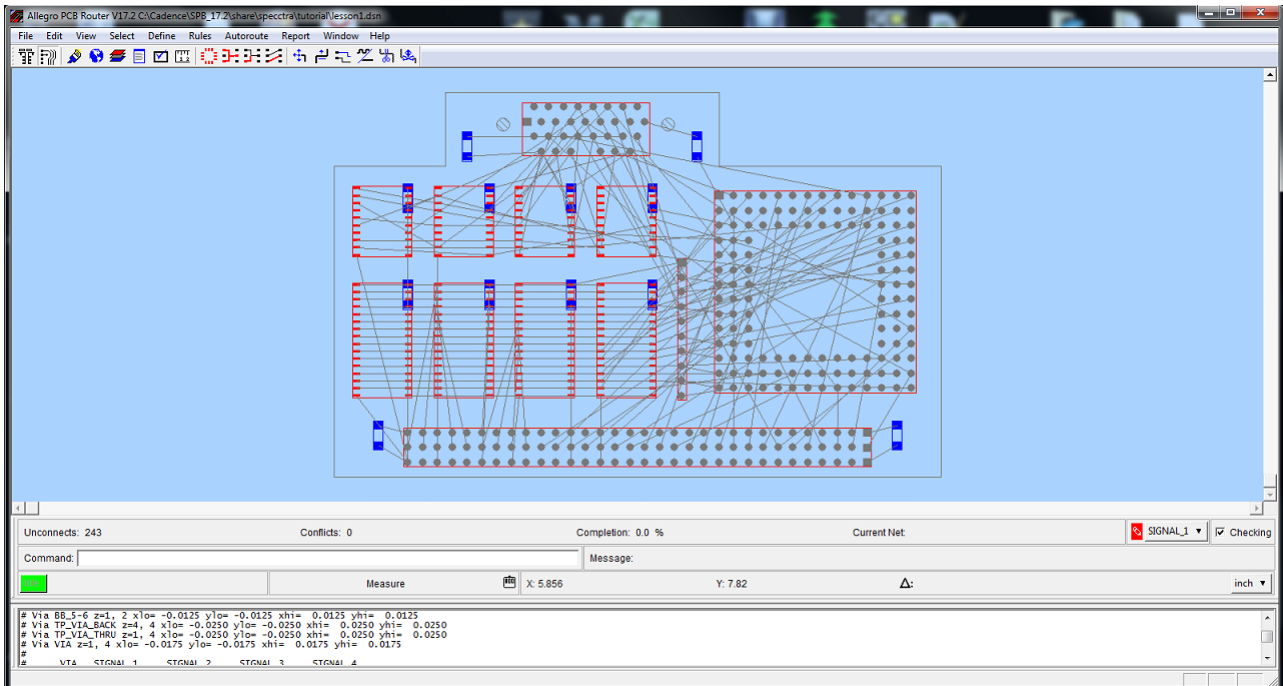


Рис. 21.53. Макет платы с компонентами

Выполняем установки для автомаршрутизации: Autoroute>Route>Basic (рис. 21.54)

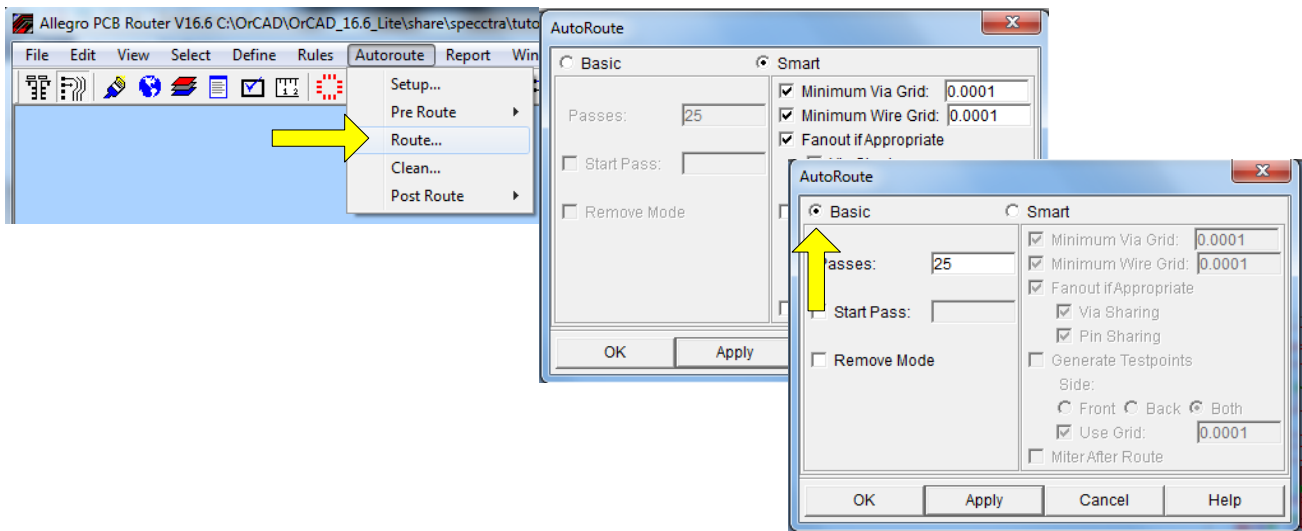


Рис. 21.54. Установки для автоматической маршрутизации

Игнорируем предупреждение об ошибке лицензии (рис. 21.55).

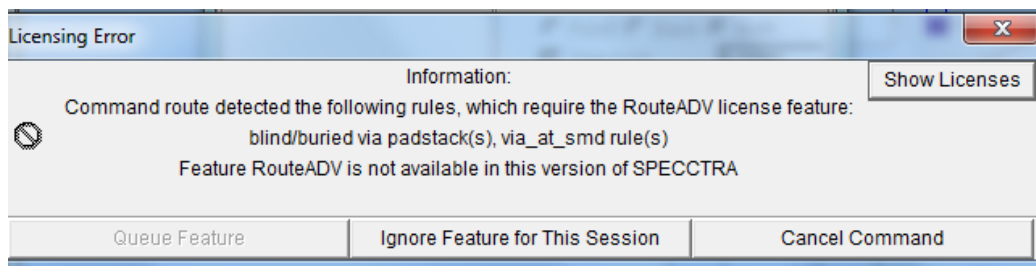


Рис. 21.55. Предупреждение об ошибке лицензии

Несколько секунд выполняется автомаршрутизация и мы получаем разведенную плату (рис. 21.56)

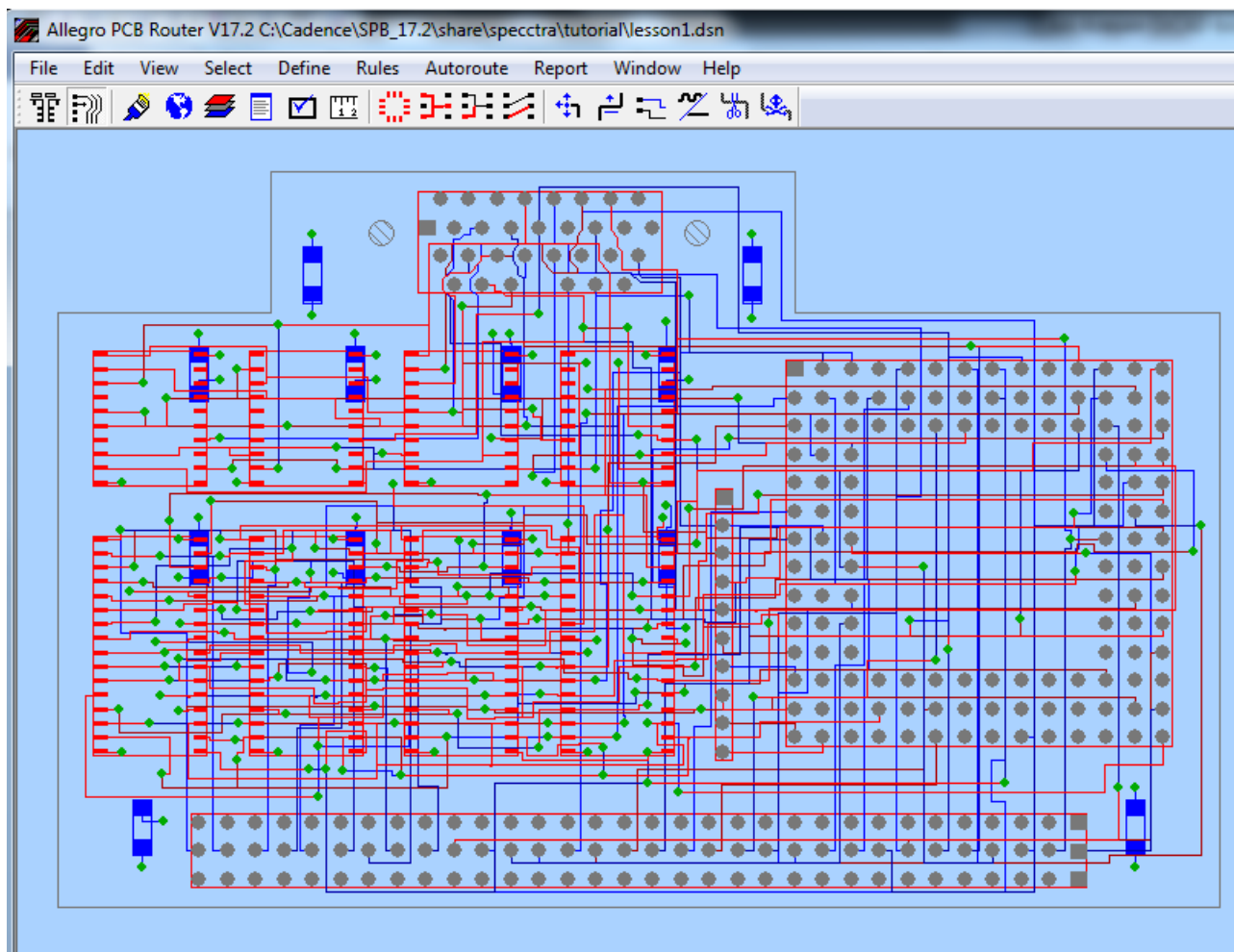


Рис. 21.56. Разведенная плата

21.15. Пост-обработка

В данном разделе представлены некоторые из задач, которые не являются частью процесса размещения и маршрутизации, но связаны между собой и могут быть выполнены с помощью редактора OrCAD PCB. Чтобы узнать больше о пост-обработке, обратитесь к документации редактора печатных плат.

21.15.1. Переименование компонентов вручную

После завершения размещения и маршрутизации вашей печатной платы, вы можете переименовать компоненты вручную на печатной плате в определенном порядке.

1. В меню Edit выберите Text.
2. Щелкните левой кнопкой мыши на позиционном обозначении, которое нужно изменить. Выбранное позиционное обозначение появляется в командной строке.
3. Изменение позиционное обозначение как требуется в командной строке и нажмите клавишу Enter.

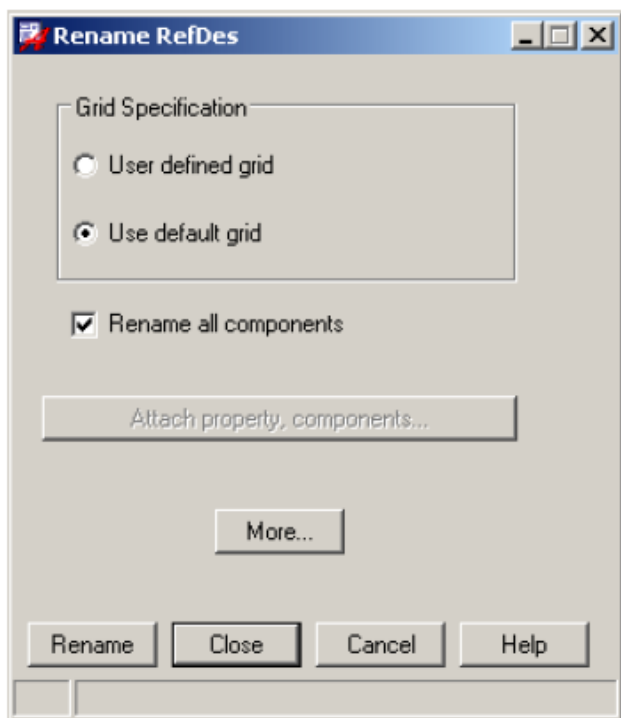
PCB Editor переименовывает компоненты. Ссылочные обозначения для компонентов на плате изменятся.

4. Сохраните файл платы и закройте PCB Editor.

21.15.2. Автоматическое переименование компонентов

1. Выберите Logic - Auto Rename Refdes. Появится диалоговое окно Rename Refdes.

Примечание: в учебной версии эта опция может отсутствовать.



2. Выберите опцию Use default grid. Эта опция использует сетку по умолчанию, которая представляет встроенный метод переименования компонентов (см рис. 21.57).

3. Нажмите кнопку More. Появится диалоговое окно Rename Ref Des Set Up, на котором вы установили все параметры ссылок названий (рис. 21.58). Для получения дополнительной информации обратитесь к документации редактора печатных плат.

Рис.21.57. Окно автоматического переименования

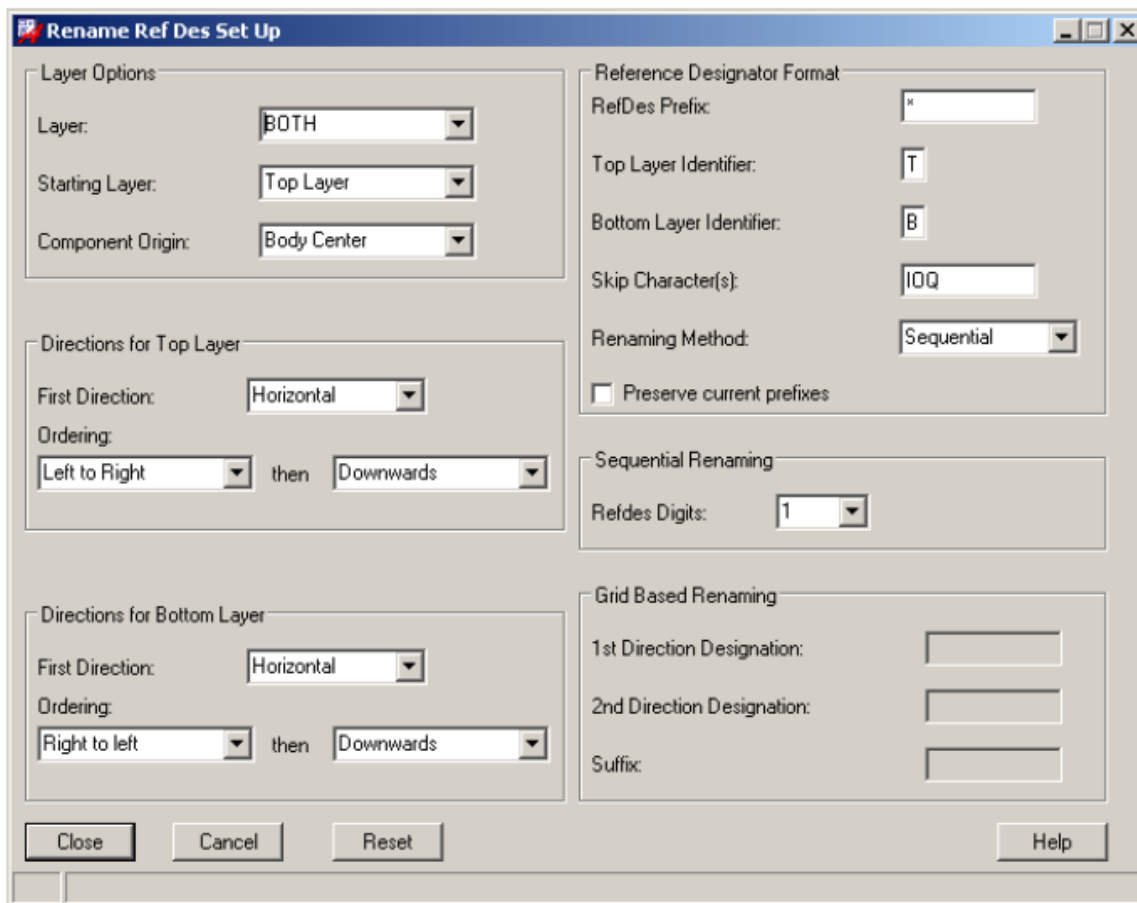


Рис. 21.58. Установки автоматического переименования

4. Примите значения по умолчанию и нажмите кнопку Close в диалоговом окне Rename Ref Des Set Up, чтобы закрыть диалоговое окно и сохранить настройки.

Снова появляется диалоговое окно Rename RefDes.

5. Нажмите Rename в диалоговом окне Rename RefDes.

Редактор PCB автоматически переименовывает каждый компонент в вашей конструкции в одной операции. Статус операции переименования отображается в командной строке.

21.15.3. Обратное аннотирование

При создании печатной платы вы можете внести некоторые изменения в файле редактора PCB платы (.brd). В результате файл платы и файл дизайна в Capture могут быть не синхронизированы. Для того, чтобы убедиться, что оба эти файла находятся в синхронизации, вы можете выполнить backannotate (обратное аннотирование) изменений в файле печатной платы для Capture.

Когда вы выполняете backannotate, информация, например, расположение компонентов и имена компонентов (изменились в связи с переименованием) добавляется к схеме в Capture.

Для выполнения обратного аннотирования изменений в схеме:

1. Откройте FullAdd.opj в Capture.
2. В окне менеджера проекта, выберите fulladd.dsn.

3. Выберите пункт меню Tools – Back Annotate. Появится диалоговое окно Backannotate (рис. 21.59).

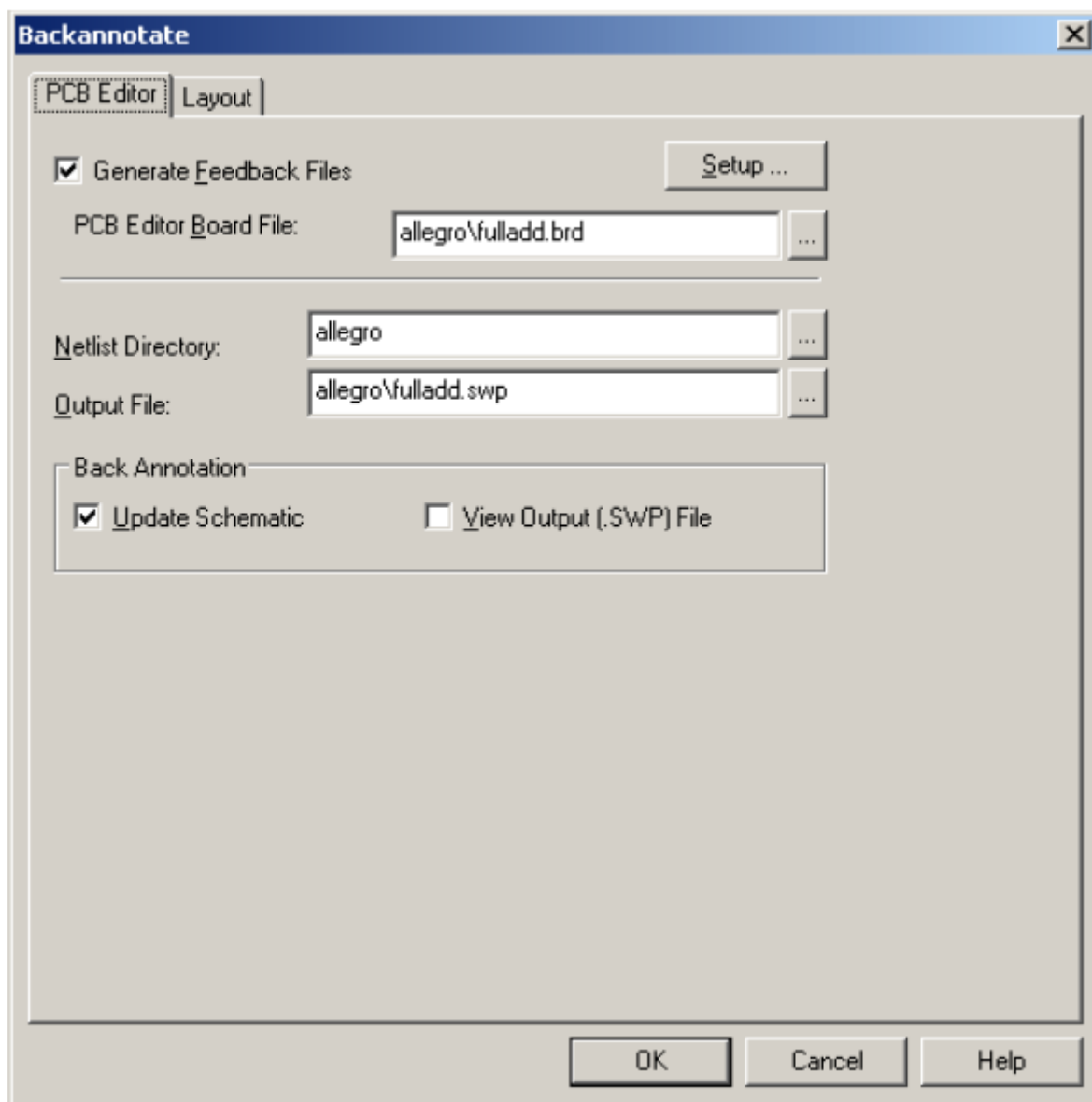


Рис. 21.59. Окно обратного аннотирования

4. Выберите вкладку PCB Editor, если она не выбрана.

5. Выберите кнопку Generate Feedback Files (если она ещё не выбрана).

Примечание: Убедитесь, что правильный конфигурационный файл (allegro.cfg) задается в диалоговом окне настройки. Чтобы просмотреть файл конфигурации, нажмите кнопку Setup. Путь к файлу конфигурации должен быть <install_dir>\tools\capture\allegro.cfg, где <install_dir> расположение установки программы.

Примечание: Убедитесь, что текстовое поле Netlist Directory содержит каталог, где будут сохранены обновлённые файлы списка соединений (PST * .dat). Расположением по умолчанию является подкаталог Allegro в каталоге проекта.

6. Перейдите в папку, где необходимо сохранить файл .swp. Файл .swp генерируется Capture после внесения изменений в файл платы (.brd). Чтобы

узнать больше о файле .swp см. Руководство пользователя OrCAD Capture. Для нашего учебника .swp файл называется fulladd.swp и каталог, в котором будет сохранен файл, является: / complite / allegro.

7. Установите флажок Update Schematic (если он еще не выбран), если вы хотите, чтобы в Capture эскизное проектирование (fulladd.dsn) было обновлено с последней информацией backannotation из файла .swp.

8. Выберите флажок View Output (.swp) File, чтобы автоматически открыть файл .swp в отдельном окне Capture для просмотра и редактирования после того, как файл .swp генерируется. Этот флажок не выбран по умолчанию.

9. Нажмите кнопку ОК в диалоговом окне Backannotate. Появится сообщение с запросом, чтобы сохранить изменённый дизайн до создания нового списка соединений и файл .swp (см. рис.21.60).

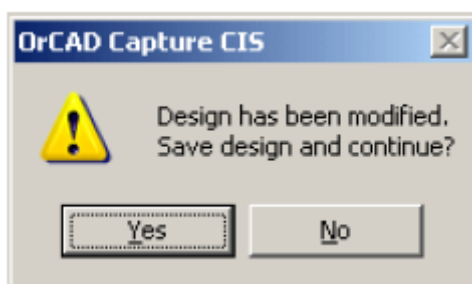


Рис. 21.60. Запрос о сохранении дизайна

10. Нажмите кнопку Yes в окне сообщения.

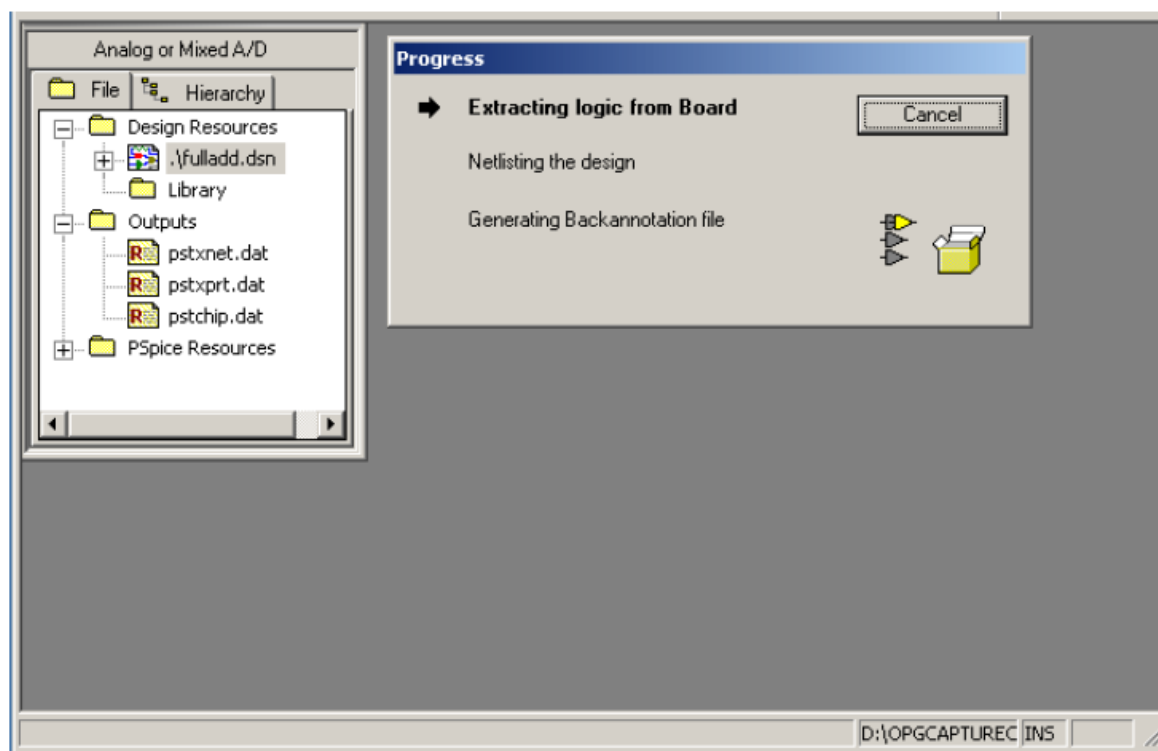


Рис. 21.60. Генерация нового списка соединений

Capture генерирует файлы списка соединений (PSTCHIP.DAT, PSTXPRT.DAT и PSTXNET.DAT) (рис. 21.60) и создаёт файл fulladd.swp в указанном месте каталога, который в данном случае является \complete\allegro.

Файл .swp открывается в отдельном окне Capture, а также появляется в каталоге выходов в окне диспетчера проекта.

Схема обновляется в соответствии с изменениями в файле платы на основе созданного файла .swp.

Точно так же, если файл платы открыт в редакторе печатных плат и вы делаете изменения в эскизном проектировании, вы можете быть уверены, что эти изменения перейдут на плату во время создания списка соединений в Capture.

Чтобы сделать это:

1. В окне менеджера проекта, выберите fulladd.dsn.
2. В меню Tools выберите Create Netlist.
3. На вкладке PCB Editor в диалоговом окне Create Netlist укажите расположение каталога базовой платы. Для нашего учебника, каталог базовой платы /complete/allegro/fulladd.brd.
4. В текстовом поле Output Board File укажите имя платы и расположение каталога, где будет создан обновлённый файл платы.
5. Нажмите кнопку ОК в диалоговом окне Create Netlist.

Capture генерирует файлы списка соединений (PSTCHIP.DAT, PSTXPRT.DAT и PSTXNET.DAT) и обновлённый файл платы создаётся в указанном месте каталога. Изменения в эскизном проекте появляться в файле платы.

21.16. Кросс-зондирование и кросс-выделение между редактором печатных плат и Capture

OrCAD PCB Editor тесно интегрирован с OrCAD Capture. В результате вы можете использовать кросс-зондирование для проверки потока информации между эскизным проектированием и дизайном платы и наоборот.

Cross probing позволяет выбрать объект в схемы Capture и увидеть соответствующий объект в редакторе печатных плат.

Чтобы включить кросс-зондирование, необходимо включить Intertool (межинструментальную) связь между Capture и редактором печатных плат.

Чтобы сделать это:

1. В окне менеджера проекта в Capture, выберите fulladd.dsn.
2. В меню Options в Capture, выберите Preferences.
3. Выберите вкладку Miscellaneous.
4. Убедитесь, что установлен флажок Enable Intertool Communication в секции Intertool Communication.
5. Нажмите кнопку ОК.

Перед тем, как начать cross probing, откройте окна Capture и редактор PCB. Выберите компонент в Capture. Редактор PCB автоматически отображает соответствующие компоненты.

Например, если вы выбираете R1 в файле FULLADD.DSN, соответствующий резистор R1 будет отображаться в редакторе печатных плат, как показано на рис.21.61.

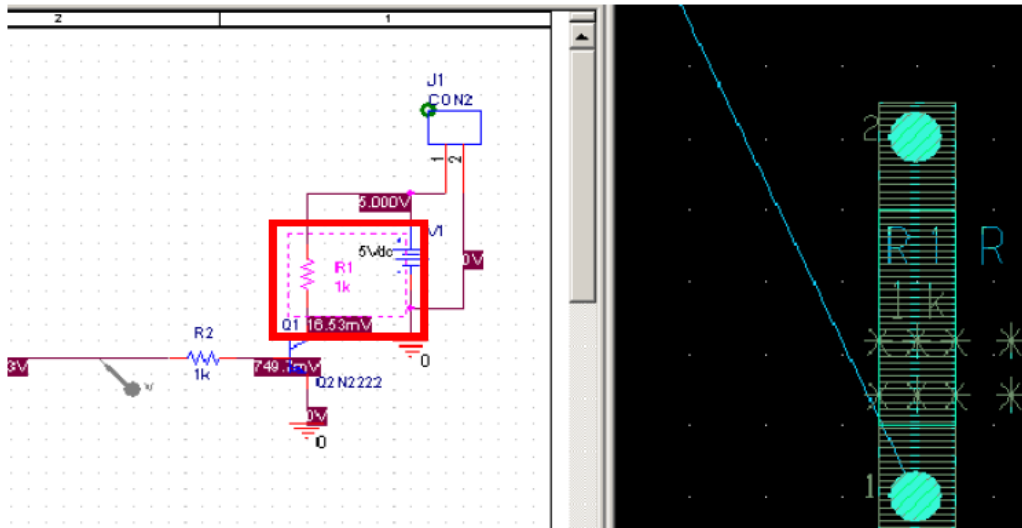


Рис. 21.61. Отображение компонента в редакторе печатных плат

Кросс подсветка позволяет выбрать объект в редакторе печатных плат и увидеть соответствующий объект выделенным в Capture.

В случае перекрестной подсветки между редактором печатных плат и Capture, сначала выберите Highlight из меню Display, а затем выберите компонент в редакторе печатных плат и соответствующий компонент будет выделен в Capture.

Например, если вы выбираете R1 в файле FULLADD.BRD, соответствующий резистор R1 будет выделен в Capture, как показано на рис. 21.62.

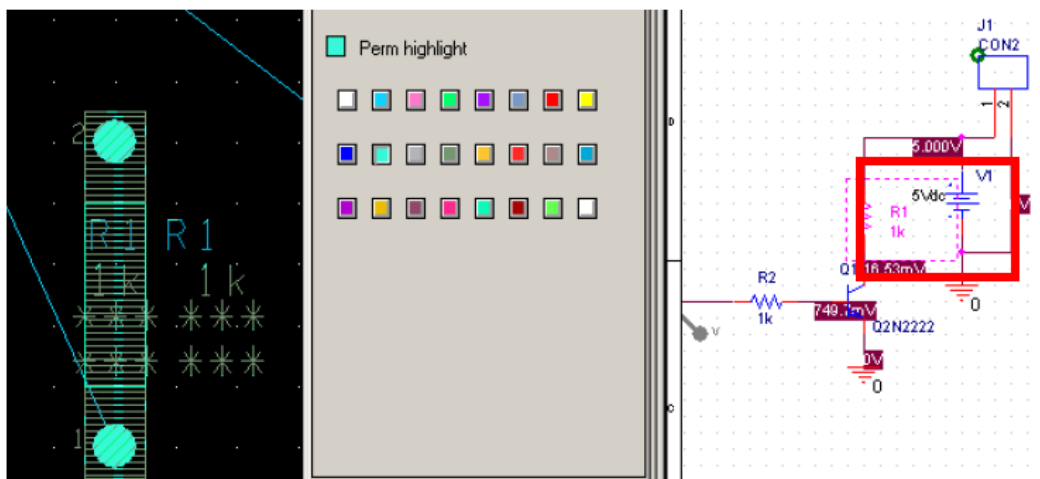


Рис. 21.62. Подсветка компонента в Capture

Примечание: Если вы хотите отключить подсветку, выберите Dehighlight из меню Display.

Примечание: в учебных версиях опции кросс-зондирования и кросс-выделения могут быть отключены.

21.17. Генерация вывода

Последней задачей в создании дизайна платы является создание выходных файлов. Вы можете создать Gerber файлы, файлы сверления, DXF-файлы и принтер / плоттер файлы.

Перед тем, как создавать отчёты и выходные файлы, вы должны сделать резервную копию вашего дизайна и очистить дизайн. Для того, чтобы очистить ваш дизайн:

1. Выберите Route – Gloss – Line Parameters.

Появится диалоговое окно Line Smoothing.

2. Примите значения по умолчанию и нажмите Gloss.

Конструкция очищается. Теперь вы можете генерировать желаемые выходные файлы и отчёты.

Перед созданием выходного файла (artwork), убедитесь, что Вы запустили Update DRC из меню Tools в редакторе печатных плат.

21.18. Выходные файлы

Используя редактор OrCAD PCB, вы можете создавать различные файлы, которые в дальнейшем могут быть использованы с различными инструментами сторонних производителей, таких как GerbTool, VisualCAD, AutoCAD, и так далее.

Для создания этих выходных файлов, выполните следующие действия:

1. В меню Manufacture выберите Artwork.

Появится диалоговое окно Artwork Control Form (рис. 21.63).

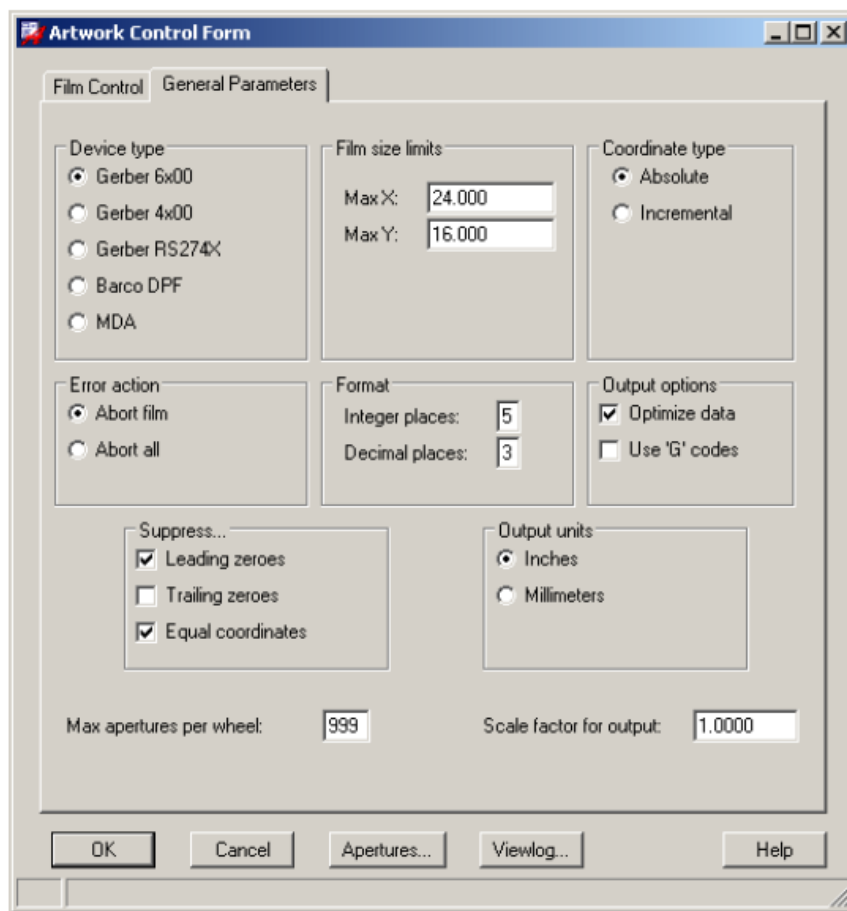


Рис.21.63. Окно Artwork Control Form

2. На вкладке General Parameters выберите кнопку Gerber RS274X опцию в разделе Device type section.
3. Примите значения по умолчанию и нажмите кнопку ОК, чтобы закрыть диалоговое окно Artwork Control Form.
4. Снова выберите Artwork, из меню Manufacture.
5. Выберите вкладку Film Control.
6. Установите флажки, соответствующие слою (слоям) пленки в диалоговом окне Artwork Control Form. Для нашего случая выбраны как верхний (TOP) так и нижний (BOTTOM) слои (рис. 21.64).

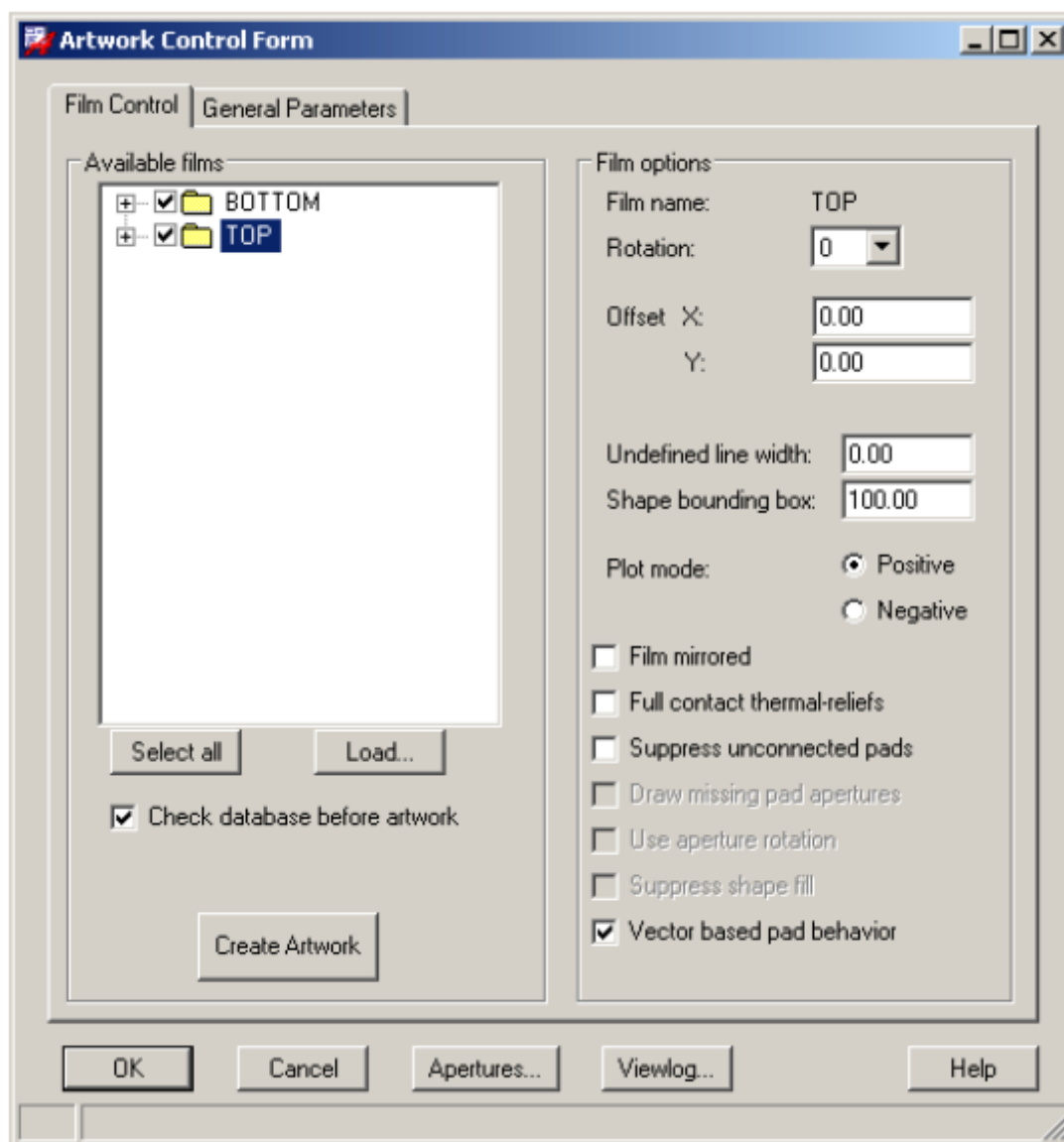


Рис. 21.64. Установка параметров Artwork Control Form

7. Нажмите кнопку Create Artwork. Появится окно сообщения, показывающее ход создания Artwork. После этого, в Artwork будут созданы файлы с расширением .ART, которые сохраняются в папке \complete\allegro каталога дизайна (для этого учебника).

8. Нажмите кнопку OK, чтобы закрыть диалоговое окно Artwork Control Form.

Вы можете просматривать файлы Artwork, созданные в редакторе печатных плат.

Только Cadence® поддерживает Artwork.

Для просмотра произведения Artwork:

1. В меню File, выберите Import - Artwork. Появится диалоговое окно загрузки Cadence Artwork.

2. Введите или найдите имя файла Artwork (.ART), который вы хотите загрузить в текстовом поле Filename. (рис. 21.65).

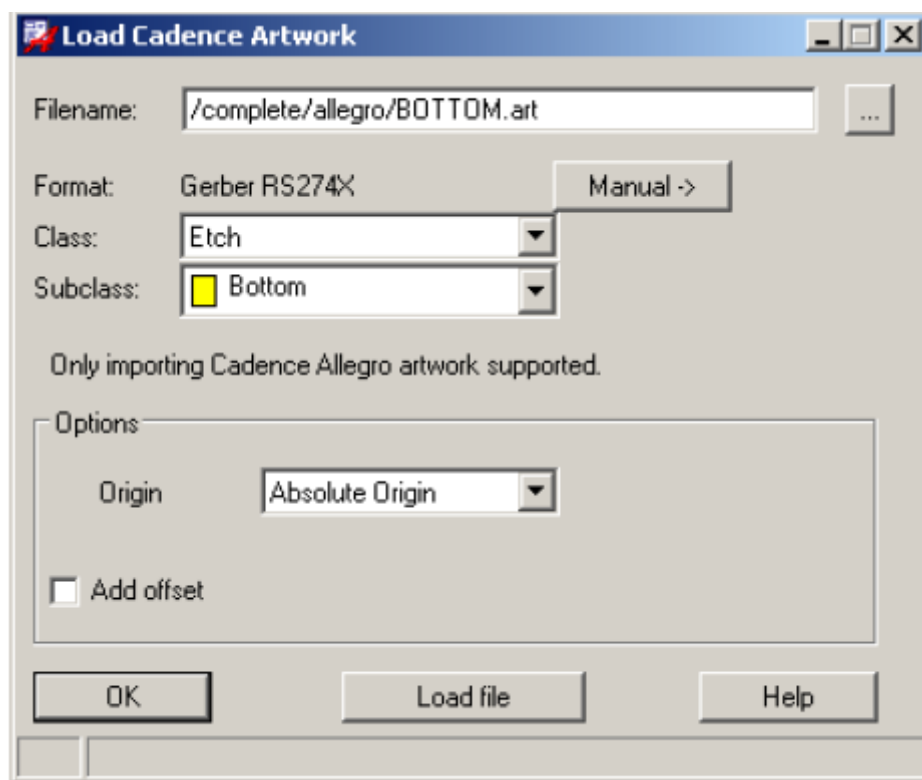


Рис. 21.65. Загрузка файла Artwork

3. Выберите подкласс из выпадающего меню Subclass (рис. 21.65).

4. Нажмите Load File. Динамический прямоугольник, который представляет содержание данных Gerber, появится в рабочей области пользовательского интерфейса.

5. Щелкните левой кнопкой мыши на динамическом прямоугольнике, чтобы поместить в окне дизайна. Artwork помещается в окне дизайна. Образец файла Artwork, BOTTOM.art доступен по адресу: //complete/allegro.

Примечание: Файл образца платы, fulladd_artwork.brd показывающий artworks (TOP.art и BOTTOM.art) доступен по адресу: /complete/allegro.

Для переключения между верхней и нижней частями, размещенными на fulladd_artwork.brd, надо выбрать вкладку Visibility (рис. 21.66) и выбрать artwork, который вы хотите просмотреть из представленных в раскрывающемся списке. Выбранная работа отображается в окне дизайна.

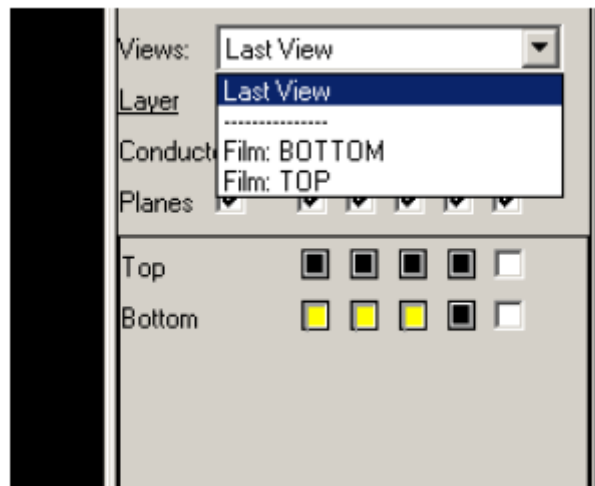


Рис. 21.66. Выбор отображаемой части платы

21.19. Отчеты

Вы можете создавать различные отчеты с использованием редактора OrCAD PCB.

Для создания отчетов, выполните следующие действия:

1. В меню Tools выберите команду Quick Reports.
2. Выберите нужные отчеты, которые надо сгенерировать.

Для дизайна полного сумматор выберите компонент вариант отчета Component Report.

21.20. Резюме

В этой главе вы познакомились с OrCAD PCB Editor, который является инструментом размещения компонентов и маршрутизации печатных плат в OrCAD. Вы выполнили задачи, необходимые для принятия проекта от OrCAD Capture - инструмента схемного проектирования, чтобы разместить компоненты и сделать маршрутизацию платы в OrCAD PCB Editor. Вы также познакомились с OrCAD PCB Router, который является инструментом, используемым для компоновки и трассировки печатных плат в автоматическом режиме.

Для получения дополнительной информации о OrCAD PCB Editor читайте документацию по PCB Editor:

- Allegro® PCB Editor User Guide
 - Allegro PCB and Package Physical Layout Command Reference. Table of Contents
 - Allegro Platform Properties Reference
- Чтобы узнать больше о OrCAD PCB Router, читайте:
- PCB Router User Guide

21.21. Контрольные вопросы

1. Для чего служит и как используется редактор печатных плат OrCAD PCB Editor ?

2. Какие задачи надо выполнить в Capture для подготовки к работе в OrCAD PCB Editor ?
3. Как выполняют создание списка соединений ?
4. Какие файлы формируются при создании списка соединений ?
5. Какие основные панели содержит окно редактора печатных плат ?
6. Какие режимы работы использует OrCAD PCB Editor ?
7. Как устанавливают параметры проектирования в OrCAD PCB Editor ?
8. Как создают контур печатной платы ?
9. В каких единицах измеряют размеры в OrCAD PCB Editor ?
10. Как использовать команду Pick для создания контура печатной платы ?
11. Как можно удалить неудачный контур печатной платы ?
12. Как можно целиком отобразить контур платы в окне дизайна ?
13. Как выполняют добавление монтажных отверстий на плату ?
14. Как удалить ненужный компонент с платы ?
15. Как размещают компоненты на плате, используя RefDes ?
16. Как можно выполнить поиск компонентов на плате ?
17. Как выполняют проверку правил проектирования и для чего ее используют ?
18. Для чего используют категорию DataTip ?
19. Как можно выделить область на плате ?
20. Как выполняют выбор элементов конструкции с помощью Superfilter ?
21. Для чего и как используют режим привязки компонентов ?
22. Для чего используют окно WorldView ?
23. Как выполняют ручную маршрутизацию цепей VCC и GND ?
24. Как выполняют ручную маршрутизацию остальных цепей ?
25. Для чего служат переходные отверстия и как переключают активный и альтернативный слой ?
26. Как выполняют автоматическую маршрутизацию с помощью OrCAD PCB Router ?
27. Что включает в себя пост-обработка с помощью редактора OrCAD PCB ?
28. Для чего используют Кросс-зондирование и кросс-выделение ?
29. Какие выходные файлы для изготовления печатной платы можно создать, используя редактор OrCAD PCB ?

Библиография

1. PSpice 17.2 User Guide (pspug).pdf 800 стр.
URL:[http://ecadtools.com.au/documents/PSpice%2017.2%20User%20Guide%20\(pspug\).pdf](http://ecadtools.com.au/documents/PSpice%2017.2%20User%20Guide%20(pspug).pdf)
 2. OrCAD Capture 17.2 User Guide (cap_ug).pdf
URL:[http://ecadtools.com.au/documents/OrCAD%20Capture%2017.2%20User%20Guide%20\(cap_ug\).pdf](http://ecadtools.com.au/documents/OrCAD%20Capture%2017.2%20User%20Guide%20(cap_ug).pdf)
 3. Orcad 17.2. Flow Tutorial
Cadence. Product Documentation : C:/Cadence/SPB_17.2/doc/flowtut/
 4. OrCAD Capture User Guide. Product Version 17.2. 2016.
URL:[http://ecadtools.com.au/documents/OrCAD%20Capture%2017.2%20User%20Guide%20\(cap_ug\).pdf](http://ecadtools.com.au/documents/OrCAD%20Capture%2017.2%20User%20Guide%20(cap_ug).pdf)
 5. OrCAD Lite Reference Product Version 17.2-2016 April 2016
URL: <https://www.orcad.com/sites/orcad/files/resources/files/OrCAD%2017.2-2016%20Lite%20Limits.pdf>
 6. OrCAD CIS User Guide Product Version 17.2-2016 April 2016
URL:
[http://ecadtools.com.au/documents/OrCAD%20CIS%2017.2%20User%20Guide%20\(cisug\).pdf](http://ecadtools.com.au/documents/OrCAD%20CIS%2017.2%20User%20Guide%20(cisug).pdf)
 7. Cadence Allegro and OrCAD: What's New in Release 17.2-2016
http://makerdiary.qiniudn.com/Cadence%20SPB%2017.2%20Release_Notes.pdf
 8. Dennis Fitzpatrick. Analog Design and Simulation using OrCAD Capture and PSpice. URL: <https://searchworks.stanford.edu/view/12320475>
 9. Разевиг В.Д. Система проектирования OrCAD 9.2. М.: Солон-Р. 2001. С. 519
<http://ru.b-ok.org/book/2723191/16264e>
 10. Д. Кеон. OrCAD PSpice. Создание электрических цепей. Пер. с англ. А. Осипова. — М.: Издательский дом ДМК!пресс. 2007. — 628 с.
 11. Анатолий Иванов. САПР Cadence как основа сквозного маршрута проектирования электроники и СБИС. Cadence Design Systems, Inc. 2009.- 52 с.
 12. Александр Акулин, 10 причин перейти на новый релиз САПР печатных плат Cadence Allegro/OrCAD 17.2-2016// Производство электроники, №5, 2016. с. 100-102.
 13. В.Ежов. Расширенные возможности моделирования аналоговых и цифровых схем в OrCAD PSpice. По материалам семинара компании PCB SOFT. //
- В.А. Алехин. OrCAD-17.2. Анализ и проектирование электронных устройств*

Электроника; наука | технология | бизнес. №10 (00160) 2016. с. 1-8.

14. Зограф Ф. Г. Основы компьютерного проектирования и моделирования радиоэлектронных средств: лабораторный практикум [Электронный ресурс] / Ф. Г. Зограф. – Красноярск: Сиб. федерал. ун-т, 2011. – 120 с.

15. Б.В. Гусев, Е.В. Лагунов. Моделирование электронных схем в OrCAD. Учебное электронное текстовое издание. – Екатеринбург: Уральный Федеральный университет имени первого президента России Б.Н. Ельцина, 2016.- 48 с.

16. Романовский М.Н. Моделирование аналоговых схем в OrCAD PSpice. – Томск: ТУСУР, 2016. – 76 с.